

# 一种新型高阶两通道时间交织 $\Sigma\Delta$ 调制器系统结构

杨晓, 陈贵灿, 程军, 徐晓云

(西安交通大学电子与信息工程学院, 710049, 西安)

**摘要:** 为了减小两通道时间交织  $\Sigma\Delta$  调制器中通道之间系数失配引起的折叠噪声, 提出了一种新型的高阶两通道时间交织  $\Sigma\Delta$  调制器的系统结构. 通过在传统噪声传递函数(NTF)中增加一个奈奎斯特频率处的零点, 得到了一种新的 NTF. 新增的零点减小了 NTF 在高频处的幅值, 从而能够减小两通道时间交织调制器结构中由于系数失配引起的折叠噪声. 以实现新 NTF 的单通道单环 4 阶 3 位前馈分布型  $\Sigma\Delta$  调制器结构为原型, 利用多抽样率系统和块数字滤波器基本原理, 得到其对应的两通道时间交织系统结构. 在两个通道的系数存在 1% 的失配条件下, 调制器的信号噪声失真比只降低了 3.1 dB, 这表明系数失配对该调制器的性能影响很小.

**关键词:**  $\Sigma\Delta$  调制器; 时间交织; 折叠噪声; 块数字滤波器

**中图分类号:** TN432 **文献标志码:** A **文章编号:** 0253-987X(2008)08-0996-05

## A Novel Architecture of High-Order Two-Channel Time-Interleaved $\Sigma\Delta$ Modulator

YANG Xiao, CHEN Guican, CHENG Jun, XU Xiaoyun

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

**Abstract:** To alleviate the folded noise due to coefficient mismatches between the two channels in two-channel time-interleaved (TI)  $\Sigma\Delta$  modulators, a novel architecture of high-order two-channel time-interleaved  $\Sigma\Delta$  modulator is proposed. By adding a zero to the Nyquist frequency in the conventional noise transfer function (NTF), a new type of NTF is obtained. The amount of the folded noise can be reduced because the amplitude of the new NTF at high frequencies is reduced by the added zero. A single-channel single-loop fourth-order 3-bit distributed feedforward  $\Sigma\Delta$  modulator is proposed to implement the new NTF. The architecture of the two-channel TI  $\Sigma\Delta$  modulator is derived from the single-channel modulator based on the theory of multirate system and block digital filter. The degradation of the signal-to-noise-plus-distortion ratio of the proposed modulator is only 3.1 dB with 1% coefficient mismatches, which shows that the proposed architecture is insensitive to coefficient mismatches.

**Keywords:**  $\Sigma\Delta$  modulator; time-interleaved; folded noise; block digital filter

现有的 CMOS 集成电路工艺水平限制了运算放大器的高频性能, 使得基于开关电容电路的高速模数转换器(ADC), 尤其是  $\Sigma\Delta$  ADC 的设计很困难<sup>[1]</sup>. 时间交织技术是一种提高 ADC 转换速率的有效方法, 它采用多个并行工作的低速 ADC 来实现高速转换率. 这种技术已经应用在  $\Sigma\Delta$  ADC、

Flash ADC 以及 pipelined ADC 等多种形式的 ADC 中<sup>[2-4]</sup>. 但是, 由于模拟电路的非理想特性, 如运算放大器、采样电容、积分电容等元器件的不匹配, 使得各个通道的系数存在失配, 而系数失配时间交织调制器的性能影响很大<sup>[5-7]</sup>. 文献[8]采用数字校准技术对调制器的系数失配进行后台数字校准, 其缺

点是需要复杂的数字电路来实现校准算法.文献[9]通过对调制器反馈回路的优化,减小了系数失配对调制器性能的影响,但是该结构会增加积分器的输出摆幅,在高阶调制器结构中,大的积分器输出摆幅容易引起调制器不稳定.

本文从系数失配引起的折叠噪声与噪声传递函数(NTF)之间的关系出发,通过在传统NTF中增加一个奈奎斯特频率处的零点来改变其噪声整形特性,在此基础上给出了实现该NTF的单通道4阶调制器结构,再利用块数字滤波器基本原理和多抽样率系统的恒等变换,得出一种新型的高阶两通道时间交织ΣΔ调制器的系统结构.该结构不会影响调制器的稳定性,并且在通道系数失配较大的条件下,仍能得到较好的性能.

## 1 两通道块数字滤波器

块数字滤波器是一个基本的多抽样率系统.对于两通道的块数字滤波器,它首先利用2-抽取器使得每个通道的工作频率降低为原来的1/2,然后采用2-插值器对每个通道分别采样重建信号.采用块数字滤波器结构,可以用低速器件来实现高速系统. $z$ 域传递函数为 $H(z)$ 的单输入输出离散系统可以用两通道块数字滤波器结构来实现,滤波器的系数矩阵为伪循环矩阵<sup>[10]</sup>

$$\mathbf{P} = \begin{bmatrix} P_1 & P_2 \\ P_2 z^{-2} & P_1 \end{bmatrix} \quad (1)$$

式中: $P_1$ 和 $P_2$ 为 $H(z)$ 的类型I的多相分解. $H(z)$ 的两通道块数字滤波器的结构如图1所示.

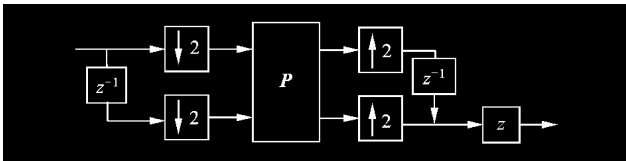


图1 两通道块数字滤波器结构

下面考虑本文中将使用的3种单输入输出离散系统的两通道块数字滤波器结构,单输入输出系统的 $z$ 域传递函数分别为

$$H_1(z) = \frac{z^{-1}}{1-z^{-1}}; H_2(z) = \frac{1}{1-z^{-1}}$$

$$H_3(z) = \frac{z^{-2} + Kz^{-1}}{(1-z^{-1})(1+z^{-1})}$$

则 $H_1(z)$ 、 $H_2(z)$ 、 $H_3(z)$ 对应的类型I的多相分解分别为<sup>[10]</sup>

$$P_{H_1,1}(z) = \frac{z^{-2}}{1-z^{-2}}; P_{H_1,2}(z) = \frac{1}{1-z^{-2}}$$

$$P_{H_2,1}(z) = \frac{1}{1-z^{-2}}; P_{H_2,2}(z) = \frac{1}{1-z^{-2}}$$

$$P_{H_3,1}(z) = \frac{z^{-2}}{1-z^{-2}}; P_{H_3,2}(z) = \frac{K}{1-z^{-2}}$$

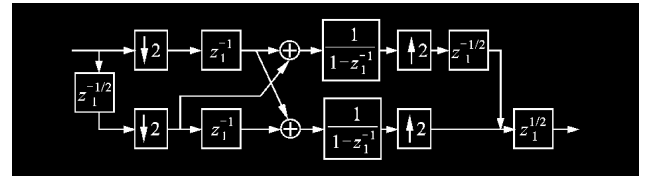
令 $z_1 = z^2$ ,则上面3种单输入输出系统所对应的两通道块数字滤波器的系数矩阵分别为

$$\mathbf{P}_{H_1} = \begin{bmatrix} z_1^{-1} & 1 \\ z_1^{-1} & z_1^{-1} \end{bmatrix} \frac{1}{1-z_1^{-1}} \quad (2)$$

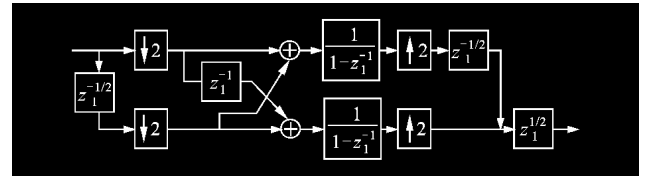
$$\mathbf{P}_{H_2} = \begin{bmatrix} 1 & 1 \\ z_1^{-1} & 1 \end{bmatrix} \frac{1}{1-z_1^{-1}} \quad (3)$$

$$\mathbf{P}_{H_3} = \begin{bmatrix} z_1^{-1} & K \\ Kz_1^{-1} & z_1^{-1} \end{bmatrix} \frac{1}{1-z_1^{-1}} \quad (4)$$

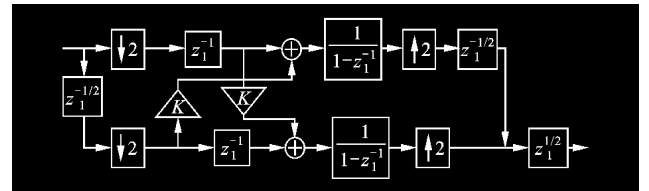
根据式(2)~式(4),可以得到上面3种单输入输出系统的两通道块数字滤波器结构,如图2所示.



(a)  $H_1(z)$ 的两通道块数字滤波器结构



(b)  $H_2(z)$ 的两通道块数字滤波器结构



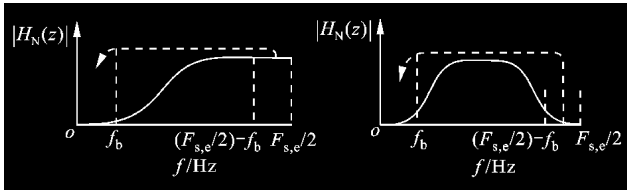
(c)  $H_3(z)$ 的两通道块数字滤波器结构

图2 3种单输入输出系统的两通道块数字滤波器结构

## 2 一种新的高阶两通道时间交织ΣΔ调制器系统结构

对于两通道时间交织ΣΔ调制器,若 $F_{s,e}$ 为调制器的等效采样频率, $f_b$ 为调制器的信号带宽,则两个通道之间的系数失配会使频带 $((F_{s,e}/2) - f_b) \sim F_{s,e}/2$ 内的噪声折叠到信号带宽内<sup>[7]</sup>.传统的NTF为一个高通滤波器,调制器高频处的量化噪声被放大.当使用传统NTF的两通道时间交织调制器的两个通道之间的系数存在失配时,折叠到信号带宽内的量化噪声较大.针对传统的NTF在两通道时间交织结构中使用时存在的问题,本文通过在

传统的 NTF 中增加一个奈奎斯特频率处的零点以及其相应的极点,得到一种新的具有带通滤波器特性的 NTF. 与传统的 NTF 相比,该 NTF 高频处的幅值较小,从而减小了由于系数失配所引起的折叠噪声. 若调制器的 NTF 为  $H_N(z)$ ,传统的 NTF 和本文提出的 NTF 的幅频响应以及其由于系数失配引起的噪声折叠示意图如图 3 所示.



(a)传统 NTF 的幅频响应 (b)带通 NTF 的幅频响应

图 3 两通道时间交织调制器噪声折叠示意图

本文首先设计了一个具有带通滤波器特性的 NTF,其奈奎斯特频率处的零点为  $z = -1$ ,相应的极点为  $z = -0.5$ ,NTF 的表达式为

$$H_N(z) = (z+1)(z-1)^2(z^2-1.99z+1)/[(z+0.5)(z^2-0.8009z+0.1795) \cdot (z^2-0.851z+0.4514)] \quad (5)$$

奈奎斯特频率处的零点减小了 NTF 高频处的幅值,该 NTF 的幅频响应如图 4 所示.

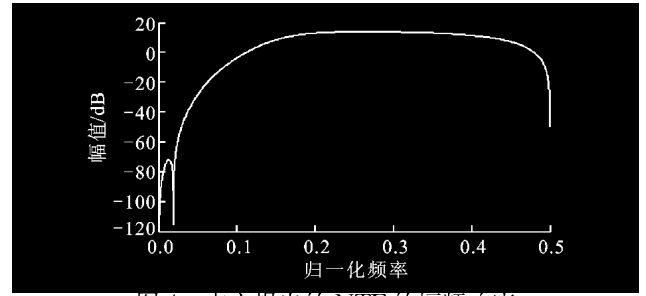
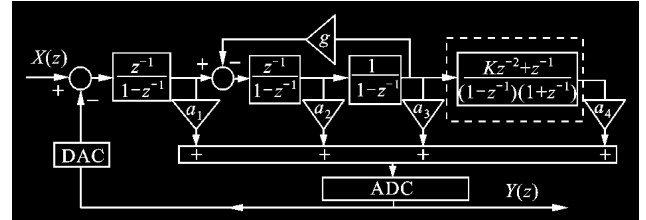
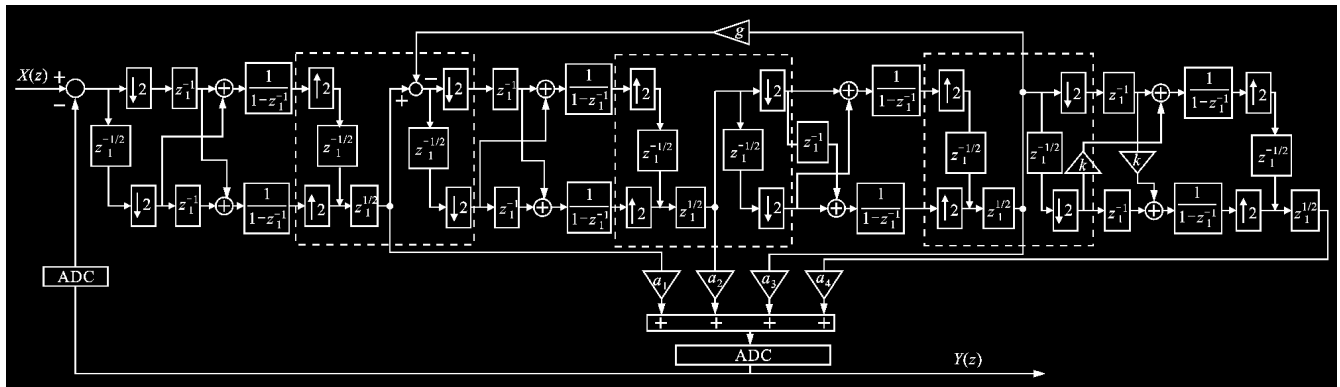


图 4 本文提出的 NTF 的幅频响应

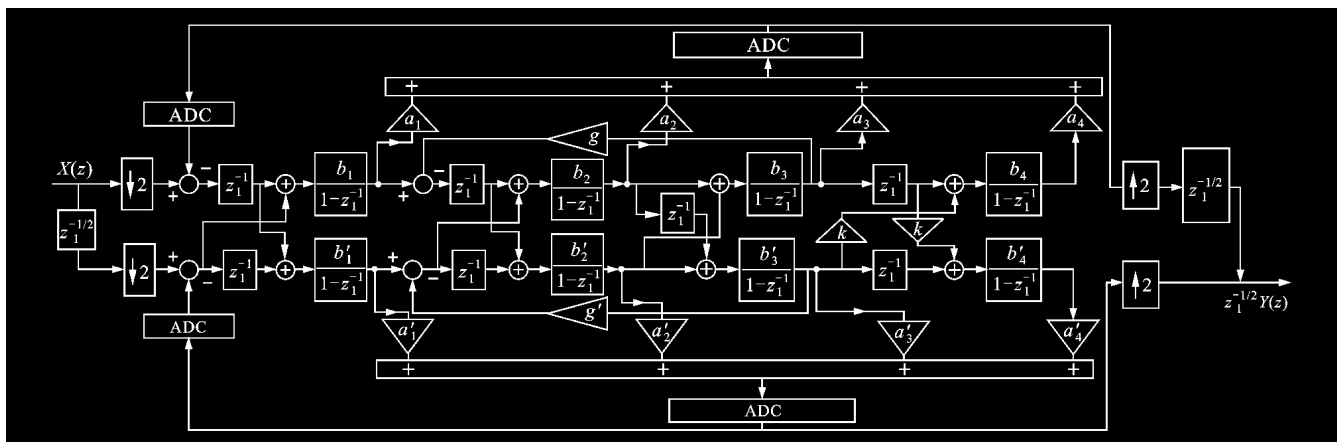
根据式(5),本文给出了实现该 NTF 的单通道调制器的线性模型,调制器的系数  $a_1 = 1.8, a_2 = 0.9, a_3 = 1.3, a_4 = 1.3, g = 0.01, K = -0.74$ ,ADC 为 3 位的量化器,DAC 为 3 位的数模转换器,单通调制器的结构如图 5a 所示. 该结构中包含了第一节所述的 3 种基本单元,虚线框部分实现了 NTF 在奈奎斯特频率处的零点.



(a)单通道调制器结构



(b)两通道时间交织  $\Sigma\Delta$  调制器等效结构



(c)本文提出的两通道时间交织  $\Sigma\Delta$  调制器结构

图 5 单通道到两通道时间交织  $\Sigma\Delta$  调制器结构的等效变换

在图 5a 中,用两通道块数字滤波器替代其对应的基本单元,得到两通道时间交织调制器的等效结构,如 5b 所示. 等效结构中包含不可物理实现的非因果项  $z^{1/2}$ , 根据多抽样率系统恒等变换原理<sup>[11]</sup>, 对图 5b 中的结构做如下变换: 把虚线框内局部反馈回路中和全局反馈回路中的延时项  $z_1^{-1/2}$  与非因果项  $z^{1/2}$  合并, 将插值运算与抽取运算合并, 并且去掉输出端的非因果项  $z^{1/2}$ , 最后得到如图 5c 所示的结构, 调制器的输出为  $z_1^{-1/2}Y(z)$ . 在理想情况下, 图 5c 中的调制器的系数有如下关系:  $b_1=b'_1=b_2=b'_2=b_3=b'_3=b_4=b'_4=1, g'_1=g_1, a'_1=a_1, a'_2=a_2, a'_3=a_3, a'_4=a_4$ . 若本文的两通道时间交织调制器结构的每个通道的采样频率与单通道结构相同, 则其速度为单通道的 2 倍. 从上面的恒等变换过程中可以看出, 只要给出的单通道高阶调制器是稳定的, 那么本文的两通道时间交织高阶调制器结构也一定稳定, 避免了文献[9]中的结构用在高阶调制器中容易不稳定的问题, 并且本文调制器的 NTF 为一带通滤波器, 与传统两通道时间交织结构<sup>[4]</sup>相比, 调制器的量化噪声经过 NTF 整形后, 其高频处的量化噪声大大减小, 从而减小了由于两个通道之间的系数失配而引入的折叠到信号带宽内的量化噪声.

### 3 系统仿真结果

采用 SIMULINK 分别对本文提出的两通道时间交织调制器、单通道调制器以及传统两通道时间交织调制器进行了仿真. 单通道调制器的采样频率  $F_s=64$  MHz, 本文提出的两通道时间交织调制器的每个通道的采样频率  $F_s=64$  MHz (其等效采样频率  $F_{s,e}=2F_s$ ), 两种调制器的过采样率 (采样频率与 2 倍信号带宽之比) 都为 24, 输入信号是频率  $F_{in}=195\ 312.5$  Hz、幅值为 -6 dB 的满刻度的正弦信号. 在没有系数失配的条件下, 本文调制器和单通道调制器的输出信号的功率谱密度如图 6 所示, 单通道调制器的信号噪声失真比  $S_{NDR}$  为 102.6 dB, 本文提出的调制器的  $S_{NDR}$  为 103.1 dB. 从图 6 可以看出, 本文提出的调制器结构在不提高系统工作频率的情况下, 带宽可以增加 1 倍, 而  $S_{NDR}$  几乎不变.

为了比较本文提出的调制器结构在抑制折叠噪声方面的能力, 去掉式(5)中  $z=-1$  的零点以及相应的极点 ( $z=-0.5$ ), 得到传统的具有高通滤波器特性的 NTF, 表达式为

$$H_N(z) =$$

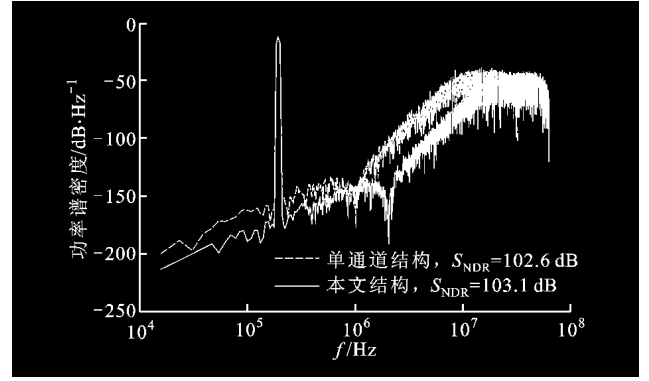


图6 本文结构和单通道结构调制器输出信号的功率谱密度

$$\frac{(z-1)^2(z^2-1.99z+1)}{(z^2-0.800\ 9z+0.179\ 5)(z^2-0.851z+0.451\ 4)} \quad (6)$$

采用文献[4]中的调制器结构来实现式(6)的 NTF, 图 7 为两种调制器在理想和存在系数失配条件下的输出信号的功率谱密度, 其失配系数为 1% (即图 5c 中系数  $b'_i=b_i(1+0.01), a'_i=a_i(1+0.01), g'_i=g_i(1+0.01)$ ). 从图 7 可以看出, 在理想条件下, 两种调制器的噪声整形能力几乎一样, 其  $S_{NDR}$  相差很小. 传统两通道时间交织结构对系数失配比较敏感, 信号带宽内有较大的折叠噪声, 其  $S_{NDR}$  从理想情况下的 104.6 dB 降到了 89.5 dB, 而本文提出的两通道时间交织调制器信号带宽内的折叠噪声较小, 其  $S_{NDR}$  比理想情况只降低了 3.1 dB. 这表明, 本文提出的两通道时间交织调制器结构对系数失配不敏感, 信号带宽内的折叠噪声较小, 调制器的性能得到了改善.

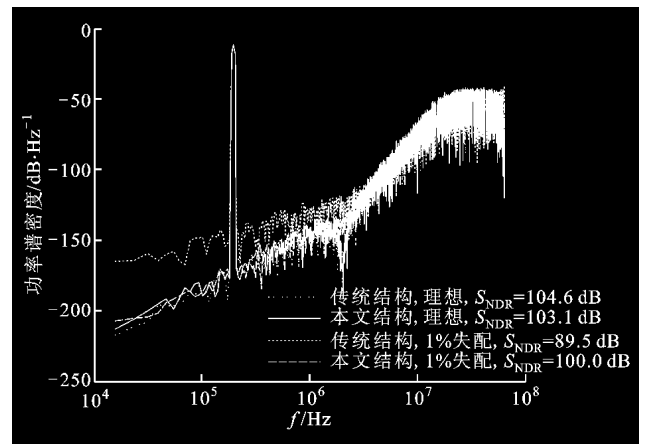


图7 本文结构和传统两通道时间交织结构调制器输出信号的功率谱密度

### 4 结束语

本文提出了一种高阶两通道时间交织ΣΔ调制

器系统结构,该调制器的 NTF 包含一个奈奎斯特频率处的零点,能够减小信号带宽内的折叠噪声.采用 SIMULINK 对本文提出的两通道时间交织  $\Sigma\Delta$  调制器进行了系统级仿真,仿真结果表明:在不提高系统工作频率的条件下,该调制器的带宽能增加 1 倍,而其  $S_{\text{NDR}}$  几乎不变,并且该调制器对两通道之间的系数失配不敏感.

#### 参考文献:

- [1] BALMELLI P, HUANG Q. A 25 MS/s 14-b 200-mW sigma delta modulator in 0.18  $\mu\text{m}$  CMOS [J]. IEEE J Solid-State Circuits, 2004, 39(12): 2161-2169.
- [2] GUPTA S, CHOI M, INERFIELD M, WANG J B. A 1GS/s 11b time-interleaved ADC in 0.13 $\mu\text{m}$  CMOS [J]. IEEE J Solid-State Circuits, 2006, 41(12): 2650-2657.
- [3] KHOINI-POORFARD R, LIM L B, JOHNS D A. Time-interleaved oversampling A/D converters: theory and practice [J]. IEEE Trans Circuits and Systems: II, 1997, 44(8): 634-645.
- [4] KOZAK M, KALE I. Novel topologies for time-interleaved delta-sigma modulators [J]. IEEE Trans Circuits and Systems: II, 2000, 47(7): 639-654.
- [5] LEE Z M, WANG C Y, WU J T. A CMOS 15-bit 125-MS/s time-interleaved ADC with digital back-ground calibration [J]. IEEE J Solid-State Circuits, 2007, 42(10): 2149-2160.
- [6] KUROSAWA N, KOBAYASHI H, MARUYAMA K et al. Explicit analysis of channel mismatch effects in time-interleaved ADC systems [J]. IEEE Trans Circuits and Systems: I, 2001, 48(3): 261-271.
- [7] KHOINI-POORFARD R, JOHNS D A. Mismatch effects in time-interleaved oversampling converters [C] // IEEE Int Symp Circuits Syst. Piscataway, NJ, USA: IEEE, 1994: 5429-5432.
- [8] FERRAGINA V, FORNASARI A, GATTI U, et al. Gain and offset mismatch calibration in time-interleaved multipath A/D sigma-delta modulators [J]. IEEE Trans Circuits and Systems: I, 2004, 51(12): 2365-2373.
- [9] KYE-SHIN L, MALOBERTI F. Time-interleaved sigma-delta modulator using output prediction scheme [J]. IEEE Trans Circuits and Systems: II, 2004, 51(10): 537-541.
- [10] VAIDYANATHAN P P. Multirate digital filters, filter banks, polyphase and applications: a tutorial [J]. IEEE Trans Signal Processing, 1990, 38(1): 3591-3596.
- [11] 陶然,张惠云,王越.多抽样率数字信号处理理论及其应用[M].北京:清华大学出版社,2007.

(编辑 刘杨)