

一种新型级联 $\Sigma\Delta$ 调制器系统结构

杨晓, 陈贵灿, 程军, 徐晓云

(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 针对传统高阶级联 $\Sigma\Delta$ 调制器结构电路复杂和对运算放大器的增益和线性度要求较高的缺点, 提出了一种新型的 2-3 两级 5 阶多位置量化器级联 $\Sigma\Delta$ 调制器系统结构. 该结构的第 1 级采用 2 阶多位置量化器的低失真 $\Sigma\Delta$ 调制器结构, 减小了运算放大器的非线性有限增益对调制器性能的影响. 第 2 级采用信号传递函数等于单位增益的单环 3 阶 $\Sigma\Delta$ 调制器, 而不是传统级联结构中 1 阶或 2 阶 $\Sigma\Delta$ 调制器, 降低了电路的复杂程度. 系统仿真结果表明: 在最大增益为 70 dB 的非线性运算放大器增益、 $\pm 0.2\%$ 的随机数模转换误差的非理想条件下, 该调制器的最大信号噪声失真比能够达到 95 dB.

关键词: 级联 $\Sigma\Delta$ 调制器; 低失真; 量化噪声

中图分类号: TN43 **文献标识码:** A **文章编号:** 0253-987X(2008)12-1541-05

A Novel Cascade $\Sigma\Delta$ Modulator Architecture

YANG Xiao, CHEN Guican, CHENG Jun, XU Xiaoyun

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: In order to overcome the disadvantages that the conventional cascade $\Sigma\Delta$ modulator architecture is sensitive to the nonlinear finite operational amplifier (OPAMP) gain and that its circuit is complex, a novel 2-3 two stages fifth-order multi-bit cascade $\Sigma\Delta$ modulator architecture is proposed. The first stage of the proposed $\Sigma\Delta$ modulator architecture employs a second-order multi-bit low-distortion $\Sigma\Delta$ modulator that can reduce the effects of the nonlinear finite OPAMP gain. The second stage employs a single-loop third-order $\Sigma\Delta$ modulator with a unity-gain signal transfer function instead of the conventional first-order or second-order modulators that can reduce the complexity of the circuit. Simulation results show that the signal-to-noise-plus-distortion ratio of the modulator can achieve 95 dB with a maximum gain of 70 dB for the nonlinear OPAMP and a random error of $\pm 0.2\%$ for the digital-to-analog converter.

Keywords: cascade $\Sigma\Delta$ modulator; low-distortion; quantization noise

现有的 CMOS 集成电路工艺水平限制了 $\Sigma\Delta$ 调制器的工作频率, 在宽带 $\Sigma\Delta$ 调制器的设计中, 通常采用低过采样率(OSR)的高阶调制器结构^[1-2]. 常用的高阶 $\Sigma\Delta$ 调制器结构有单环高阶结构和级联高阶结构 2 种. 单环高阶结构电路简单, 但是存在稳定性问题^[3-4]. 级联高阶结构采用多级低阶调制器级联组成高阶系统, 既可以实现对量化噪声的高阶整形, 又可使系统不存在稳定性问题, 但是其电路复杂^[5].

对于 5 阶级联结构, 一般采用 2-2-1 或 2-1-1-1 结构, 至少需要 3 级来实现, 电路复杂^[6]. 另外, 由于模拟电路的非理想特性, 数字电路实现的噪声抵消传递函数不能完全与模拟电路实现的传递函数相匹配, 导致量化噪声泄漏到调制器的输出, 降低了调制器的性能^[7-8]. 传统级联结构受运放的非线性有限增益影响较大, 对运放的增益和线性度要求较高, 增加了运放的设计难度和功耗^[5].

本文提出了一种 2-3 两级 5 阶级联结构,第 1 级采用 2 阶多位置量化器的低失真 $\Sigma\Delta$ 调制器,减小了运放的非线性有限增益对调制器的影响.第 2 级采用信号传递函数等于单位增益的单环 3 阶多位置量化器 $\Sigma\Delta$ 调制器,而不是传统级联结构中的阶或 2 阶 $\Sigma\Delta$ 调制器,减小了电路的复杂程度.同时,仔细设计第 2 级的噪声传递函数(NTF)以及选择合适的级间耦合系数,增强了系统的稳定性.在该结构的基础上,设计了 OSR 为 8 的低过采样率的 2-3 两级 5 阶级联 $\Sigma\Delta$ 调制器.

1 一种新型的 2-3 两级 5 阶级联 $\Sigma\Delta$ 调制器结构

图 1 为本文提出的一种新型的 2-3 两级 5 阶级联 $\Sigma\Delta$ 调制器结构.该调制器第 1 级各个结点的传递函数为

$$U(z) = -(1 - z^{-1})^2 E_1(z) \quad (1)$$

$$V_1(z) = -z^{-1}(1 - z^{-1})E_1(z) \quad (2)$$

$$V_2(z) = -z^{-2}E_1(z) \quad (3)$$

$$Y_1(z) = X(z) + (1 - z^{-1})^2 E_1(z) \quad (4)$$

从式(1)~式(4)可以看出,积分器的输入信号 U 、 V_1 以及输出信号 V_1 、 V_2 都不包含调制器的输入信号 X ,所以积分器只处理量化噪声.这种结构有 2 个好处:①积分器的输出不会产生由于非线性运放增益引起的谐波失真;②减小了运放的输出摆幅^[1].

该调制器的第 2 级为信号传递函数等于单位增益的单环 3 阶 $\Sigma\Delta$ 调制器,而不是传统级联结构中的 1 阶或 2 阶 $\Sigma\Delta$ 调制器结构.单环高阶 $\Sigma\Delta$ 调制器

结构存在稳定性问题,到目前为止,仍然没有严格的理论上的稳定性判定依据.一般而言,NTF 的带外噪声增益(OBG)越小,调制器越稳定.但是,小的带外噪声增益会削弱调制器的整形效果,降低了调制器的信号噪声失真比(R_{SND})^[1].对于单环高阶 $\Sigma\Delta$ 调制器,把 NTF 的零点分布在信号带宽内,而不是都放置在 DC 处,能够得到更好的整形效果.设 f_b 为信号带宽,对于单环 3 阶的 NTF,若零点为

$$f = \pm \left(\frac{3}{5}\right)^{1/2} f_b \quad (5)$$

则 NTF 的 R_{SND} 能提高 8 dB^[1].在本文结构中,利用局部反馈系数 g 实现了 NTF 零点的优化.在开关电容积分器电路中,延时积分器比零延时积分器具有更小的误差^[1],本文结构中的局部谐振器采用延时积分器在前、零延时积分器在后的结构,使得调制器对较大的零延时积分器的误差具有更好的噪声整形效果,从而提高了整个调制器的噪声整形效果.

若 h_c 为级间耦合系数, $H_N(z)$ 为单环 3 阶 $\Sigma\Delta$ 调制器的噪声传递函数, $H_1(z)$ 、 $H_2(z)$ 为噪声抵消传递函数,则调制器第 1 级的输出为

$$Y_1(z) = X(z) + (1 - z^{-1})^2 E_1(z) \quad (6)$$

第 2 级的输出为

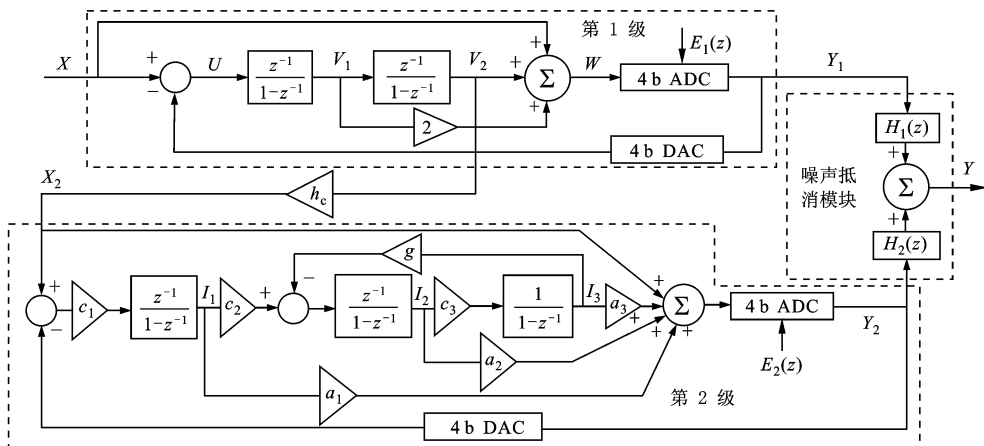
$$Y_2(z) = -h_c z^{-2} E_1(z) + H_N(z) E_2(z) \quad (7)$$

整个调制器的输出为

$$Y = X(z)H_1(z) + H_N(z)H_2(z)E_2(z)$$

$$+ E_1(z)(H_1(z)(1 - z^{-1})^2 - h_c z^{-2} H_2(z)) \quad (8)$$

从式(8)可以看出,为了抵消量化噪声 $E_1(z)$,一种简单的噪声抵消传递函数为



h_c :级间耦合系数; a_1 、 a_2 、 a_3 、 c_1 、 c_2 、 c_3 、 g :调制器第 2 级的系数; $H_1(z)$ 、 $H_2(z)$:噪声抵消传递函数; $E_1(z)$ 、 $E_2(z)$:调制器第 1 级和第 2 级量化的等效量化噪声; X 、 X_2 :第 1 级、第 2 级输入信号; I_1 、 I_2 、 I_3 :第 2 级各个积分器的输出信号;4 b ADC:调制器内嵌 4 位的量化器;4 b DAC:调制器内嵌 4 位的数模转换器

图 1 本文提出的 2-3 两级 5 阶级联 $\Sigma\Delta$ 调制器结构

$$H_1(z) = z^{-2}, H_2(z) = \frac{(1 - z^{-1})^2}{h_c} \quad (9)$$

该噪声抵消传递函数非常简单,很容易在数字电路中实现. 最终调制器的输出为

$$Y = X(z)z^{-2} + \frac{H_N(z)(1 - z^{-1})^2}{h_c} E_2(z) \quad (10)$$

实现了对量化噪声 5 阶整形.

本文结构能够降低调制器电路的复杂程度. 级联结构需要把前一级的量化噪声耦合到下一级,这在传统的结构中需要额外的电路来实现,而本文结构可以直接从第 1 级的第 2 个积分输出 V_2 得到,节省了相应的电路. 并且,本文结构的第 2 级采用单环 3 阶调制器,而不是传统级联结构中的 1 阶或 2 阶调制器,与传统的 2-2-1 3 级 5 阶级联结构相比,本文结构少用了一级,不但节省了电路,而且减少了噪声泄漏(即传统 3 级级联结构中第 2 级的噪声泄漏).

2 系统设计

单环高阶调制器结构存在稳定性问题,因为本文结构的第 2 级为单环 3 阶调制器,所以在系统设计时需要对系统稳定性进行考虑. 本文从 2 个方面来增加系统的稳定性:①在设计第 2 级的 NTF 时,采用较小的带外噪声增益,使得第 2 级调制器系统在较大的输入信号时仍能够稳定;②通过选择合适的级间耦合系数,使得从第 1 级耦合到第 2 级输入端的信号较小.

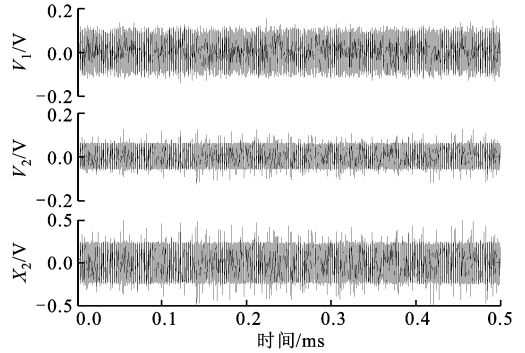
NTF 的带外噪声增益越小,调制器越稳定. 在本文设计中,NTF 的带外噪声增益(OBG)为 4. 经过零点优化后的噪声传递函数为

$$H_N(z) = \frac{(z-1)(z^2 - 1.908z + 1)}{(z-0.273)(z^2 - 0.3387z + 0.1963)} \quad (11)$$

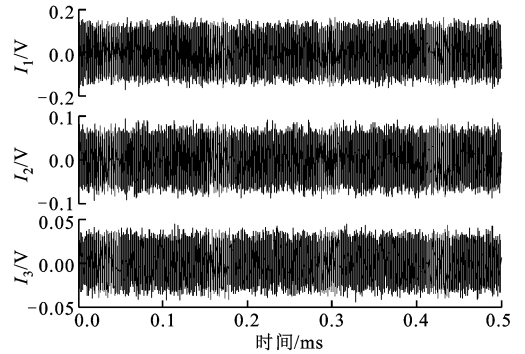
把 NTF 映射到本文结构中,得到第 2 级调制器的系数为: $a_1=2.4$, $a_2=1.6$, $a_3=1$, $c_1=1$, $c_2=0.8$, $c_3=0.5$, $g=0.2$. 系统仿真结果表明,该单环 3 阶 4 b 调制器在幅值为 0 V~0.92 V(满刻度输入为 1 V)范围内的直流输入都能够稳定工作.

级间耦合系数 h_c 的确定主要基于 2 个方面的考虑:①根据式(10), h_c 越大,量化噪声的衰减越好,但会增大第 2 级输入信号的幅值,可能会引起第 2 级单环 3 阶 $\Sigma\Delta$ 调制器不稳定;②噪声抵消传递函数 $H_1(z)$ 、 $H_2(z)$ 是采用数字电路来实现的,为了能够在数字电路中简单实现乘除法, h_c 取 2 的幂次方. 基于上述考虑,本文的级间增益 $h_c=4$.

当采样频率 $F_s=40$ MHz、输入为信号幅度等于 0.95 V、频率等于 2 MHz 的正弦信号时,第 1 级各个积分器的输出摆幅以及第 2 级调制器的输入信号的幅值如图 2a 所示,第 2 级各个积分器输出摆幅如图 2b 所示. 从图 2 可以看出,调制器的各个积分器的输出摆幅都非常小,这表明该调制器对较大的输入信号仍然具有较好的稳定性,并且小的输出摆幅使得运放的设计更加容易.



(a) 第 1 级各个积分器输出信号和第 2 级调制器输入信号幅值



(b) 第 2 级各个积分器输出信号幅值

图 2 调制器的各个积分器的输出信号幅值

3 系统仿真结果

运放的非线性有限增益会从 2 个方面影响级联 $\Sigma\Delta$ 调制器的性能:①运放的非线性增益会使调制器的输出产生谐波失真;②运放的有限增益会使量化噪声不能被完全抵消,在调制器的输出产生噪声泄漏,增加了信号带宽内的噪声.

采用 SIMULINK 软件对本文结构进行建模和仿真,其中积分器模型采用文献[10]提出的模型,该模型考虑了运放的非线性有限增益对积分器的影响. 若调制器的采样频率为 40 MHz, OSR 为 8, 输入为幅度等于 0.8 V、频率等于 0.5 MHz 的正弦信号,运放的有限值 DC 增益对本文调制器结构性能

的影响如图 3 所示. 仿真结果表明,当运放增益等于 65 dB 时,其信号噪声失真比 R_{SND} 下降很少,即运放有限增益引起的噪声泄漏对该调制器的性能影响很小.

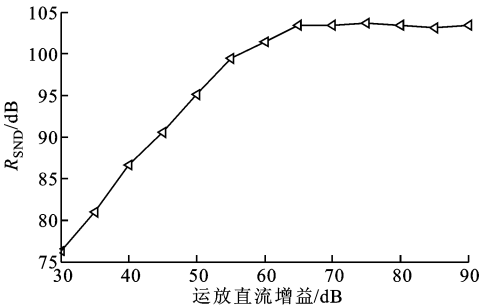


图 3 运放有限直流增益对本文调制器性能的影响

为了比较运放的非线性有限增益对调制器性能的影响,分别对本文提出的结构和文献[5]中给出的结构进行了系统仿真.采用最大增益为 65 dB 的双曲正切函数来模拟运放非线性有限增益,运放的非线性增益与输出摆幅的曲线如图 4 所示.2 种调制器结构的仿真条件与图 3 的仿真条件相同.图 5 为文献[5]中调制器在理想运放和非理想运放(非线性有限增益与输出摆幅曲线如图 4 所示)的条件下,调制器的输出功率谱.可以看出,在非理想条件下,其功率谱中出现了较大的谐波分量,最大谐波分量达到了 -72 dB, R_{SND} 从理想条件下的 105 dB 降为 67 dB,严重影响了调制器的性能.图 6 为本文调制器在理想运放和非理想运放的条件下,调制器的输出功率谱.从图 6 可以看出,其功率谱中没有明显的谐波分量, R_{SND} 仅降低了 2 dB.这表明,本文结构对运放的非线性有限增益不敏感,在运放增益较低和线性度较差的条件下,仍然能得到较好的性能.

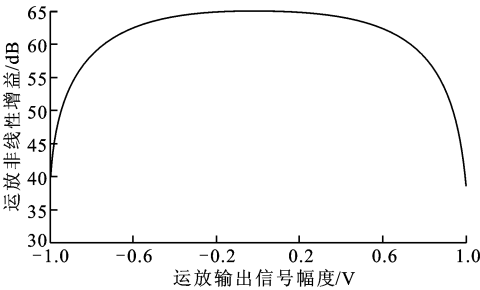


图 4 运放的非线性增益与输出信号幅度曲线

图 7 为本文设计的 2-3 两级 5 阶级联 $\Sigma\Delta$ 调制器在理想和非理想条件下,调制器的 R_{SND} 与输入信号幅度的关系曲线.在理想条件下,该调制的最大

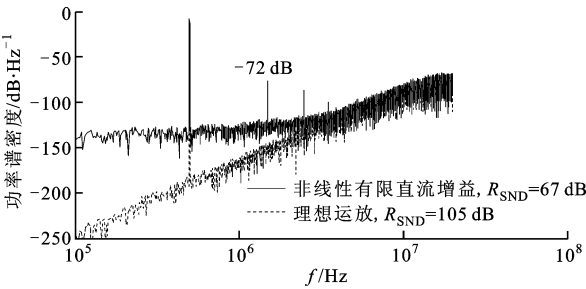


图 5 文献[5]中调制器的输出功率谱

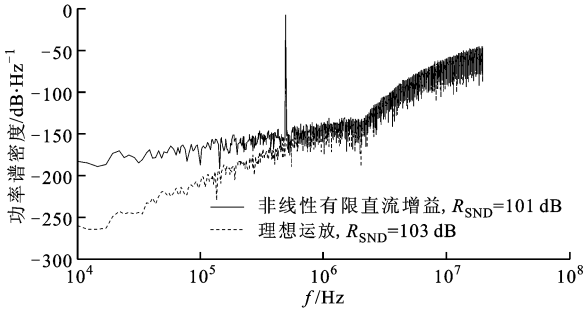


图 6 本文调制器的输出功率谱

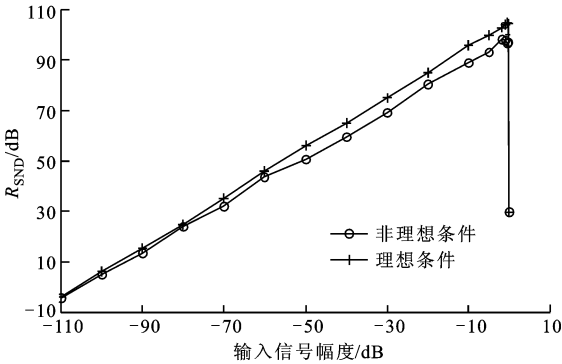


图 7 调制器的信号噪声失真比与输入信号幅度的关系曲线

R_{SND} 能达到 104.5 dB;在运放最大增益为 70 dB(增益的非线性特性如图 4 所示), $\pm 0.2\%$ 的随机 DAC 误差的非理想条件下,该调制器的最大 R_{SND} 能达到 95 dB.在非理想条件下,本文采用了动态元件匹配算法^[11]来抑制多位 DAC 元器件失配引起的误差.从仿真结果可以看出,本文结构在运放增益较低和运放线性度较差以及不采用减少噪声泄露的补偿技术的情况下,调制器仍然能够达到较好的性能.本文的着重点为系统结构的创新,对该新型的 2-3 两级 5 阶级联 $\Sigma\Delta$ 调制器结构进行了系统级的研究,考虑了一些实际电路中的非理想特性对调制器性能的影响,是阶段性的研究成果,对该调制器的电路设计具有指导意义.

4 结 论

本文提出了一种新型的 2-3 两级 5 阶多位量化器级联 $\Sigma\Delta$ 调制器系统结构. 调制器的第 1 级采用 2 阶低失真多位量化器 $\Sigma\Delta$ 调制器;第 2 级采用单环 3 阶多位量化器 $\Sigma\Delta$ 调制器结构代替了传统级联结构中的 1 阶或 2 阶 $\Sigma\Delta$ 调制器,降低了电路复杂程度. 系统仿真表明,本文结构对运放的非线性有限值增益不敏感,降低了对运算放大器增益和线性度的要求.

参考文献:

[1] SCHREIER R, TEMES G C. Understanding Delta-Sigma Data Converters [M]. New York, USA: IEEE Press, 2005.

[2] BAJDECHI O, GIELEN G E, HUIJSING J H. Systematic design exploration of Delta-Sigma ADCs [J]. IEEE Trans Circuits and Syst;I, 2004, 51(1):86-95.

[3] MLADENOV V, HEGT H, ROERMUND A. On the stability analysis of high order sigma-delta modulators [J]. Analog Integrated Circuits and Signal Processing, 2003, 36(1/2):47-55.

[4] PNEUMATIKAKIS A, CONSTANTINIDES A G, DELIYANNIS T, BOURDOPOULOS G. Stabilization of third-order single-stage sigma-delta modulators [J]. Circuits Systems and Signal Processing, 1999, 18(2): 149-168.

[5] FUJIMORI I, LONGO L, HAIRAPETIAN A, et al. A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at $8\times$ oversam-

pling ratio [J]. IEEE J Solid-State Circuits, 2000, 35 (12): 1820-1827.

[6] RIO R D, MEDEIRO F, PEREZ-VERDU B, et al. High-order CASCADE multibit $\Sigma\Delta$ modulators for xDSL applications [C]//IEEE International Symposium on Circuits and Systems; II. Piscataway, NJ, USA: IEEE, 2000;37-40.

[7] KOROTKOV A S, TELENKOV M V. Numerical simulation of discrete time circuits taking into account weakly nonlinear effects [C] // Proc Int Symposium Signals, Circuits and Syst. Piscataway, NJ, USA: IEEE, 2005;191-194.

[8] KOROTKOV A S, TELENKOV M V. Simulation of linear and non-linear effects in switched-capacitor delta-sigma modulators [C]//IEEE 7th CAS Symposium on Emerging Technologies: Circuits and Systems for 4G Mobile Wireless Communications. Piscataway, NJ, USA:IEEE, 2005;58-63.

[9] SILVA J. High-performance delta-sigma analog-to-digital converters [D]. Corvallis, OR, USA: Oregon State University, 2004.

[10] ZARE-HOSEINI H, KALE I, SHOAEE O. Modeling of switched-capacitor delta-sigma Modulators in SIMULINK [J]. IEEE Trans Instrumentation and Measurement, 2005, 54 (4): 1646-1654.

[11] BAIRD R T, FIEZ T S. Linearity enhancement of multibit sigma-delta A/D and D/A converters using data weighted averaging [J]. IEEE Trans Circuits and Syst;II, 1995, 42(12):753-762.

(编辑 刘杨)

[文摘预登]

透视投影下的镜面反射表面形状恢复新算法

刘瑞玲, 韩九强

(西安交通大学电子与信息工程学院, 710049, 西安)

针对含有镜面反射的表面形状恢复问题,提出一种透视投影下基于 Ward 模型的从明暗恢复形状的新算法. 首先,假设光源处在相机的光心处,并引入光强衰减距离因子,用 Ward 模型建立含有强镜面反射的表面反射图方程,进而由反射图方程构造透视投影下关于形状深度信息的偏微分方程,并用 Lax-Friedrichs Sweeping 方法和改进的非线性黏性因子求解该偏微分方程,得到表面三维形状. 所提出的新算法具有准确可靠的特点,比同类算法更加稳定. 对合成花瓶图像的实验表明,与基于正交投影的算法相比,新算法恢复高度的平均误差下降了 13.5%.