

一种围栅金属氧化物半导体场效应管阈值电压模型

尤一龙, 李尊朝, 刘林林, 徐进朋

(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 针对深亚微米金属氧化物半导体场效应管(MOSFET)多晶硅耗尽效应加剧问题,提出了一种全耗尽圆柱形围栅 MOSFET 阈值电压解析模型. 通过求解多晶硅耗尽层电势泊松方程,得到多晶硅耗尽层上的压降,用以修正沟道区的通用边界条件. 然后利用叠加原理求解沟道二维电势泊松方程,建立了圆柱形围栅 MOSFET 的表面势和阈值电压解析模型,并利用器件数值仿真软件 Sentaurus 对解析模型进行了验证. 研究表明,衬底掺杂原子浓度越高,或多晶硅掺杂原子浓度越低,多晶硅耗尽层上的压降就越大,阈值电压偏移也越显著. 与现有模型相比,该解析模型的精确度提高了 34% 以上.

关键词: 阈值电压;圆柱形围栅;多晶硅耗尽;表面势

中图分类号: TN386 **文献标志码:** A **文章编号:** 0253-987X(2010)02-0077-05

A Threshold Voltage Model for Surrounding Gate Metal-Oxide-Semiconductor Field-Effect Transistor

YOU Yilong, LI Zunchao, LIU Linlin, XU Jinpeng

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: An analytical model of threshold voltage for the full depletion cylindrical gate metal-oxide-semiconductor field-effect transistor (MOSFET), is proposed to address the issue that polysilicon depletion effect is aggravated for deep submicron MOSFET. The potential Poisson's equation in the polysilicon depletion layer is solved to get the voltage drop in the polysilicon depletion layer, and the voltage drop is then used to modify the universal boundary conditions of the channel region. Then the 2D potential Poisson's equation in the channel is solved by using the superposition principle to construct the analytical models of surface potential and threshold voltage for the cylindrical gate MOSFET. These models are verified by device simulation software Sentaurus. The results show that the voltage drop in the polysilicon depletion layer would be larger and the corresponding threshold voltage shift would be more significant when the doping density of substrate is higher and the doping density of polysilicon is lower. Comparisons with existing models show that the precision of the derived analytical model is improved by more than 34%.

Keywords: threshold voltage; cylindrical gate; polysilicon depletion; surface potential

圆柱形围栅金属氧化物半导体场效应管(MOSFET)栅极将沟道完全包围,使沟道中的电势得到很好控制,抑制了短沟道效应(SCE)^[1],此外围栅 MOSFET 具备更高的包装密度和零拐角效应^[2],这些特点使得围栅 MOSFET 在纳米尺度的

高速低功耗电路应用中极具潜力^[3-5]. 目前对围栅器件的研究主要集中在解析模型^[6-10]. 文献[8]采用抛物线近似了全耗尽圆柱形围栅 MOSFET 沟道中的电势,而文献[9]和文献[10]利用叠加原理求解沟道中的二维电势泊松方程,建立了精确的全耗尽圆柱

形围栅 MOSFET 阈值电压表达式。然而,以上解析模型均未考虑多晶硅栅耗尽效应^[11-14],事实上,在深亚微米尺寸器件中多晶硅耗尽效应已相当明显。

本文在漏源电压较小的情况下,忽略轴向微弱电场的影响,认为多晶硅耗尽层中沿沟道方向相同的半径处所对应的电势相等,求解其半径方向的一维电势泊松方程,得到多晶硅耗尽层上的压降,并修正沟道区的通用边界条件。然后,利用叠加原理求解沟道二维电势泊松方程,得到考虑多晶硅耗尽效应的全耗尽圆柱形围栅 MOSFET 的表面势解析模型。最后,利用器件数值软件 Sentaurus 验证了该解析模型的有效性。

1 多晶硅栅耗尽阈值电压模型建立

1.1 多晶硅栅压降

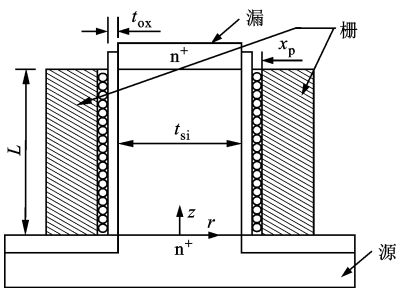
图1为围栅 MOSFET 沟道方向的截面图,其中 r 轴垂直于沟道方向, z 轴平行于沟道方向,假设沿 z 方向的电场为0,并假设柱栅 MOSFET 的多晶硅掺杂均匀,掺杂原子浓度为 N_p ,硅介电常数为 ϵ_{si} ,二氧化硅介电常数为 ϵ_{ox} ,电子电量为 q ,则多晶硅耗尽层中电势分布 $\phi_p(r)$ 近似满足柱坐标系下一维泊松方程

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \phi_p(r)}{\partial r} \right) = -\frac{qN_p}{\epsilon_{si}} \quad (1)$$

考虑边界条件 $\left. \frac{\partial \phi_p(r)}{\partial r} \right|_{r=\frac{t_{si}}{2}+t_{ox}+x_p} = 0$, 对式(1)沿半径方向进行积分得

$$\frac{\partial \phi_p(r)}{\partial r} = \frac{qN_p}{2\epsilon_{si}} \left[\frac{(C+x_p)^2}{r} - r \right] \quad (2)$$

则 $r=C$ 处场强 $E_p = \left. \frac{\partial \phi_p(r)}{\partial r} \right|_{r=C} = -\frac{qN_p}{2\epsilon_{si}} \cdot \left(2x_p + \frac{x_p^2}{C} \right)$, 其中 $C = \frac{t_{si}}{2} + t_{ox}$ 。



t_{ox} :氧化层厚度; t_{si} :硅膜厚度; x_p :耗尽层厚度; L :沟道长度

图1 围栅 MOSFET 沟道方向截面图

在栅氧化层内假定一个柱形高斯面 S , 用 Q 表示半径为 r 的柱形高斯面内包围的电荷, E 表示氧化层内电场强度, 对漏电压很小的情况, 假设只有径向电场, 则应用高斯定理有

$$\oint_S E ds = \int_0^{2\pi} E_{ox}(r) r d\theta = 2\pi E_{ox}(r) = \frac{Q}{\epsilon_{ox}} = -\frac{qN_a}{\epsilon_{ox}} \pi \left(\frac{t_{si}}{2} \right)^2 \quad (3)$$

式中: N_a 为沟道掺杂原子浓度。所以 $E_{ox}(r) = -\frac{qN_a t_{si}^2}{8\epsilon_{ox}}$, 则 Si 和 SiO_2 界面处的氧化层电场 $E_{ox}(C) = -\frac{qN_a t_{si}^2}{8C\epsilon_{ox}}$ 。

电位移在 $r=C$ 处连续则有 $\epsilon_{ox} E_{ox}(C) = \epsilon_{si} E_p$, 即 $-\epsilon_{ox} \frac{qN_a t_{si}^2}{8C\epsilon_{ox}} = -\epsilon_{si} \frac{qN_p}{2\epsilon_{si}} \left(2x_p + \frac{x_p^2}{C} \right)$, 解得 $x_p = -C + \left[C^2 + \frac{N_a t_{si}^2}{4N_p} \right]^{1/2}$, 对方程(2)从 $C \sim C+x_p$ 进行积分, 得多晶硅耗尽层上压降

$$\phi_p = \phi(C+x_p) - \phi(C) = \int_C^{C+x_p} \frac{\partial \phi_p(r)}{\partial r} dr = \frac{qN_p}{2\epsilon_{si}} \left[(C+x_p)^2 \ln \left(\frac{C+x_p}{C} \right) - \left(Cx_p + \frac{x_p^2}{2} \right) \right] \quad (4)$$

1.2 表面势

假设沟道均匀掺杂, 在全耗尽条件下, 沟道中电势满足柱坐标系下的二维泊松方程

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \varphi(r, z)}{\partial r} \right) + \frac{\partial^2 \varphi(r, z)}{\partial z^2} = \frac{qN_a}{\epsilon_{si}} \quad (5)$$

使用如下边界条件

$$u(r, z) \big|_{z=0} = V_{bi} \quad (6)$$

$$u(r, z) \big|_{z=L} = V_{bi} + V_{ds} \quad (7)$$

$$\left. \frac{du(r, z)}{dr} \right|_{r=0} = 0 \quad (8)$$

$$\epsilon_{si} \left. \frac{du(r, z)}{dr} \right|_{r=t_{si}/2} = C_{ox} (V_{gs} - \phi_p - V_{fb} - u(r, z) \big|_{r=t_{si}/2}) \quad (9)$$

式中: $V_{bi} = V_T \ln(N_a N_d / n_i^2)$ 为源-沟道 PN 结内建电势; V_T 为热电势; N_d 为源区掺杂原子浓度; n_i 为本征载流子浓度; V_{gs} 为栅压; V_{ds} 为漏偏电压; V_{fb} 为平带电压; $C_{ox} = \epsilon_{ox} / ((t_{si}/2) \ln(1 + 2t_{ox}/t_{si}))$ 为有效栅氧层电容。使用叠加原理^[8], 则方程(5)的解为

$$u(r, z) = V_{gs} - \phi_p - V_{fb} +$$

$$\frac{qN_a}{4\epsilon_{si}} r^2 - \frac{qN_a}{16\epsilon_{si}} t_{si}^2 - \frac{qN_a t_{si}}{4C_{ox}} +$$

$$\sum_{n=1}^{\infty} \frac{J_0(\lambda_n r)}{\sinh(\lambda_n L)} [A_n \sinh(\lambda_n (L-z)) + B_n \sinh(\lambda_n z)] \quad (10)$$

式中: A_n 和 B_n 为贝塞尔-傅里叶系数, 可以表示为

$$A_n = \left[V_{bi} - V_{gs} + \phi_p + V_{fb} + \frac{qN_a t_{si}}{4C_{ox}} + \frac{qt_{si} N_a J_2(\lambda_n t_{si}/2)}{4\epsilon_{si} \lambda_n J_1(\lambda_n t_{si}/2)} \right] \left[\frac{4D^2}{\lambda_n t_{si} J_1(\lambda_n t_{si}/2)(D^2 + \lambda_n^2)} \right] \quad (11)$$

$$B_n = \left[V_{bi} + V_{ds} - V_{gs} + \phi_p + V_{fb} + \frac{qN_a t_{si}}{4C_{ox}} + \frac{qt_{si} N_a J_2(\lambda_n t_{si}/2)}{4\epsilon_{si} \lambda_n J_1(\lambda_n t_{si}/2)} \right] \left[\frac{4D^2}{\lambda_n t_{si} J_1(\lambda_n t_{si}/2)(D^2 + \lambda_n^2)} \right] \quad (12)$$

其中 $D = \frac{C_{ox}}{\epsilon_{si}}$, $J_0(\lambda_n r)$, $J_1\left(\lambda_n \frac{t_{si}}{2}\right)$ 和 $J_2\left(\lambda_n \frac{t_{si}}{2}\right)$ 分别是 $n=0, 1, 2$ 时的第一类贝塞尔函数, 并且 λ_n 满足以下特征方程

$$\frac{\lambda_n}{D} = \frac{J_0(\lambda_n t_{si}/2)}{J_1(\lambda_n t_{si}/2)} \quad (13)$$

由于式(10)中的系数 A_n 和 B_n 下降得极快^[10], 级数第一项足够表示二维电势分布, 于是式(10)可以表示为

$$u(r, z) = V_{gs} - \phi_p - V_{fb} + \frac{qN_a}{4\epsilon_{si}} r^2 - \frac{qN_a}{16\epsilon_{si}} t_{si}^2 - \frac{qN_a t_{si}}{4C_{ox}} + \frac{J_0(\lambda_1 r)}{\sinh(\lambda_1 L)} [A_1 \sinh(\lambda_1 (L - z)) + B_1 \sinh(\lambda_1 z)] \quad (14)$$

1.3 阈值电压

围栅 MOSFET 的表面势为

$$u(t_{si}/2, z) = V_{gs} - \phi_p - V_{fb} - \frac{qN_a t_{si}}{4C_{ox}} + \frac{J_0(\lambda_1 t_{si}/2)}{\sinh(\lambda_1 L)} [A_1 \sinh(\lambda_1 (L - z)) + B_1 \sinh(\lambda_1 z)] \quad (15)$$

最小表面势发生在 z_{min} 处, z_{min} 可以通过对表面势进行微分并令其为 0 得到, 即 $du(t_{si}/2, z)/dz|_{z_{min}} = 0$, 求得 $z_{min} = L/2 + \ln(A_1/B_1)/2\lambda_1$. 当最小表面势 $u_{min, surface} = 2\phi_B$ 时, 对应的栅压就是阈值电压, 其中 $\phi_B = (kT/q) \ln(N_a/n_i)$ 为体电势, 将 z_{min} 代入式(14)并令 $u(t_{si}/2, z) = 2\phi_B$, 可以解得阈值电压, 但形式过于复杂, 为了简化表达式, 假设 $\lambda_1 L \ll 1$ ^[10], 可以得到短沟道围栅 MOSFET 的阈值电压为

$$V_{th} = 2\phi_B + \phi_p + V_{fb} + \frac{qN_a t_{si}}{4C_{ox}} - 2\beta \left[\left(V_{th} - V_{bi} - \phi_p - V_{fb} - \frac{qN_a t_{si}}{4C_{ox}} + \frac{qt_{si} N_a J_2(\lambda_1 t_{si}/2)}{4\epsilon_{si} \lambda_1 J_1(\lambda_1 t_{si}/2)} \right) (V_{th} - V_{bi} - V_{ds} - \right.$$

$$\left. \phi_p - V_{fb} - \frac{qN_a t_{si}}{4C_{ox}} - \frac{qt_{si} N_a J_2(\lambda_1 t_{si}/2)}{4\epsilon_{si} \lambda_1 J_1(\lambda_1 t_{si}/2)} \right) \right]^{1/2} \quad (16)$$

$$\text{式中: } \beta = \frac{4D^2}{\lambda_n t_{si} J_1(\lambda_n t_{si}/2)(D^2 + \lambda_n^2)}.$$

$$\text{令 } 2\phi_B + \phi_p + V_{fb} + \frac{qN_a t_{si}}{4C_{ox}} = E, V_{bi} + \phi_p + V_{fb} + \frac{qN_a t_{si}}{4C_{ox}} + \frac{qt_{si} N_a J_2(\lambda_1 t_{si}/2)}{4\epsilon_{si} \lambda_1 J_1(\lambda_1 t_{si}/2)} = F, V_{bi} + V_{ds} + \phi_p + V_{fb} + \frac{qN_a t_{si}}{4C_{ox}} + \frac{qt_{si} N_a J_2(\lambda_1 t_{si}/2)}{4\epsilon_{si} \lambda_1 J_1(\lambda_1 t_{si}/2)} = G, \text{则方程(15)可简化为}$$

$$V_{th} = E - 2\beta e^{-\lambda_1 L/2} [(V_{th} - F)(V_{th} - G)]^{1/2}, \text{即}$$

$$2\beta e^{-\lambda_1 L/2} [(V_{th} - F)(V_{th} - G)]^{1/2} = -(V_{th} - E), \text{由此可解得}$$

$$V_{th} = \{-[E - 2\beta^2 e^{-\lambda_1 L}(F + G)] + [4\beta^2 e^{-\lambda_1 L}(E - G)(E - F) + 4\beta^4 e^{-2\lambda_1 L}(F - G)^2]^{1/2}\} / (4\beta^2 e^{-\lambda_1 L} - 1) \quad (17)$$

2 模型验证和讨论

分别采用本文提出的多晶硅栅耗尽模型和文献[10]的非耗尽模型, 对全耗尽圆柱形围栅 MOSFET 的表面势和阈值电压进行计算, 并将所得结果与采用仿真软件 Sentaurus 所得结果进行比较, 以检验本文提出的模型在沟道表面势、阈值电压方面相对于非耗尽模型的改进效果. 结构参数 $t_{si} = 40 \text{ nm}$, $t_{ox} = 1.5 \text{ nm}$, $V_{ds} = 0.01 \text{ V}$.

图 2 显示了沟道长度 $L = 0.1 \mu\text{m}$ 、衬底掺杂原子浓度 $N_a = 1 \times 10^{18} \text{ cm}^{-3}$ 时多晶硅耗尽层上压降随着多晶硅掺杂原子浓度的变化情况. 由图 2 可知, 随着多晶硅掺杂原子浓度的降低, 多晶硅耗尽层宽度增加, 其上的压降也愈加明显, 甚至与阈值电压相当, 因而不可忽略.

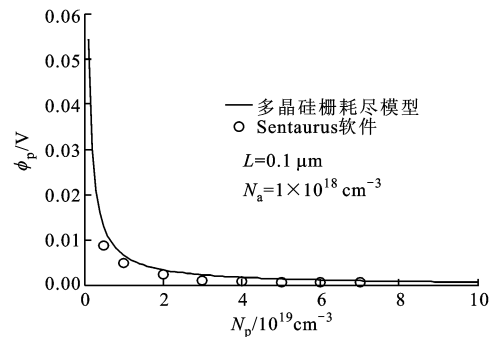


图 2 不同多晶硅掺杂原子浓度下多晶硅耗尽层压降

图 3 显示了 $N_a = 1 \times 10^{18} \text{ cm}^{-3}$ 、 $N_p = 1 \times 10^{19} \text{ cm}^{-3}$ 时表面势沿沟道分布的情况. 由图 3 可知, 考

考虑多晶硅耗尽后,沟道表面势较原有值明显降低,沟道最小表面势差值超过了 0.0064 V ,而此时的阈值电压仅为 0.0113 V .这是由于多晶硅上产生部分压降,使有效栅压减小了.

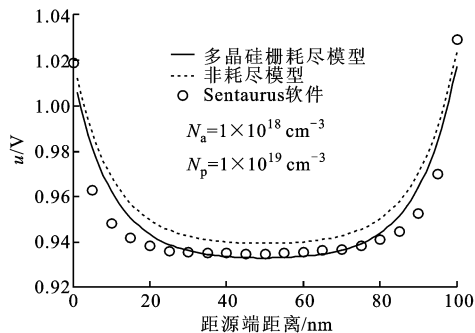
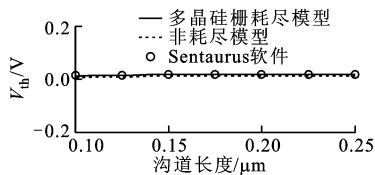
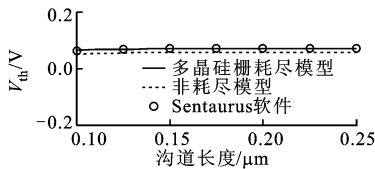


图3 沟道表面势分布

图4对比了 $N_p=1\times 10^{19}\text{ cm}^{-3}$ 时2种衬底掺杂原子浓度下阈值电压随沟道长度变化的情况.如图4a所示,衬底掺杂原子浓度较低时,多晶硅耗尽层厚度很小,其上压降也很小,因而耗尽模型和非耗尽模型所得的阈值电压偏移量可以忽略,模型与仿真数据吻合,而图4b表明在较高衬底掺杂原子浓度下,一方面沟道耗尽需要的栅压较高,且载流子在沟道内受到的散射增强,提高了阈值电压本身,另一方面多晶硅耗尽层厚度增加,其上压降明显增大,导致有效栅压减小,使阈值电压偏移较图4a大,因此设计器件和建模时必须考虑该效应的影响.



(a) $N_a=1\times 10^{18}\text{ cm}^{-3}$

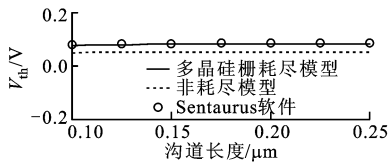


(b) $N_a=1.5\times 10^{18}\text{ cm}^{-3}$

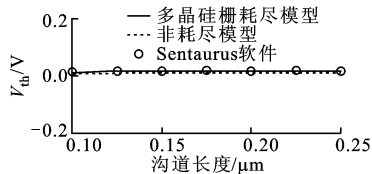
图4 $N_p=1\times 10^{19}\text{ cm}^{-3}$ 时不同衬底掺杂原子浓度下阈值电压随沟道长度的变化

图5为 $N_a=1\times 10^{18}\text{ cm}^{-3}$ 时2种多晶硅掺杂原子浓度下阈值电压随沟道长度的变化情况.由图5可知,多晶硅掺杂原子浓度降低不仅提高了阈值电压本身,而且使得多晶硅耗尽层厚度增加,其上压降

增加,导致有效栅压减小,从而耗尽模型相对于非耗尽模型所得阈值电压偏移量增加.例如在多晶硅掺杂原子浓度 $N_p=2\times 10^{18}\text{ cm}^{-3}$ 、沟道长度 $L=0.2\text{ }\mu\text{m}$ 时,阈值电压漂移量约为 0.029 V ,而在 $N_p=1\times 10^{19}\text{ cm}^{-3}$ 、 $L=0.2\text{ }\mu\text{m}$ 时,阈值电压漂移量为 0.0064 V .每种多晶硅掺杂原子浓度下耗尽模型比非耗尽模型与仿真数据更加接近.如 $N_p=2\times 10^{18}\text{ cm}^{-3}$ 、 $L=0.2\text{ }\mu\text{m}$ 时,仿真所得阈值电压为 0.083 V ,耗尽模型所得阈值电压与仿真值相差 0.0025 V ,占仿真值的 3% ,而非耗尽模型所得阈值电压与仿真值差值为 0.0315 V ,占仿真值的 37.8% ,与非耗尽模型相比,耗尽模型精确度提高了 34.8% .



(a) $N_p=2\times 10^{18}\text{ cm}^{-3}$



(b) $N_p=1\times 10^{19}\text{ cm}^{-3}$

图5 $N_a=1\times 10^{18}\text{ cm}^{-3}$ 时不同多晶硅掺杂原子浓度下阈值电压随沟道长度的变化

3 结论

本文利用叠加原理求解沟道中的二维电势泊松方程,建立了全耗尽圆柱形围栅 MOSFET 考虑多晶硅耗尽效应后的表面势、阈值电压解析模型,模型不含任何拟合参数.文中比较并分析了不同的衬底掺杂原子浓度以及多晶硅掺杂原子浓度下,模型与器件数值模拟软件 Sientaurus 所得结果的吻合程度,结果表明,衬底掺杂原子浓度越高,或多晶硅掺杂原子浓度越低,多晶硅耗尽层厚度越大,耗尽效应越明显,对应的阈值电压偏移越大,相比文献[10]未考虑多晶硅耗尽所得模型,本文解析模型的精确度提高了 34% 以上.本文不仅为圆柱形围栅 MOSFET 考虑多晶硅耗尽效应提供了阈值电压解析模型,而且为其提供了基本的设计参考.

参考文献:

- [1] HE Jin, ZHANG Xing, ZHANG Ganggang, et al. A

- carrier-based DCIV model for long channel undoped cylindrical surrounding-gate MOSFET [J]. Solid State Electron, 2006, 50(3): 416-421.
- [2] RAY B, MAHAPATRA S. Modeling and analysis of body potential of cylindrical gate-all-around nanowire transistor [J]. IEEE Transactions on Electron Devices, 2008, 55(9):2409-2416.
- [3] CHO H J, PLUMMER J D. Modeling of surrounding gate MOSFETs with bulk trap states [J]. IEEE Transactions on Electron Devices, 2007, 54(1):166-169.
- [4] YU Bo, LU Wenyuan, LU Huaxin, et al. Analytic charge model for surrounding-gate MOSFETs [J]. IEEE Transactions on Electron Devices, 2007, 54(3): 492-496.
- [5] LIU Feng, HE Jin, ZHANG Lining, et al. A charge-based model for long-channel cylindrical surrounding-gate MOSFETs from intrinsic channel to heavily doped body [J]. IEEE Transactions on Electron Devices, 2008, 55(8):2187-2194.
- [6] YU Bo, SONG Jooyoung, YUAN Yu, et al. A unified analytic drain-current model for multiple-gate MOSFETs [J]. IEEE Transactions on Electron Devices, 2008, 55(8):2157-2163.
- [7] BORLI H, KOLBERG S, FJELDLY T A, et al. Precise modeling framework for short-channel double-gate and gate-all-around MOSFETs [J]. IEEE Transactions on Electron Devices, 2008, 55(10):2678-2686.
- [8] AOUAJ A, BOUZIANE A, NOUACRY A. Analytical 2D modeling for potential distribution and threshold voltage of the short channel fully depleted cylindrical/surrounding gate MOSFET [J]. International Journal of Electronics, 2005, 92(8):437-443.
- [9] KRANTI A, HALDAR R S, GUPTA R S. Optimization for improved short channel performance of surrounding/cylindrical gate MOSFET [J]. Electronics Letters, 2001, 37(8):533-534.
- [10] CHIANG T K. A new two-dimensional threshold voltage model for cylindrical, fully-depleted, surrounding-gate (SG) MOSFET [J]. Microelectronics Reliability, 2007, 47(2/3):379-383.
- [11] CHOI C H, CHIDAMBARAM P R, KHAMANKAR R, et al. Dopant profile and gate geometric effects on polysilicon gate depletion in scaled MOS [J]. IEEE Transactions on Electron Devices, 2002, 49(7):1227-1231.
- [12] SOIN N, YOONG D S C. Gate depletion analysis of pMOSFET with polysilicon gate [J]. Solid State Science and Technology, 2007, 15(2):190-196.
- [13] SALLESE J M, BUCHER M, LALLEMENT C. Improved analytical modeling of polysilicon depletion in MOSFET for circuit simulation [J]. Solid State Electronics, 2000, 44(6):905-912.
- [14] CHOI C H, CHIDAMBARAM P R, KHAMANKAR R, et al. Gate length dependent polysilicon depletion effects [J]. IEEE Electron Device Letters, 2002, 23(4):224-226.
- [本刊相关文献链接]
- 非对称 Halo 的异质栅 SOIMOSFET 阈值电压解析模型. 2006, 40(10):1087-1090.
- 具有量子修正功能的三维蒙特卡罗 MOS 器件模拟. 2006, 40(2):183-186.
- $\text{Cd}_{1-x}\text{Zn}_x\text{S}$ 能带第一性原理计算. 2008, 42(2):248-251.
- 高温烧结和等离子轰击改善碳和纳米管薄膜的场发射性能. 2008, 42(4):466-470.
- 氧化铁 / 银双层膜负反馈阴极的制备及性能研究. 2007, 41(12):1470-1473.
- 丝网印刷碳纳米管显示器驱动电路的研究. 2007, 41(10):1197-1201.
- 丝网印刷 ZnO 纳米锥的浆料制备及场发射特性研究. 2007, 41(8):974-977.

(编辑 刘杨)