

多模式定位系统接收机中的分数频率综合器

冯焱, 周海东, 忤婷, 申佳, 陈贵灿

(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 针对单一的全球定位系统中接收性能易受环境影响的问题, 提出了一个应用于3个定位系统、7种模式的多模式定位接收机中的分数频率综合器. 通过改进的电流泵电流校正方法和提高谐振回路 Q 值等各种降低相位噪声的方法, 达到了每种模式工作的稳定性和低相位噪声性能; 以改进的多模分频器和3阶MASH1-1- Σ - Δ 调制器实现了7个频点的精确输出和各模式的快速锁定; 在多模分频器中使用简单的电路将分频比的范围从64~79扩展到64~95. 仿真结果表明, 在每种模式下带内相位噪声(相对于载波的相噪声)均小于-90 dB, 带外频偏1 MHz处相位噪声均小于-119 dB, 杂散抑制(相对载波)均大于56.4 dB, 各个模式锁定时间均小于18 μ s, 1.8 V电源条件下的功耗为15.12 mW.

关键词: 全球定位系统; 分数频率综合器; 多模式; 相位噪声

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2011)08-0085-07

A Fractional-N Frequency Synthesizer for Multi-Mode Positioning System Receivers

FENG Yan, ZHOU Haidong, WU Ting, SHEN Jia, CHEN Guican

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: A fractional-N frequency synthesizer that is applied in multi-mode positioning receiver for seven modes in three positioning systems is presented in order to solve the problem that the receive performance is sensitive to the environment in a single GPS. All of the seven modes can work stably and achieve lower phase noise performance by improving the method to adjust the programmable charge pump current, and by raising the value of Q factor in tank to reduce phase noise. The fast lock-in and accurate output frequencies of all modes are realized by using improved multi-mode divider and MASH1-1-1 modulator. A simple circuit is proposed to expand divide range from 64-79 to 64-95 in the multi-modulus divider. Simulation results show that the synthesizer meets the requirements of seven modes. The performance of each mode is as follows, the in-band and out-of-band phase noises (with respect to carrier) are not larger than -90 dB and -119 dB at 1 MHz offsets, respectively. The reference spurs (with respect to carrier) are less than -56.4 dB, and the lock-in time is less than 18 μ s. The total power consumption is 15.12 mW at 1.8 V voltage supply.

Keywords: global positioning system; fractional-N frequency synthesizer; multi-mode; phase noise

提高定位系统的定位精度和解决微弱卫星信号条件下的接收问题是实现定位服务迫切要求解决的

重要课题. 事实证明, 依靠单一的卫星导航定位系统难以满足全方位的应用需求, 使用多种卫星定位系

统的多频带进行定位的方法可以提高原有单一系统的定位精度,也可以降低环境对于定位接收机的影响^[1],同时也降低了定位服务对于单一卫星定位系统的依赖性.近年来已有多篇论文^[2-4]将GPS定位系统和伽利略定位系统的卫星信号接收机整合在一起,能够接受多个频带的卫星信号.为适应我国北斗卫星定位系统的民用信号服务的开放和软件定义无线电的发展趋势,本文的研究和设计增加了北斗系统的3个频带,即扩展到3种定位系统(GPS、伽利略Ga和北斗B)中的10个卫星信号频带.对提供零中频本振信号的频率综合器而言,相同载波频率的一个频带(频点)仅为一个模式.因此,本文的频率综合器可支持目前模式最多的7个模式,其频点(N1~N7)如下:N1为GPS的L5,Ga的E5a;N2为Ga的E5b和Bx;N3为GPS的L2;N4为Bx;N5为Ga的E6;N6为Bx;N7为Ga的E1和GPS的L1.

设计这种多模式频率综合器的难点和关键是:要求在更宽的输出频率范围中保证输出每个频率的精度;要求每个模式(频点)都能快速锁定;要求每个模式均能达到相噪声的高标准要求.满足以上要求的解决办法是使用 Σ - Δ 调制器的高质量分数频率综合器^[5-7].分数频率综合器打破了整数频率综合器中环路带宽与参考频率之间的限制^[8],从而可能提高综合器环路带宽.提高环路带宽意味着提高频率综合器快速切换和锁定的动态性能以及对压控振荡器(VCO)相噪声的抑制带宽,而且 Σ - Δ 调制器可以对噪声整形,抑制由于分数分频产生的分数杂散.

为达到频率综合器的稳定性,在7个模式工作时均必须把环路带宽的变化控制在稳定性边界之内.为此,本文的电荷泵模块采用电荷泵电流值的编程控制和改进的校正技术.同时采用了可编程的高质量的开关电容阵列,与文献[9-10]中VCO采用的一般开关电容阵列相比,具有更高的品质因数,因而具有更低的相噪声.为了满足7个本振信号的需要,本文对文献[11]的可编程控制的多模分频器(MMD)进行了改进,把分频比范围由64~79扩展到64~95.

为了保证频率综合器在各种PVT(Process, Voltage and Temperature)条件下都能正确地选择合适的调频曲线,本文采用了自适应频率校准(AFC)技术来自动地快速确定数字控制码.

1 分数频率综合器整体结构

本文设计的多模分数频率综合器主要由三阶片

内无源低通滤波器(LPF)、鉴频鉴相器(PFD)及电荷泵(CP)组成.充放电电流由三位电流控制字控制,再通过校正电路进行校正. AFC电路在锁相环(PLL)开环的条件下(接入控制电压 $V_{ctrl}=V_{DD}/2$,同时断开 Σ - Δ 调制器的输出),根据某个模式分频比(对其取整)的要求,使用高速计数器对VCO输出计数并逐次地确定VCO的4个控制码^[12],然后才开始闭环的锁定.可编程控制的多模分频器由相位选择、模式控制、加法器和多个分频电路组成,它的分数分频部分是输入为24位的MASH1-1-1 Σ - Δ 调制器.系统的参考频率与 Σ - Δ 调制器的时钟频率选取为34.873 MHz,可以使7个频点的分频比的小数部分既不接近0和1,也不接近0.5,从而减小了PFD和CP电路中由于死区和充放电失配引起的非线性混频与转换,因此可提高噪声性能或减低的这两部分电路设计的要求^[13].综合考虑带内噪声与环路锁定的要求,本文设计的环路带宽为200 kHz.零中频或低中频要求频率综合器输出两路正交的本振信号,本文的VCO以差分的方式输出所需频点2倍的频率,再通过电流模逻辑(CML)的高速二分频输出正交信号.本文的多模分数频率综合器整体结构如图1所示.

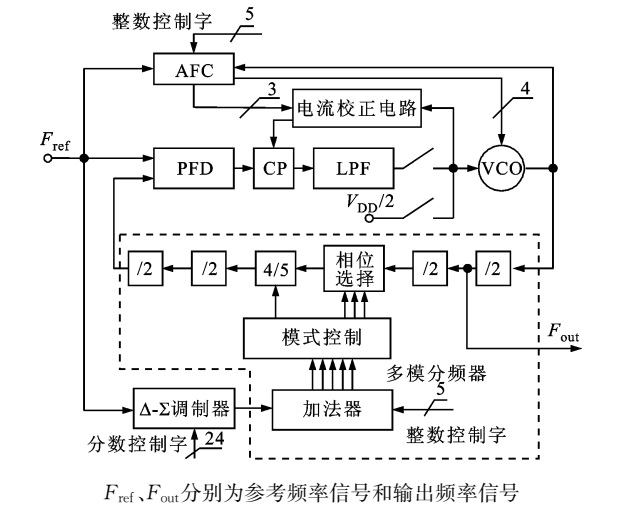


图1 多模分数频率综合器结构

2 可控电容阵列的压控振荡器拓扑结构

图2a为传统的采用可控电容阵列的压控振荡器,而本文中的压控振荡器采用可控电容阵列的互补型压控振荡器结构,如图2b所示.由于可变电容只需在较窄的频率范围内调谐,因此这种结构可有

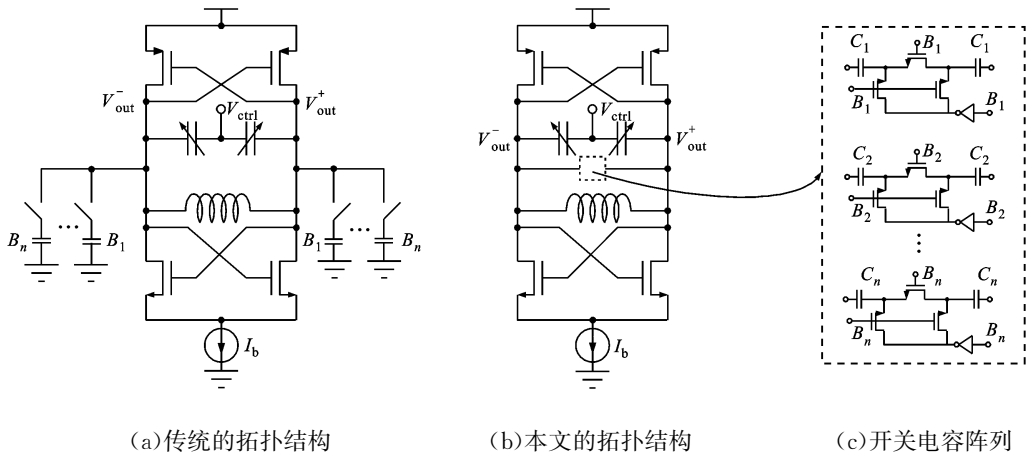


图 2 可控电容阵列压控振荡器结构图

效地减小 VCO 的增益 K_{VCO} ,从而可减小频率综合器的相位噪声. 本文的 7 个模式中,除了 2 个频点的 K_{VCO} 为 154 MHz/V 外,其余均不大于 100 MHz/V.

开关电容阵列采用图 2c 所示的结构^[14]. 与图 2a 采用 2 个开关管接地的传统的拓扑结构相比,电容支路的品质因数可提高 1 倍以上,从而提高了谐振回路的 Q 值,并降低了压控振荡器的相位噪声^[15]. 当开关断开时,开关管的源端和漏端与高电压的电源连接,减小了结电容,使该开关连接的电容更接近 0,对 VCO 影响更小.

本文的 VCO 采用 2 倍频工作方法,最大工作范围在 1.95~3.43 GHz 之间. 图 3 为各编程电容阵列条件下本文 VCO 的调谐曲线. 由图 3 可见,相邻频率调谐曲线之间在控制电压的覆盖范围内超过 30%,从而避免了频率带上的盲区,并保证了压控振荡器的线性度.

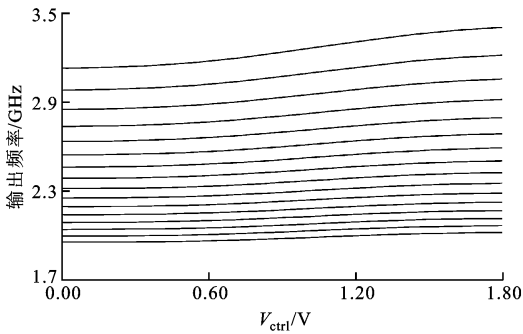


图 3 本文的 VCO 调谐曲线图

3 电荷泵电流的可编程与校正电路

本文的电荷泵采用低压工作的共源共栅电流镜电路,高阻抗的输出可以减小输出电压的变化对充放电电流的影响. 而且,充、放电的开关管置于共源

管的源端,而不是漏端,可以减小开关管到输出结点的寄生电容,从而提高了开关速度,并减小电荷共享效应的影响. 此外,可以将开关管频繁开关引入的噪声与输出结点隔离.

对于分数频率综合器,尤其是使用级联结构调制器的情况,要得到良好的带内噪声性能,必须减小 PFD 和 CP 电路中的非线性,即减小死区和充放电的电流失配,本文设计采用复位脉冲消除了死区,充放电的失配(即 CP 电路的增益失配)为 0.011%.

频率综合器的环路带宽的变化会影响系统的稳定性. 本文所设计的频率综合器环路带宽为^[16]

$$\omega_c = \frac{I_{CP} K_{VCO}}{N} \frac{R}{2\pi} \quad (1)$$

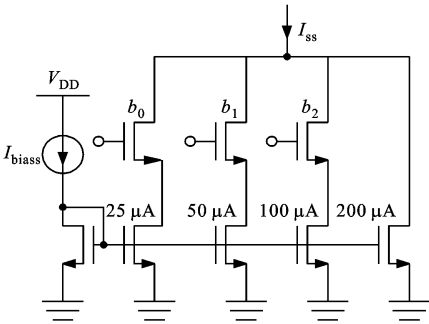
式中: I_{CP} 为电荷泵输出电流; K_{VCO} 为压控振荡器增益; N 为频率综合器的整数分频比; R 为本文的三阶 LPF 无源环路滤波器参数所确定的常数. 多模分数频率综合器中各模式切换时, K_{VCO} 和 N 都会变化,要保持环路带宽 ω_c 稳定,就必须改变电荷泵的输出电流. 本文的电流泵电流 I_{CP} 由 b_2 、 b_1 、 b_0 三位控制字控制,使其在 $I_{CP0} \sim 1.875 I_{CP0}$ 范围内变化. 通过对 7 个频点所在的整数分频比范围的精心设计, $U = I_{CP} K_{VCO} / N$ 的归一化变化范围如表 1 所示.

在如图 4a 所示的改变尾电流 I_{ss} 控制 I_{CP} 方法的基础上,对于 K_{VCO} 的变化本文采用校正 VCO 的输入控制电压 V_{ctrl} 来进一步校正电荷泵电流,使电荷泵充放的电流与 K_{VCO} 的乘积在控制电压变化时保持基本不变^[17]. 本文的电荷泵电流校正电路如图 4b 所示. 本文对文献^[16]的 CP 电流校正电路进行了改进,电路中只需要一个 1.2 V 的偏置电压,改变 MM2 和 MM3 的宽长比就可以更有效地校正 V_{ctrl} . 在设计中,各频段的 K_{VCO} 的最大值与最小值之比在

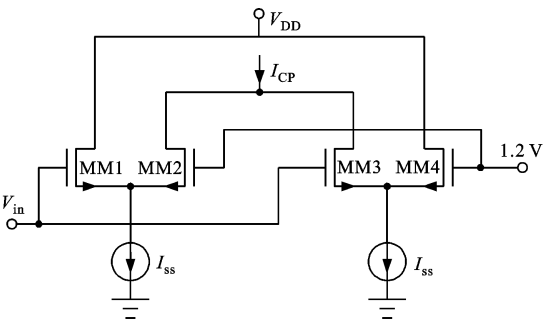
表 1 7 个模式频点的 CP 和 VCO 的预设参数设计

频点序号	N	N 的范围	VCO 编码	$K_{VCO}/\text{MHz} \cdot \text{V}^{-1}$	电流控制字	$I_{ss}/\mu\text{A}$	U 的归一化范围
N1	67.470 5	64~71	1000	61	111	375	0.875~0.971
N2	69.230 6	66~73	0111	94.8	010	250	0.882~0.991
N3	70.373 1	67~74	0111	72	101	325	0.859~0.949
N4	72.xxx x	68~75	0110	77	101	325	0.907~1.000
N5	73.343 3	70~77	0110	93	011	275	0.902~0.993
N6	89.xxx x	86~93	0001	154	000	200	0.900~0.973
N7	90.351 8	87~94	0001	154	000	200	0.890~0.962

1.7 到 2.0 之间,因此本文合理地选择了差分对管的宽长比,使得电流 I_{CP} 的最大值和最小值之比约为 1.8. 当 $V_{ctrl}=1.2\text{ V}$ 时, I_{CP} 具有最小的值对应于 K_{VCO} 的最大值. 对 7 个频点的仿真表明: 当 V_{ctrl} 低于 0.84 V 和高于 1.56 V 时, I_{CP} 均等于 I_{ss} , 在 1.2 V 附近的 I_{CP} 的 V 形曲线能补偿 K_{VCO} 的变化.



(a) I_{CP} 尾电流 I_{ss} 的可编程控制电路



(b) 本文的电荷泵电流校正电路

图 4 电荷泵电流 I_{CP} 的产生和校正电路

4 扩展分频比的多模分频器

本文采用相位选择分频器来设计多模分频器 (MMD), 因为这种电路基本由 2 分频器组成, 且工作在异步方式, 高速路径中也不包含组合逻辑电路,

在功耗和最大工作频率等方面均具有优势.

对于图 1 中虚线框内的多模分频器, 若使用文献[11]的结构, 则多模分频器分频比范围为 64~79, 并不能涵盖 7 个频点. 为了把分频比扩展到 64~95, 而且整数连续可调, 本文进行了改进, 把该相位选择后的 2 个低速除 4 电路中的 1 个改变为 4/5 分频器, 并由控制字 M_{16} 直接控制以扩展分频比, 改进后的相位选择分频器如图 5 所示. 该电路工作过程是, 每当模式控制器输出一个负脉冲 Next 的时候, 相位控制器便使相位选择器的相位延迟 90° , 即增加 F_{in} 信号的一个输入时钟周期. 如果在整个分频器的每一个输出周期内能输出 i 个 Next 负脉冲, 则相位控制器能使相位选择器进行 i 次操作, 从而使输出的分频比增加的数量为 i , 本文中 i 的范围为 1~15.

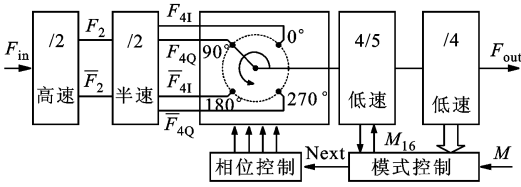
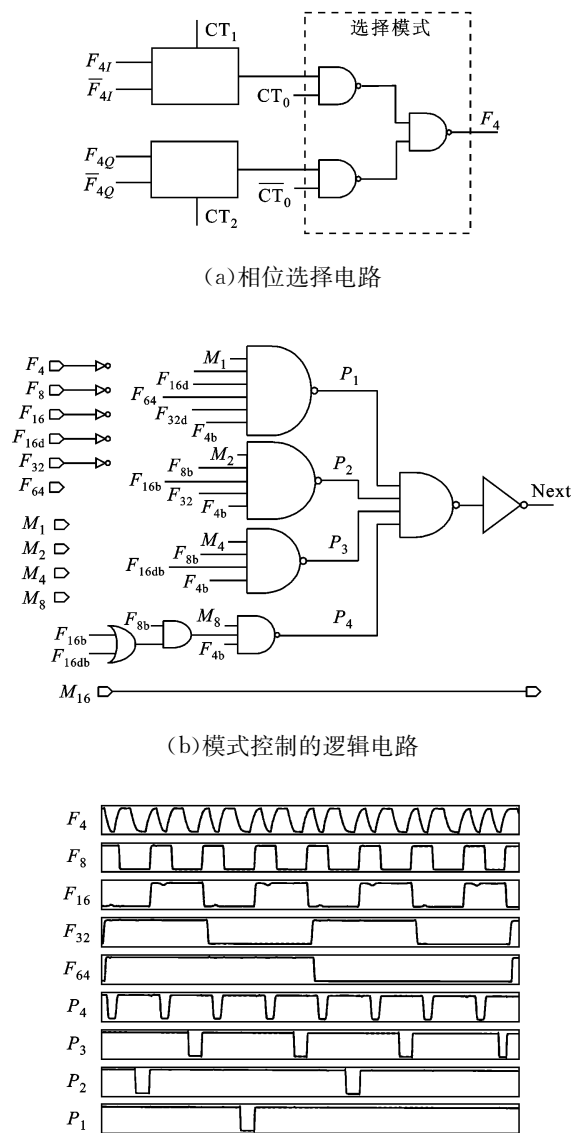


图 5 本文改进的多模分频器

图 5 中的相位选择器和模式控制的实际电路如图 6 所示. 图 6a 中, 为避免输出信号在相位选择后出现正的和负的“毛刺”, 以及后续电路出现误翻转现象, 在时序控制中, CT_1 和 CT_2 的变化沿一定要比 CT_0 早, 而且 CT_0 信号的上升和下降时间不能太短. 图 6b 为文献[13]改进后的模式控制电路, 其中: F_4 是对 F_{in} 进行 4 分频的信号; F_{4b} 是 F_4 的取反信号; F_8 为 F_4 的二分频信号; 依此类推, F_{16d} 是 F_{16} 信号被延迟了 2 个 F_4 周期的信号; M_i 是整数分频的输入编码. 图 6b 中, 尽管各个门电路的信号延时有



(c) 模式控制电路输出的仿真波形

图 6 图 5 中两个模块的实际电路与仿真结果

差别,但 Next 输出的信号也决不会产生尖峰,因为该输出只取决于各信号的相对延迟.图 6c 是 $M_{16} = 0$ 、 M_i 均为 1 时模式控制电路输出的仿真波形.由图可见,除 M_{16} 外,当某个 M_i 为 1 时,在多模分频器输出的一个周期内,对应的 P_i 以及 Next 将输出 i 个负脉冲,使相位选择器进行 i 次操作,达到了整个分频器的分频比在原 64 分频后再增加 i 的目的.当 M_{16} 为 1 时,则总的分频比再增加 16.因此,本文所设计的多模分频器的分频比的整数范围可在 64~95 之间变化.对于 7 个频点的精确要求,则通过 Σ - Δ 调制器的分数控制字的输入来达到.

5 MASH1-1-1 结构

本文采用 MASH1-1-1 Σ - Δ 调制器,因为这种结

构的调制器实现简单,而且 MASH1-1-1 结构较单环多阶结构具有多阶无条件稳定的优点,也具有更好的带内噪声整形效果.

MASH1-1-1 Σ - Δ 调制器的噪声功率谱密度为^[13]

$$S_f(f) = \frac{\Delta^2}{12f_{\text{ref}}} \left[2\sin\left(\frac{\pi f}{f_{\text{ref}}}\right) \right]^{2n} \quad (2)$$

式中: Δ 为量化步长; f_{ref} 为参考频率; n 为 Σ - Δ 调制器的阶数.由式(2)可以看出,调制器阶数 n 越高,对噪声整形的效果越好,本文选取它们的阶数为 3^[13].3 阶的 Σ - Δ 调制器的实现结构如图 7 所示,主要由 3 个累加器、寄存器和误差消除模块组成^[18].3 个累加器的进位信号需要经过误差消除算法^[19]的计算,以便消除前两级调制器中量化器产生的量化误差.最终产生的随机离散的三位输出(-3~4),其平均值能够准确地反映分数分频的输入值.例如,对频点 N7,其整数和分数的输入见表 2,多模分频器的分频比将在 87~94 范围内按分数所确定规律进行分布.

为避免由于调制器的输入为简单的有理数时输出频谱所出现的极限环振荡和振铃现象,本文采用在第一个累加器上加一个初始值 1 的方法^[20]使输出量化误差更符合白噪声的假设,得到了良好的噪声整形曲线.

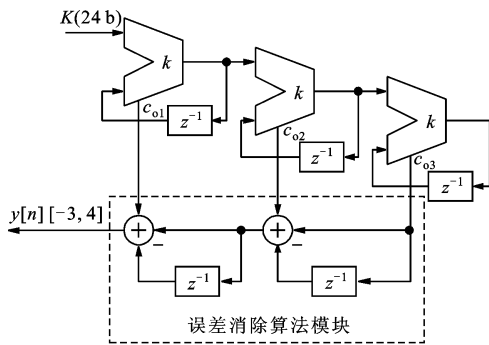


图 7 MASH1-1-1 Σ - Δ 调制器

6 仿真结果及讨论

我们对所设计的 7 个频点的频率的主要性能指标均进行了仿真验证.每个频点仿真中所对应的各种控制编码和调制器的输入字如表 2 所示.

频率综合器不使用 AFC 电路时,7 种模式之间的一种切换顺序(N1,N3,N2,N7,N4,N5,N6)的锁定时间如图 8 所示.可以看出,切换时间均小于 15 μs .实际应用中,每个频点均应首先运行 AFC 电路,确定 VCO 编码所需的时间为 2.294 μs .由 7 个频点的仿真,得到锁定时间最长的为 18 μs .图 9 所示

表 2 各模式信号频点以及频率综合器
各控制字预设定

频点	CP	VCO	整 数 控制字	24 位分数控制字
N1	111	1000	00011	0111_1000_0111_0101_0000_1011
N2	010	0111	00101	0011_1011_0000_1011_0000_0100
N3	101	0111	00110	0110_0111_0110_1111_0000_0000
N4	101	0110	00111	xxxx_xxxx_xxxx_xxxx_xxxx_xxxx
N5	011	0110	01001	0101_0111_1110_0000_1101_0000
N6	000	0001	11001	xxxx_xxxx_xxxx_xxxx_xxxx_xxxx
N7	000	0001	11010	0101_1010_0001_0010_1011_1000

的是 N7 模式仿真,该模式总的锁定时间小于 14 μs . 可见,由于本文采用较大的环路带宽以及 AFC 中使用较高的参考频率,AFC 时间和 PLL 锁定所需的时间均比较短.

关于相位噪声的仿真,由于分数频率综合器中为了实现小数部分, $\Sigma\text{-}\Delta$ 调制器时刻在改变分频比,所以并不存在周期稳态解. 因此,整体的仿真不能直接得到,而要通过对锁相环的各模块建立模型,再根据 PLL 的传输函数,通过 MATLAB 计算出整体的相噪声. 对于 7 个频点的本振信号,综合器输出的噪声性能如图 10 所示.

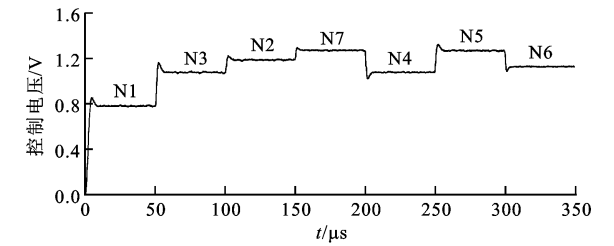


图 8 一种切换顺序下的锁定时间

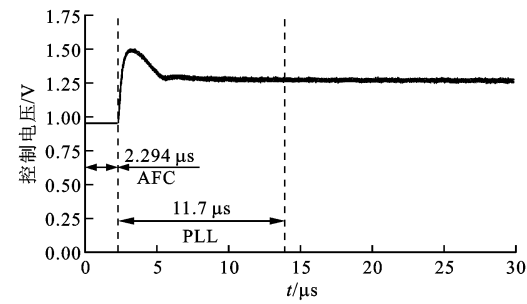
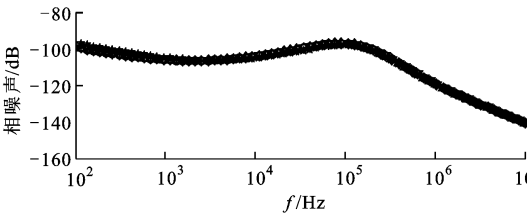
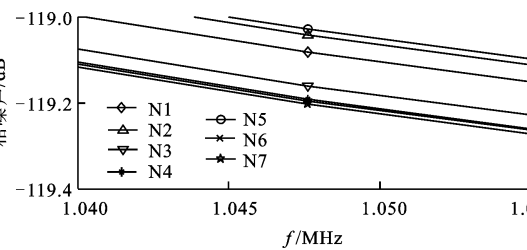


图 9 使用 AFC 电路在 N7 模式下的锁定时间



(a)多模式频率综合器的相噪声



(b)频偏 1 MHz 处的相噪声

图 10 MATLAB 仿真得到的整个分数频率
综合器输出的相噪声

由图 10 可见,频偏 1 MHz 处的相噪声约为 -119 dB ,带内相噪声约为 -90 dB (其中最差的是 N1). 仿真还得到带外的杂散均小于 56.4 dB . 频率综合器的各方面性能参数与近年内发表的导航定位接收机的文献的比较,如表 3 所示. 在功耗方面,文

表 3 与其他近期定位接收机或频率综合器研究的性能对比

文献来源	支持模式	CMOS 工艺 尺寸/nm	锁定时间 / μs	功耗 /mW	带内相噪声 /dB	频偏 1 MHz 处 相噪声/dB	环路带宽 /kHz	数据来源
文献[2]	2 系统 2 模式	130		1.12	-92	-115	200	测试
文献[3]	2 系统 2 模式	130	32.7,45.1	26*	-90	-110		测试
文献[4]	2 系统 1 模式	180		41.4*		-126		测试
文献[9]	1 系统 1 模式	130	20	45*		-123		仿真
文献[10]	1 系统 2 模式	180	35	5.6	-82	-112		测试
本文	3 系统 7 模式	180	18	15.12	-90	-119	200	仿真

注: * 表示接收机整体功耗

献[2]使用整数和分数频率综合器切换的方式,所以整数模式下功耗最低,但是它使用了片外二阶无源滤波器。本文的相噪声性能仅次于文献[4],带内相噪声性能仅次于文献[2],但是本文的频率综合器能支持的模式最多。

7 结 论

本文采用 TSMC0.18 μm 射频工艺研究与设计的多模分数频率综合器,可以输出 GPS、北斗和伽利略 3 种卫星导航定位系统中的 7 种模式的本振信号。通过采用改进的电荷泵电流校正电路、改进的多模分频器和多种降低相位噪声的措施,实现了能支持 7 种模式的频率综合器。仿真表明,本文的频率综合器各模式均具有很好的带内、带外相位噪声性能和较短的锁定时间。本文的相关技术可用于支持更多模式和更快锁定的频率综合器的设计。

参考文献:

- [1] YU Xiaolei, SUN Yongrong, LIU Jianye, et al. Key techniques for multi-satellite integrated navigation system modeling and controlling [C] // Proceedings of ISSCAA 2008 2nd International Symposium. Piscataway, NJ, USA: IEEE, 2008: 1-6.
- [2] HWANG In-Chul, BAEK D H. A 0.93-mA spur-enhanced frequency synthesizer for L1/L5 dual-band GPS/Galileo RF receiver [J]. IEEE Microwave and Wireless Components Letters, 2010, 20(6):355-357.
- [3] MOON Y, CHA S H, KIM G, et al. A 26 mW dual-mode RF receiver for GPS/Galileo with L1/L1F and L5/E5a bands [C]//Proceedings of ISOC'08. Piscataway, NJ, USA: IEEE, 2008:421-424.
- [4] JO J G, LEE J H, PARK D. An L1-band dual-mode RF receiver for GPS and Galileo in 0.18-CMOS [J]. IEEE Trans on Microwave Theory and Techniques, 2009, 57(4):919-927.
- [5] DE MUER B, STEYAERT M S J. A CMOS monolithic $\Delta\Sigma$ -controlled fractional- N frequency synthesizer for DCS-1800 [J]. IEEE J Solid-State Circuits, 2002, 37(7):835-844.
- [6] TORRE V D, CONTA M, CHOKKALINGAM R, et al. A 20 mW 3.24 mm² fully integrated GPS radio for location based services [J]. IEEE J Solid-State Circuits, 2007, 42(3):602-612.
- [7] 张润曦, 何伟, 石春琦, 等. UHF RFID 阅读器中优化小数频率综合器设计[J]. 固体电子学研究与进展, 2010, 30(2):251-255.
- [8] ZHANG Runxi, HE Wei, SHI Chunqi, et al. An optimized sigma-delta fractional- N frequency synthesizer for monolithic CMOS UHF RFID reader [J]. Research & Progress of SSE Solid State Electronics, 2010, 30(2):251-255.
- [9] GARDNER F. Charge-pump phase-lock loops [J]. IEEE Trans on Communications, 1980, 28(11):1849-1858.
- [10] CHO H H, PU Y G, KIM Sangwoo, et al. A L1-band RF receiver for GPS application in 0.13 μm CMOS technology [C] // Proceedings of ISOC'08. Piscataway, NJ, USA: IEEE, 2008:433-436.
- [11] JIA Hailong, REN Tong, LIN Min, et al. A 5.6-mW power dissipation CMOS frequency synthesizer for L1/L2 dual-band GPS application [C]//Proceedings of IC-SICT 2008. Piscataway, NJ, USA: IEEE, 2008: 1637-1640.
- [12] KADO Y, OHNO T, HARADA M, et al. An ultralow power CMOS/SIMOX programmable counter LSI [J]. IEEE J Solid-State Circuits, 1997, 32(10): 1582-1587.
- [13] LU Lei, GONG Zhichao, TANG Zhangwen, et al. A 975-to-1960 MHz fast-locking fractional- N synthesizer with adaptive bandwidth control and 4/4.5 prescaler for digital TV tuners [C]//Proceeding of ISSCC 2009. Piscataway, NJ, USA: IEEE, 2009: 396-397, 397a.
- [14] DE MUER B, STEYAERT M. CMOS fractional- N synthesizers: design for high spectral purity and monolithic integration [M]. Amsterdam, Netherlands: Kluwer Academic Publishers, 2003.
- [15] SJOLAND H. Improved switched tuning of differential CMOS VCOs [J]. IEEE Trans on Circuits and Systems: Analog and Digital Signal Processing, 2002, 49(5): 352-355.
- [16] 刘金华, 陈贵灿, 张鸿. 采用冲激敏感函数的差分 LC 振荡器相位噪声分析[J]. 西安交通大学学报, 2010, 44(12):66-70.
- [17] LIU Jinhua, CHEN Guican, ZHANG Hong. Phase noise analysis for differential cross-coupled LC oscillators using the impulse sensitivity function [J]. Journal of Xi'an Jiaotong University, 2010, 44(12): 66-70.
- [18] CRANINCKX J, STEYAERT M. Wireless CMOS frequency synthesizer design [M]. Amsterdam, Netherlands: Kluwer Academic Publishers, 1998.
- [19] LAM C B, Razavi A. 2.6-GHz/5.2-GHz frequency synthesizer in 0.4 μm CMOS technology [J]. IEEE J Solid-State Circuits, 2000, 35(5):788-794.
- [20] BOURDI T, KALE I. CMOS single chip fast frequen-

- cy hopping synthesizers for wireless multi-gigahertz applications [M]. Berlin, Germany: Springer Publishers, 2007.
- [19] BOURDI T, BORJAK A, KALE I. A delta-sigma frequency synthesizer with enhanced phase noise performance [C] // Proceedings of the 19th Instrumentation and Measurement Technology Conference. Piscataway, NJ, USA: IEEE, 2002:247-251.
- [20] KOZAK M, KALE I. Rigorous analysis of delta-sigma modulators for fractional- N PLL frequency synthesis [J]. IEEE Trans on Circuits and Systems, 2004, 51 (6): 1148-1162.

(编辑 刘杨)