

一种新型高性能 CMOS 电流模式的动态规划电路

戴力, 庄奕琪, 景鑫, 杜永乾, 汤华莲, 李振荣

(西安电子科技大学微电子学院, 710071, 西安)

摘要: 为了提高片上网络中最优化计算的动态规划电路的速度和精确度,提出了一种 CMOS 电流模式的 winner-take-all/loser-take-all(WTA/LTA)电路. 该电路设计了一个可再生结构放大输入电流的差距并加速比较,从而提高了电流比较的解析度和速度;使用了输出选择的方式来减小电流镜引起的失配误差,从而改善了输出电流的精确度. 采用 TSMC 180 nm 工艺技术和 1.3 V 工作电压的仿真实验表明,所提出的 WTA/LTA 电路可以达到 1 nA 的解析度和 99.5% 的精确度,同时具有高速、低功耗特性. 使用该电路作为基本计算单元的八节点动态规划电路,在相同仿真条件下与未改进的动态规划电路相比,计算延迟减小约 60%,同时精确度提高约 80%.

关键词: CMOS 电路;电流模式;WTA/LTA 电路;动态规划;最优化

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2012)06-0029-07

A Novel Dynamic Programming Circuit with High-Performance CMOS Current-Mode

DAI Li, ZHUANG Yiqi, JING Xin, DU Yongqian, TANG Hualian, LI Zhenrong

(School of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: A current-mode winner-take-all/loser-take-all (WTA/LTA) circuit is presented to improve the calculation speed and precision of dynamic programming (DP) circuit for optimization in network-on-chip. A regenerative circuit is designed to amplify the difference of input currents and to accelerate the comparison, and hence the resolution and speed for current comparison is improved. The output current of the proposed WTA/LTA circuit is selected to reduce the propagation error caused by mismatch, and to improve the precision of output. Simulation results with TSMC 180 nm technology and 1.3 V power supply show that the proposed WTA/LTA design provides a resolution of 1 nA and a precision of 99.5% with high speed and low power. Comparisons between an 8-node dynamic programming circuit that uses the proposed circuit as a basic computational unit and an unimproved DP circuit under the same simulation condition show that the computation delay of the former is reduced about 60%, and precision is improved about 80%.

Keywords: CMOS circuit; current-mode; WTA/LTA circuit; dynamic programming; optimization

求解决策过程最优化的问题一直都是工程领域的研究热点. 传统的动态规划计算是基于 Bellman-Ford 算法的数字实现来解决最优化问题,其缺点是电路延迟与规模随着计算复杂度的增加而急剧增

大. 电流模式的动态规划计算平台^[1-2]与数字实现方式相比,功耗低、复杂度小并且计算速度快. 将电流模式动态规划电路应用于片上网络,可有效改善网络带宽并动态地适应网络错误及拥堵^[3]. 但是,该电

收稿日期: 2011-11-03. 作者简介: 戴力(1981—),男,博士生;庄奕琪(通信作者),男,教授,博士生导师. 基金项目: 国家科技重大专项资助项目(2010ZX03002-001-02);中央高校基本科研业务费专项资助项目.

网络出版时间: 2012-03-20

网络出版地址: <http://www.cnki.net/kcms/detail/61.1069.T.20120320.1705.003.html>

路的缺陷在于其基本计算单元的 winner-take-all/loser-take-all(WTA/LTA)电路由于大量使用了电流镜,失配所引起的误差随着多次的复制操作逐渐恶化,从而严重影响了动态规划计算平台的性能.因此,如何提供高解析度、高精度度和高速度的 WTA/LTA 电路设计就显得尤为重要.

电流模 WTA/LTA 电路的主要功能是对输入电流进行比较从而获得最大/最小的信号^[4],已被广泛应用于神经网络^[5]和模糊逻辑^[6]等领域.为解决扩展问题而提出的二进制树型结构可以很容易地将 WTA/LTA 电路扩展到多输入的情况^[7].该结构简单且易于得到获胜电流的地址,因而成为当前 WTA/LTA 设计的主流^[8-10].其中,按电流比较的方式不同可分为 2 种(通常意义的电流比较器^[11-14]可看作是只做比较而不输出电流的 WTA/LTA 电路):一种是使用多个电流镜对输入电流做差进行比较^[8,10];另一种是利用正反馈来提高电路解析度^[7,9].前者的缺点在于电流镜的失配会影响电流的比较,从而影响到电路的解析度;后者的缺点在于由于使用锁存结构从而影响了速度和应用.这些电路的另一个共同的缺点在于输出电流是对输入电流多次复制后得到的,因而电流镜引起的失配问题严重影响了电路的精确度.

本文提出了一种新颖的 CMOS 电流模式 WTA/LTA 电路,使用可再生电路来提高解析度和速度,并采用选择输出的方法来改善输出电流的精确度.该电路高解析度、高速度和低功耗的特性非常适用于多输入 WTA/LTA 的应用,将其作为动态规划的计算单元,可以显著提高动态规划计算网络的性能.

1 本文提出的 WTA/LTA 电路

由于采用了输出选择的方式,WTA 和 LTA 的

差别仅仅是选择的输出电流不同,因此图 1 中的 LTA 电路可以很容易地转化为 WTA 电路.

1.1 可再生电路

可再生电路将输入电流转化为电压信号,同时放大了输入的差距并加速了比较的进程,从而改善 WTA/LTA 电路的解析度和速度.在图 1 中,输入电流 I_1 和 I_2 分别被共源共栅电流镜复制之后,分别对 A、B 两点的等效电容充电.该电路由于是对称结构,因此 C_1 和 C_2 相等.充电使得 V_1 和 V_2 逐渐升高,可已得到式(1)和(2)

$$V_1(t) = \frac{1}{C_1} \int_0^t (I_1 - I_{M_1}(t) - I_{M_2}(t)) dt \quad (1)$$

$$V_2(t) = \frac{1}{C_2} \int_0^t (I_2 - I_{M_3}(t) - I_{M_4}(t)) dt \quad (2)$$

由于 $M_2 \sim M_3$ 是交叉耦合结构, M_2 的栅极电压为 V_2 而 M_3 的栅极电压为 V_1 ,换言之 $I_{M_2}(t)$ 是 V_2 的函数而 $I_{M_3}(t)$ 是 V_1 的函数.由式(1)、式(2)可知,输入电流 I_1 和 I_2 的差距被转化并为 2 个相互竞争的电压 V_1 和 V_2 .最终 2 个信号的电压差被放大从而更便于区分.

可再生电路由 4 个 NMOS 管 $M_1 \sim M_4$ 构成.交叉耦合的 $M_2 \sim M_3$ 使得电压 V_1 和 V_2 互相抑制,同时二极管连接的 M_1 和 M_4 使得 $M_1 \sim M_4$ 都工作在亚阈值区.这样,一方面可以减小电路功耗,另一方面当输入电流变化时,电路状态可以自动转换而无须重置电路.采用小信号模型加以分析,如图 2 所示.由图 2 可写出结点方程

$$g_{m1} V_1 + g_{m2} V_2 + G_1 V_1 + sC_1 \left(V_1 - \frac{V'_1}{s} \right) = 0 \quad (3)$$

$$g_{m3} V_1 + g_{m4} V_2 + G_2 V_2 + sC_2 \left(V_2 - \frac{V'_2}{s} \right) = 0 \quad (4)$$

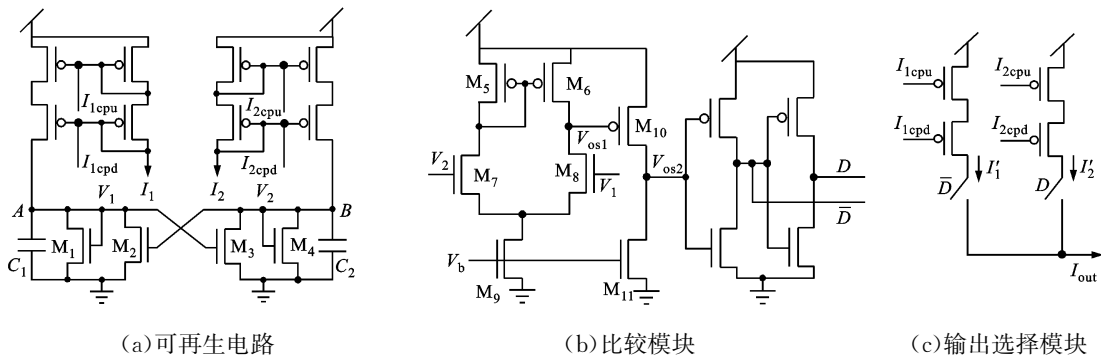
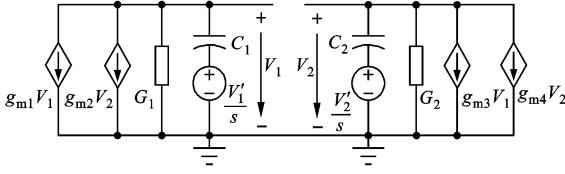


图 1 二输入 LTA 电路原理图



$g_{m1} \sim g_{m4}$ 为晶体管的跨导; G_1, G_2 为 A、B 两点到地的等效电导; C_1, C_2 为 A、B 两点的等效电容; V'_1, V'_2 为 V_1, V_2 的导数; s 为拉氏变换因子
图2 可再生电路的小信号模型

式中: $g_{m1} = g_{m4}$; $g_{m2} = g_{m3}$. A、B 两点到地的等效电导为 $G = G_1 = G_2$, 而 $C = C_1 = C_2$, 对式(3)、式(4)求解可得

$$V_1 = \frac{C}{g_{m1} + G + sC} V'_1 - \frac{g_{m2}}{g_{m1} + G + sC} V_2 \quad (5)$$

$$V_2 = \frac{C}{g_{m1} + G + sC} V'_2 - \frac{g_{m2}}{g_{m1} + G + sC} V_1 \quad (6)$$

将 ΔV_o 定义为 V_1 和 V_2 的差, ΔV_i 定义为 V'_1 和 V'_2 的差, 因此有

$$\Delta V_o = \frac{C}{g_{m1} + G + sC} \Delta V_i + \frac{g_{m2}}{g_{m1} + G + sC} \Delta V_o$$

可求得

$$\Delta V_o = \frac{C}{g_{m1} - g_{m2} + G + sC} \Delta V_i = \frac{\tau'}{s\tau' + 1} \Delta V_i \quad (7)$$

其中 $\tau' = \frac{C}{g_{m1} - g_{m2} + G}$

求式(7)的拉普拉斯反变换得

$$\Delta V_o = \Delta V_i \exp\left[-\frac{t(g_{m1} - g_{m2} + G)}{C}\right] \quad (8)$$

从而得到时间常数

$$\tau = -\frac{C}{g_{m1} - g_{m2} + G} \quad (9)$$

当 $\tau > 0$ 时, 可再生电路为正反馈. 由于 G 相对于 g_{m1} 和 g_{m2} 很小, 可近似认为当 $g_{m2} > g_{m1}$ 时电路为正反馈, 而 $g_{m2} = g_{m1}$ 时电路处于正反馈的临界点. 本文为了实现连续时间的 WTA/LTA 电流比较(不使用 Reset 来重置电路), 不需要使用强的正反馈使一路信号完全禁止另一路信号, 而是采用弱的正反馈有限地放大 2 个信号的差距以便进一步区分, 因此取 $g_{m2} = g_{m1}$, 即 $M_1 \sim M_4$ 采用相同的尺寸.

1.2 比较模块

比较模块使用差动放大器($M_5 \sim M_9$)来区分 V_1 和 V_2 的电势差从而得到比较的结果. 与差动放大器的输出 V_{os1} 连接的 M_{10} 可看作是一个以 M_{11} 为负载的共源放大器. 其输出 V_{os2} 通过串联的反相器被

放大到逻辑电平. 变量 D 作为 WTA/LTA 电路的地址变量用以指示比较结果: 当 $I_1 > I_2$ ($V_1 - V_2 > 0$) 时, V_{os1} 接近于 0, 从而 V_{os2} 为高电平, 相应的 D 为高电平; 反之, 当 $I_1 < I_2$ ($V_1 - V_2 < 0$) 时, V_{os1} 接近于高电平, 从而 V_{os2} 为低电平, 相应的 D 为低电平.

1.3 输出选择模块

输出选择模块根据比较的结果选择输出最小/最大的电流. 当地址变量 D 为 0 时, 输出电流为 I_1 , 反之输出电流为 I_2 . 输出选择的开关是 MOS 互补开关. 由于输出电流(I'_1 或 I'_2)始终是对输入电流直接复制得到的, 因此就减少了电流镜复制的次数, 同时由于使用了共源共栅电流镜, 因而提高了电路的精确度.

1.4 多输入的 WTA/LTA 电路

本文使用二进制树型结构来扩展多输入的 WTA/LTA 电路, 如图 3 所示.

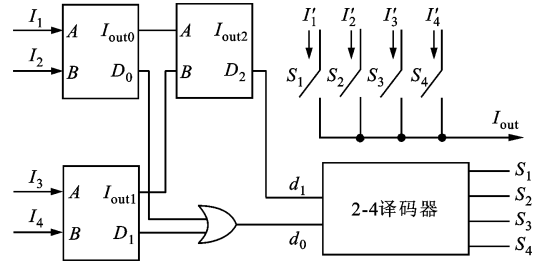


图3 四输入 WTA/LTA 电路框图

四输入的 WTA/LTA 使用 2 位地址变量 d_0 和 d_1 来指示输出电流的地址

$$d_1 = D_2 \quad (10)$$

$$d_0 = D_0 + D_1 \quad (11)$$

式中: D_0, D_1, D_2 是相应于二输入 WTA/LTA 的地址变量. d_0 和 d_1 通过简单的 2-4 译码即可获得输出选择信号 $S_1 \sim S_4$, 并且输出电流始终是输入电流 $I_1 \sim I_4$ 通过共源共栅电流镜的直接复制电流 $I'_1 \sim I'_4$.

2 分析及设计考虑

作为对模拟信号进行比较的电流模 WTA/LTA 电路, 在设计时必须考虑失配带来的影响, 通常需要考虑速度和解析度等几个主要的性能参数.

该 WTA/LTA 电路的延时由可再生电路、比较模块和输出选择模块的延时构成. 由于比较模块中放大器具有高灵敏性, 因而其延迟非常小, 同样地, 输出选择模块的延迟也可以忽略不计. 因此, 该 WTA/LTA 电路的速度主要取决于可再生电路的速度. 由式(9), 当 $g_{m1} = g_{m4}$ 时, 可再生电路的时间

常数可表示为

$$\tau = -\frac{C}{G} \approx -\frac{0.33WLC_{ox}}{g_1} \quad (12)$$

式中: G 为 M_1 和 M_2 的电导之和(可假设 $g_1 = g_2$); $C = C_1 = C_2 = 0.67WLC_{ox}$, C_1 和 C_2 近似为 M_2 和 M_3 的栅-源电容; W 和 L 是有效栅宽和栅长; C_{ox} 是单位面积的栅氧化层电容. 由 MOS 管小信号模型可知, 电导 g_1 反比于 L , 故时间常数 τ 正比于 L^2 . 由式(12)可知, 减小器件的 W 和 L 可以提高 WTA/LTA 电路的速度.

解析度表示了电流模 WTA/LTA 电路区分输入电流的能力, 可定义为该电路可区分的输入电流之差的最小值(值越小表示解析度越高). 对于图 1 的二输入 WTA/LTA 电路, 设 $I_1 = I_2 + \Delta I_{min}$, 其中 ΔI_{min} 即为该电路的解析度. 由式(1)和(2)可知, 由于 $M_1 \sim M_4$ 工作在亚阈值区, 因此 $I_{M_1} \sim I_{M_4}$ 都非常小, 可近似地假设 $I_{M_1}(t) \approx I_{M_4}(t)$, $I_{M_2}(t) \approx I_{M_3}(t)$, 从而得出

$$V_1 - V_2 \approx \frac{1}{C}(I_1 - I_2)T_{\Delta Vmin} = \frac{1}{C}\Delta I_{min}T_{\Delta V} \quad (13)$$

令 $\Delta V = V_1 - V_2$, $T_{\Delta V}$ 为积累电势差 ΔV 的时间. 式(13)可整理为

$$\frac{\Delta V}{\Delta I_{min}} \approx \frac{1}{C}T_{\Delta V} = \frac{T_{\Delta V}}{0.67WLC_{os}} \quad (14)$$

由式(14)可知, 可以通过小器件尺寸(W 和 L)来提高电路的解析度.

图 1 中的可再生电路使用正反馈来放大信号之差, 去掉 MOS 管 M_1 和 M_4 就可变为传统的锁存器. 考虑 M_2 和 M_3 的失调, 可再生电路的失调电压可以定义为

$$V_{osm} \approx \Delta V_{TH} + \frac{1}{2}\left(\frac{\Delta W}{W} - \frac{\Delta L}{L}\right)(V_{GS} - V_{TH}) \quad (15)$$

式中: $\Delta L = L_3 - L_2$; $L = (L_2 + L_3)/2$; $\Delta W = W_3 - W_2$; $W = (W_2 + W_3)/2$; $V_{GS} - V_{TH}$ 为过驱动电压. 由式(15)可知, 可以通过增大器件的 W 和 L 来减小失调.

综合式(12)、(14)和(15)可以看出, 增大器件尺寸可以减小失配, 同时也会影响电路的速度和解析度, 因此电路设计需要在解析度、速度和失配之间进行折中. 为了减小失配同时考虑到电路的解析度和速度, 图 1 中 M_2 和 M_3 的宽度 W 设为 $2 \mu\text{m}$, 长度 L 设为 $1 \mu\text{m}$.

3 仿真结果及版图

本文使用 TSMC $0.18 \mu\text{m}$ CMOS 工艺设计了一个八输入的 WTA/LTA 电路, 仿真结果如图 4 所示.

图 4 结果表明, 与具有代表性的 WTA/LTA 电路^[7-10]相比, 在相同的输入电流下, 本文电路的解析度最高且延时最小. 这主要归功于可再生电路大大提高了电路的解析度和速度. 在平均输入为 $10 \mu\text{A}$ 时, 本文电路最高可达到 1 nA 的解析度, 而文献[7-10]中电路则分别只能达到 $1\ 000$ 、 10 、 $1\ 000$ 和 50 nA 的解析度.

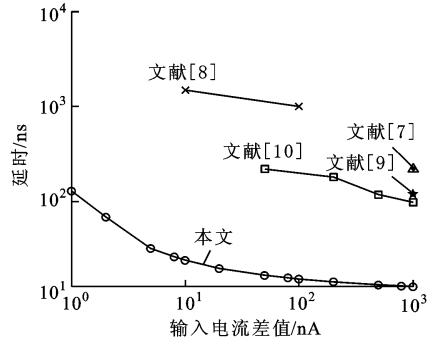


图 4 本文电路和文献电路输入电流差值与延时的关系比较

目前, 电路已完成了版图设计和后仿真. 鉴于尚未有实测结果, 本文采用 Monte Carlo 仿真来验证电路的性能. Monte Carlo 仿真作为一种特定的统计分析, 根据实际工艺模型中具有容差的参数(失配参数)概率分布随机选择参数值, 通过大量仿真来模拟实际电路的性能. 根据 TSMC $0.18 \mu\text{m}$ CMOS 工艺给出的失配参数, 对提出的八输入 WTA 电路进行 Monte Carlo 仿真. 实验中设置了 3 种典型的平均输入电流情况, 输入电流差设为 10 nA , 电路延时被定义为从电流输入的時刻到相应的输出变量发生变化的时间, 分别做 100 次 Monte Carlo 仿真, 结果如图 5 所示. 实验结果表明: 对于 10 nA 的输入电流差, 本文的 WTA/LTA 电路(除延时外)几乎不受失配的影响, 并且始终可以做出正确的比较.

本文从面积、功耗、精确度、解析度等几个方面与已有的具有代表性的 WTA/LTA 电路^[7-10]进行了比较, 结果如表 1 所示. 需要指出的是解析度方面, 由于可再生电路放大了输入的差距并加速了比较的进程, 从而大大改善了 WTA/LTA 电路的解析度. 为了减小失配, 增大了可再生电路部分涉及的 NMOS 管的尺寸. 当输入在 $0.2 \sim 10 \mu\text{A}$ 范围时, 最

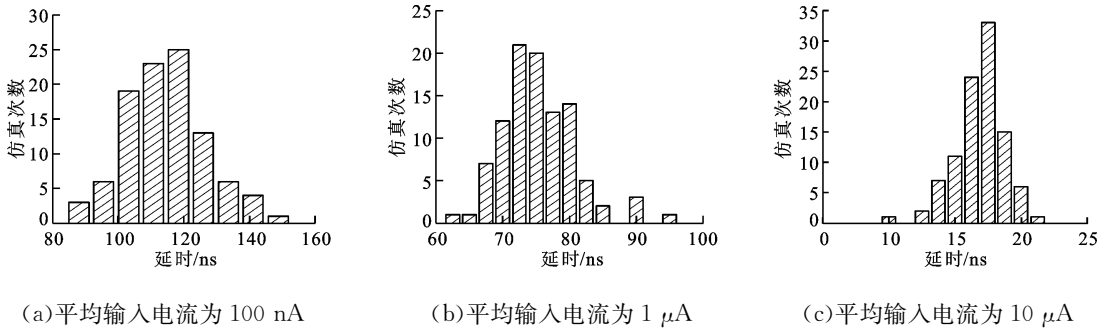


图 5 分别做 100 次 Monte Carlo 仿真的延时分布统计结果

高可以获得 1 nA 的解析度。

表 1 本文与文献[7-10]的 WTA/LTA 电路的比较结果

电路	工艺尺寸/ μm	管数	电流输入/ μA	功耗/ μW	精确度/%	解析度/ μA
文献[7]	2.4	231	100	200	99	1
文献[8]	0.6	115	50	120	99	1
文献[9]	0.35	298	10	70	98.57	0.1
文献[10]	0.18	168	0.2~5	0.36~13.8	99.5	0.01
本文	0.18	276	0.02~10	0.33~11.7	99.5	0.001

考虑到应用的需求,在 TSMC 0.18 μm CMOS 工艺下完成了四输入 WTA/LTA 电路的版图设计,如图 6 所示。

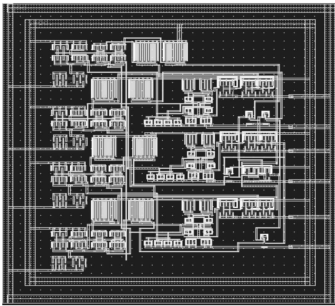


图 6 四输入 WTA/LTA 电路版图

4 动态规划计算平台

动态规划是一种求解决策过程最优化的数学方法,其基本思想是将复杂问题分解为相似的子问题,在求解过程中通过子问题的解从而求出原问题的解。动态规划的目标是对于给定的模型求最优解,例如求解最短路径问题:对于一个 N 节点的有向图 $G=(V,E)$,有 $n=|V|$ 个节点和 $e=|E|$ 条边,节点 i 到节点 j 的边的标论为 $C_{i,j}$,表示了 2 个节点间的代价值计算从源节点到所有其他各节点的最短路径长

度(路径上各边权之和)的问题通常称为最短路径问题。Bellman-Ford 作为一种具有代表性的求解最短路径问题的算法,定义了一个 k 步的迭代步骤,使用第 $k-1$ 步的代价值来得到从结点 s_i 到 s_n 的新代价值 $V_i(k)$,定义如下

$$V_i(k) = \min | C_{i,j} + V_j(k-1) | \quad (16)$$

传统的 DP 计算是基于 Bellman-Ford 算法的数字实现,其缺点是电路的延迟与规模随着计算复杂度的增加而急剧增大,严重限制了其应用。文献[1-2]中最先提出了使用电流模 LTA 电路作为动态规划的计算单元来解决动态规划问题。由式(16)可以看出,基本的计算单元只需要最小化和加法 2 个计算因子。根据基尔霍夫定律,电流的加法只需将电流流入同一节点,而最小化功能可由电流模 WTA/LTA 电路来实现。电流模电路的使用提供了一种功能强大的低功耗、高速度的动态规划计算方案,但是其主要缺陷在于电路中使用了多个电流镜,失配引起的电流误差随着多次的复制操作逐渐变大从而严重影响了电路的精确度和解析度,并且这一问题随着动态规划问题的复杂度增加而恶化。

本文采用与文献[1-2]相同的最短路径问题,计算一个八节点的有向图从源节点 K 到目标节点 J 、 H 、 I 、 G 、 E 、 D 、 C 的最短路径,如图 7 所示。为了简化问题,图 7 中只使用了 2 个变量 x 和 y 来表示边的权值。

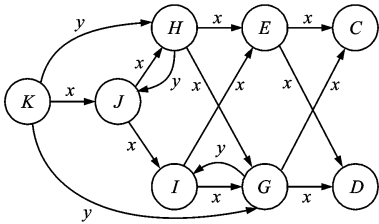


图 7 一个八节点的最短路径问题

根据 Bellman-Ford 算法的定义,每个节点的输

出可表示为

$$\text{out}(H) = \min\{y, x + \text{out}(J)\} \quad (17)$$

$$\text{out}(J) = \min\{x, y + \text{out}(H)\} \quad (18)$$

$$\text{out}(I) = \min\{x + \text{out}(J), y + \text{out}(G)\} \quad (19)$$

$$\text{out}(E) = \min\{x + \text{out}(H), x + \text{out}(I)\} \quad (20)$$

$$\text{out}(G) = \min\{x + \text{out}(H), y, x + \text{out}(I)\} \quad (21)$$

$$\text{out}(C) = \min\{x + \text{out}(E), y + \text{out}(G)\} \quad (22)$$

$$\text{out}(D) = \min\{x + \text{out}(E), y + \text{out}(G)\} \quad (23)$$

根据以上定义使用 LTA 电路作为基本的计算单元进行互联从而形成一个动态规划网络. 这样, 图 7 的最短路径问题被映射为一个动态规划的计算网

络, 其中, 设 $x = I_x, y = I_y, \text{out}(H) = I_H, \text{out}(J) = I_J, \text{out}(I) = I_I, \text{out}(E) = I_E, \text{out}(G) = I_G, \text{out}(C) = I_C, \text{out}(D) = I_D$, 如图 8 所示. 需要指出的是图 8 中全部使用四输入的 LTA 电路作为基本计算单元, 由于这里的最短路径问题复杂度不高, 该电路还可以进一步使用二输入 LTA 电路进行优化.

设 I_x 为 $1.5 \mu\text{A}$, I_y 为 $1.0 \mu\text{A}$, I_{inf} 被定义为远大于 I_x 和 I_y 的电流, 仿真结果如图 9 所示. 图 9 结果表明, 采用文中提出的 WTA/LTA 电路的 DP 网络收敛很迅速, 相对误差在 40 ns 时已减小到低于 1%, 而文献[1-2]中的 DP 网络的相对误差在 100 ns 时才减小到低于 5%. 换言之, 计算延迟减小约 60%, 同时精确度提高约 80%. 这一结果归功于本文电路采用可再生电路提高了解析度和速度, 并使用选择输出的方式改善了输出电流的精确度, 从而显著提高了动态规划计算平台的性能.

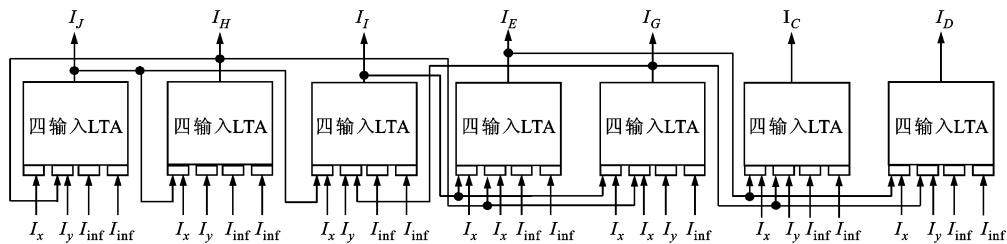
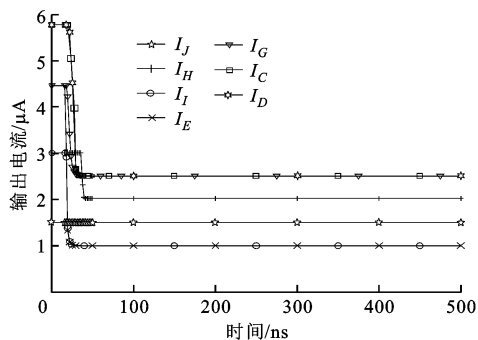
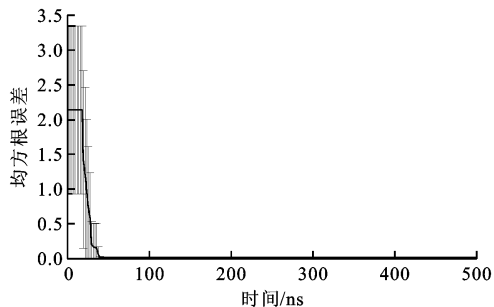


图 8 动态规划计算网络



(a) 各计算单元的输出电流情况



(b) 输出电流的均方根误差

图 9 DP 网络的仿真结果

5 结 论

本文提出了一种高解析度、高速度的电流模 WTA/LTA 电路. 该电路利用可再生比较器的正反馈特性提高了解析度和速度, 使用选择输出的方式减少了电流镜的使用而改善了精确度. 在标准 TSMC $0.18 \mu\text{m}$ CMOS 工艺上进行了仿真验证, 并与已有的具有代表性的 WTA/LTA 电路进行了详细比较, 结果表明, 使用本文提出的 WTA/LTA 电路作为动态规划的计算单元, 显著提高了动态规划计算网络的性能. 该电路速度快、精确度和解析度高, 因而非常适用于各种嵌入式智能应用.

参考文献:

- [1] MAK T, LAM K P, NG H S, et al. A current-mode analog circuit for reinforcement learning problems [C] // International Symposium on Circuits and Systems. Piscataway, NJ, USA: IEEE, 2007: 1301-1304.
- [2] MAK T, LAM K P, NG H S, et al. A CMOS current-mode dynamic programming circuit [J]. IEEE Transactions on Circuits and Systems: I, 2010, 57

- (12): 3112-3123.
- [3] MAK T, CHEUNG P, LUK W, et al. A DP-network for optimal dynamic routing in network-on-chip [C]// Proceedings of IEEE/ACM International Conference on Hardware/Software Co-design and System Synthesis. New York, USA: ACM, 2009:119-128.
- [4] FISH A, MILRUD V, YADID-PECHT O. High-speed and high-precision current winner-take-all circuit [J]. IEEE Transaction on Circuits and Systems: II, 2005, 52(3): 131-135.
- [5] FANG Yuguang, COHEN M A, KINCAID T G. Dynamic analysis of a general class of winner-take-all competitive neural networks [J]. IEEE Transaction on Neural Networks, 2010, 21(5):771-783.
- [6] PADASH M, MASHOUFI B, TAJI A, et al. A very-high resolution VLSI loser-take-all (LTA) circuit for neural networks and fuzzy systems [C]//International Conference on Electronic Devices, Systems and Applications. Piscataway, NJ, USA: IEEE, 2011: 225-228.
- [7] DEMOSTHENOUS A, SMEDLEY S, TAYLOR J. A CMOS analog winner-takes-all network for large-scale applications [J]. IEEE Transactions on Circuits and Systems: I Fundamental Theory and Applications, 1998, 45(3): 300-304.
- [8] YU Chiencheng, TANG Yunching, LIU Binda. Design of high performance CMOS current-mode winner-take-all circuit [C]//Proceedings of the International Conference on ASIC. Piscataway, NJ, USA: IEEE, 2003: 568-572.
- [9] TOMATSOPOULOS B, DEMOSTHENOUS A. Low power, low complexity CMOS multiple-input replicating current comparators and WTA/LTA circuits [C]//Proceedings of European Conference on Circuit Theory and Design. Piscataway, NJ, USA: IEEE, 2005: 241-244.
- [10] DLUGOSZ R, TALASKA T. Low power current-mode binary-tree asynchronous Min-Max circuit [J]. Microelectronics Journal, Elsevier, 2010, 41(1): 64-73.
- [11] 牛秀卿, 陈宇. 新型 CMOS 电流比较器设计[J]. 南开大学学报:自然科学版, 2001, 34(2): 88-90.
NIU Xiuqin, CHEN Yu. A novel type of CMOS current comparator [J]. Acta Scientiarum Naturalium Universitatis Nankaiensis, 2001, 34 (2):88-90.
- [12] 陈卢, 石秉学, 卢纯. 一种新型的高性能 CMOS 电流比较器电路[J]. 半导体学报, 2001, 22(3): 362-365.
CHEN Lu, SHI Bingxue, LU Chun. A novel high-performance CMOS current comparator [J]. Chinese Journal of Semiconductors, 2001, 22(3): 362-365.
- [13] BANKS D, TOUMAZOU C. Low-power high-speed current comparator designs [J]. Electronics Letters, 2008, 44 (3): 171-172.
- [14] 孙泳, 来逢昌. 一种高电源效率开关电流比较器[J]. 固体电子学研究与进展, 2009, 29(4): 579-583.
SUN Yong, LAI Fengchang. A high power efficient switched current comparator [J]. Research & Progress of Solid State Electronics, 2009, 29 (4): 579-583.

[本刊相关文献链接]

- 王小力, 刘云涛. 12 位 100 MHz Bicomos 流水线模数转换器的设计. 2008, 42 (10): 1204-1208.
- 戚建炜, 王小力, 王守军. 移动数字电视调谐器中低噪声模拟滤波器的设计. 2009, 43 (2): 72-76.
- 葛晨阳, 郑南宁, 任鹏举, 等. 平板电视数字视频后处理芯片的设计与实现. 2008, 42 (10): 1285-1289.
- 贾华宇, 陈贵灿, 程军, 等. 流水线模数转换器的一种数字校准技术. 2008, 42 (8): 991-995.
- 张鸿, 陈贵灿, 程军, 等. 流水线模数转换器中高速低功耗开环余量放大器的设计. 2008, 42 (6): 751-755.
- 李清华, 邵志标, 耿莉. 面电感设计与建模. 2007, 41 (4): 463-466.
- 刘金华, 陈贵灿, 张鸿. 采用冲激敏感函数的差分 LC 振荡器相位噪声分析. 2010, 44 (12): 66-70.
- 马晓龙, 陈贵灿. 固定位宽乘法器的量化误差补偿方法及电路实现. 2011, 45 (12): 75-81.
- 刘晔, 张璐, 杨新伟, 等. 采用硬件神经电路的压力传感器零点温漂补偿研究. 2010, 44 (8): 10-14.
- 王润新, 刘进军, 侯丹. 用于实现互联系统仿真的电源模块大信号模型. 2009, 43 (6): 76-81.
- 杨骁, 陈贵灿, 程军, 等. 一种新型级联 Δ 调制器系统结构. 2008, 42 (12): 1541-1545.
- 杨骁, 陈贵灿, 程军, 等. 一种新型高阶两通道时间交织 $\Sigma\Delta$ 调制器系统结构. 2008, 42 (8): 996-1000.
- 胡晓菁, 宋政湘, 王建华, 等. 运用电路蕴涵及拓扑信息提高数字电路故障压缩效率. 2008, 42 (8): 958-962.
- 路宏敏, 安晋元, 赵益民, 等. 印制线拐角的频域分析. 2007, 41 (12): 1451-1454.
- 翟小社, 王建华, 宋政湘, 等. 信号完整性分析中时域宏模型结合电路仿真的方法研究. 2007, 41 (6): 631-635.
- 潘金艳, 朱长纯, 刘永相, 等. 丝网印刷碳纳米管显示器驱动电路的研制. 2007, 41 (10): 1197-1201.
- 李清华, 邵志标, 耿莉. 一种多层平面电感设计的全局优化方法. 2007, 41 (6): 665-668.

(编辑 刘杨)