

DOI: 10.7652/xjtuxb201312009

部分耗尽异质环栅场效应晶体管阈值电压模型

李尊朝, 罗诚, 王闯, 苗治聪, 张莉丽

(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 为抑制短沟道效应和解决载流子传输效率低的问题,提出了部分耗尽异质环栅金属氧化物半导体场效应晶体管(MOSFET)结构(DMSG),并建立了器件的表面电势和阈值电压解析模型。异质环栅由两种具有不同功函数的材料无缝拼接形成,能在沟道中产生电场峰值,降低漏端电场,并屏蔽漏压对最小表面势的影响。通过为沟道耗尽层各区建立柱坐标下电势泊松方程和相应的边界条件方程,采用径向抛物线近似对偏微分方程进行降维和解析求解技术,获得了 DMSG 结构的解析模型。仿真结果表明,与传统的部分耗尽环栅器件相比,DMSG 结构载流子传输效率高,短沟道效应、漏致势垒降低效应和热载流子效应抑制能力强;所建解析模型与数值仿真软件的相对误差小于 5%。

关键词: 部分耗尽;异质环栅;金属氧化物半导体场效应晶体管;阈值电压

中图分类号: TN386 **文献标志码:** A **文章编号:** 0253-987X (2013)12-0050-05

Threshold Voltage Modeling of Partially-Depleted Dual-Material Surrounding Gate Field-Effect Transistor

LI Zunchao, LUO Cheng, WANG Chuang, MIAO Zhicong, ZHANG Lili

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: A partially-depleted dual-material surrounding-gate metal-oxide-semiconductor field-effect-transistor (MOSFET) structure (DMSG) is proposed to suppress the short channel effect and to increase the current drivability. Two-dimensional analytical models for both surface potential and threshold voltage are respectively presented for the novel structure. The dual-material surrounding gate consists of two metals connecting tightly with different work functions, and it can produce the electric field peak near the source in the channel, decrease the electric field near the drain, and mask the influence of the drain voltage on the minimum surface potential. The potential Poisson equations in the two depleted divisions are given with the boundary conditions in the cylindrical coordinate system. The analytical models are derived based on the solution of the partial differential equations through reducing the dimensions with parabolic potential approximation in the direction vertical to the channel. Numerical simulation and comparisons with the traditional partially depleted device show that the DMSG device increases the carrier transport efficiency, and suppresses the short channel effect, drain-induced barrier lowering effect and hot carrier effect, and that the relative error between the derived analytical model and the numerical simulation software is less than 5%.

Keywords: partially-depleted; dual-material surrounding gate; metal-oxide-semiconductor field-effect-transistor; threshold voltage

随着金属-氧化物-半导体场效应晶体管(MOSFET)的特征尺寸进入纳米领域,短沟道效应(SCE)、漏致势垒降低效应(DIBL)、热载流子效应(HCE)等成为超大规模集成电路的很大限制因素^[1]。环栅(surrounding gate)MOSFET的栅极将沟道完全包围,使沟道中电势得到很好控制,有效地抑制了 SCE^[2-4],并且利用传统体硅工艺制备出的硅纳米线环栅器件具有很好的可集成性^[4],为器件尺寸的缩小和空间利用提供了更大的优势^[5]。如果硅柱半径小于最大耗尽层厚度,环栅器件工作在全耗尽模式,反之则工作在部分耗尽模式。Long 等人提出了异质栅(dual material gate)结构^[6],栅极由两种不同功函数的金属材料组成,并使它们横向接触。在两种材料交接处,沟道电势存在阶梯,产生电场峰值,加快了沟道载流子漂移速度,并降低了沟道漏端处的电场强度,能有效抑制 DIBL 和 HCE^[7-10]。采用金属栅电极还可以消除多晶硅耗尽效应,在现代纳米级 MOSFET 中已普遍采用金属栅电极^[11-12]。将异质栅结构引入环栅器件,形成异质环栅 MOSFET 结构(DMSG),可以进一步提升器件性能。现代集成电路的集成度已经达到亿级,其电子设计自动化(EDA)软件必须使用器件的简洁解析模型。关于全耗尽 DMSG 器件的性能和解析模型研究已有不少报道^[7-8],但对于部分耗尽 DMSG 器件还未见研究。

本文为部分耗尽 DMSG MOSFET 建立可用于集成电路 EDA 软件中的简洁解析模型,利用数值仿真方法验证模型的有效性,研究器件的电流驱动能力和短沟道性能及优化措施。

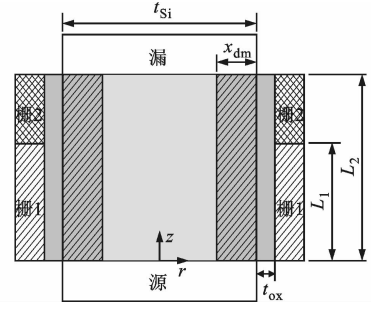
1 解析模型建立

1.1 表面势解析模型

MOSFET 的阈值电压是指当沟道表面的反型层少数载流子浓度等于衬底的多数载流子浓度时,器件栅极所加的电压。因此,为了建立器件阈值电压的解析模型,首先要得到沟道表面势的解析模型。表面势解析模型可以通过求解沟道电势的泊松方程得到。

图 1 为部分耗尽柱型 DMSG nMOSFET 剖面示意图,栅 1 与栅 2 的功函数分别为 W_{m1} 和 W_{m2} ,且 $W_{m1} > W_{m2}$ 。

假设沟道掺杂均匀,氧化层内的固定电荷对沟道电势的影响可以忽略。栅 1 和栅 2 下硅柱耗尽层部分电势分布 ϕ_1 和 ϕ_2 满足柱坐标系下的泊松方程



t_{Si} 为硅柱直径; t_{ox} 为栅氧化层厚度; x_{dm} 为硅柱的最大耗尽层厚度;

L_1, L_2 分别为栅 1 和栅 2 的总长度

图 1 部分耗尽柱形 DMSG nMOSFET 剖面示意图

$$\frac{\partial}{\partial r} \left(\frac{r \partial \phi_1(r, z)}{\partial r} \right) + \frac{\partial^2 \phi_1(r, z)}{\partial z^2} = \frac{q N_A}{\epsilon_{Si}}, \quad t_{Si}/2 - x_{dm} < r < t_{Si}/2, 0 < z < L_1 \quad (1)$$

$$\frac{\partial}{\partial r} \left(\frac{r \partial \phi_2(r, z)}{\partial r} \right) + \frac{\partial^2 \phi_2(r, z)}{\partial z^2} = \frac{q N_A}{\epsilon_{Si}}, \quad t_{Si}/2 - x_{dm} < r < t_{Si}/2, L_1 < z < L_2 \quad (2)$$

式中: N_A 为沟道掺杂浓度。

垂直于沟道的 r 方向上,电势可以用抛物线函数近似

$$\phi_1(r, z) = c_{10}(z) + r c_{11}(z) + r^2 c_{12}(z), \quad t_{Si}/2 - x_{dm} < r < t_{Si}/2, 0 < z < L_1 \quad (3)$$

$$\phi_2(r, z) = c_{20}(z) + r c_{21}(z) + r^2 c_{22}(z), \quad t_{Si}/2 - x_{dm} < r < t_{Si}/2, L_1 < z < L_2 \quad (4)$$

式中: $c_{10}, c_{11}, c_{12}, c_{20}, c_{21}, c_{22}$ 分别为与 r 无关的系数。

沟道表面电势 ϕ_{s1}, ϕ_{s2} 为

$$\phi_{s1} = \phi_1(t_{Si}/2, z) = c_{10}(z) + \left(\frac{t_{Si}}{2} \right) c_{11}(z) + \left(\frac{t_{Si}}{2} \right)^2 c_{12}(z) \quad (5)$$

$$\phi_{s2} = \phi_2(t_{Si}/2, z) = c_{20}(z) + \left(\frac{t_{Si}}{2} \right) c_{21}(z) + \left(\frac{t_{Si}}{2} \right)^2 c_{22}(z) \quad (6)$$

2 个耗尽层区域的泊松方程应满足以下边界条件。

(1) 在异质栅交界处电势连续

$$\phi_1(r, z) \big|_{z=L_1} = \phi_2(r, z) \big|_{z=L_1} \quad (7)$$

(2) 在异质栅交界处电场连续

$$\frac{\partial \phi_1(r, z)}{\partial r} \bigg|_{z=L_1} = \frac{\partial \phi_2(r, z)}{\partial r} \bigg|_{z=L_1} \quad (8)$$

(3) 在硅柱沟道表面与栅氧化层的交界面上电通量连续

$$\frac{\partial \phi_1(r, z)}{\partial r} \bigg|_{r=t_{Si}/2} = C_f \frac{V'_{G1} - \phi_1(t_{Si}/2, z)}{\epsilon_{Si}} \quad (9)$$

$$\frac{\partial \phi_2(r, z)}{\partial r} \bigg|_{r=t_{Si}/2} = C_f \frac{V'_{G2} - \phi_2(t_{Si}/2, z)}{\epsilon_{Si}} \quad (10)$$

式中: $V'_{G1} = V_{GS} - V_{FB1}$, $V'_{G2} = V_{GS} - V_{FB2}$, V_{FB1} 和 V_{FB2} 分别为栅 1 和栅 2 对应区域的平带电压; $C_f = \frac{2\epsilon_{ox}}{t_{Si} \ln(1 + 2t_{ox}/t_{Si})}$ 为栅氧电容。

(4) 耗尽层边界处, 沿半径方向的电场为 0

$$\left. \frac{\partial \phi_1(r, z)}{\partial r} \right|_{r=t_{Si}/2-x_{dm}} = \left. \frac{\partial \phi_2(r, z)}{\partial r} \right|_{r=t_{Si}/2-x_{dm}} = 0 \quad (11)$$

(5) 源端与漏端的表面电势为^[13]

$$\phi_1(r, 0) = V_{bi} \quad (12)$$

$$\phi_2(r, L_2) = V_{bi} + V_{DS} \quad (13)$$

式中: $V_{bi} = \frac{k_0 T}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right)$ 为源和沟道间的内建势; N_D 为源漏区掺杂浓度。通过方程式(1)~(6)及边界条件式(9)~(11)可以得到表面电势 ϕ_{s1} 和 ϕ_{s2} 的微分方程

$$\frac{d^2 \phi_{s1}(z)}{dz^2} - \lambda^2 \phi_{s1}(z) = \beta_1 \quad (14)$$

$$\frac{d^2 \phi_{s2}(z)}{dz^2} - \lambda^2 \phi_{s2}(z) = \beta_2 \quad (15)$$

式中: $\lambda = \left(\frac{C_f(2x_{dm} + t_{Si})}{\epsilon_{Si} x_{dm} t_{Si}}\right)^{1/2}$; $\beta_1 = \frac{qN_A}{\epsilon_{Si}} - \lambda^2 V'_{G1}$; $\beta_2 = \frac{qN_A}{\epsilon_{Si}} - \lambda^2 V'_{G2}$ 。

方程(14)和(15)为二阶常微分方程, 其通解的形式如下

$$\phi_{s1}(z) = A_1 \exp(-\lambda z) + B_1 \exp(\lambda z) - \frac{\beta_1}{\lambda^2} \quad (16)$$

$$\phi_{s2}(z) = A_2 \exp(-\lambda z) + B_2 \exp(\lambda z) - \frac{\beta_2}{\lambda^2} \quad (17)$$

利用边界条件式(7)、(8)、(12)与(13)得到

$$A_1 = V_{bi} + \frac{\beta_1}{\lambda^2} - \frac{\beta_1 - \beta_2}{2\lambda^2} \exp(\lambda L_1) - B_2 \quad (18)$$

$$B_1 = B_2 + \frac{\beta_1 - \beta_2}{2\lambda^2} \exp(\lambda L_1) \quad (19)$$

$$A_2 = V_{bi} + \frac{\beta_1}{\lambda^2} - \frac{\beta_1 - \beta_2}{\lambda^2} \exp(\lambda L_1) - B_2 \quad (20)$$

$$B_2 = ((V_{bi} \lambda^2 + V_{DS} \lambda^2 + \beta_2) \exp(\lambda L_2) + (\beta_1 - \beta_2) \exp(\lambda L_1) - V_{bi} \lambda^2 - \beta_1) / \lambda^2 (\exp(2\lambda L_2) - 1) \quad (21)$$

对表面电势 ϕ_{s1} 、 ϕ_{s2} 求微分, 得到沟道表面电场解析模型

$$E_1(z) = -\lambda A_1 \exp(-\lambda z) + \lambda B_1 \exp(\lambda z) \quad (22)$$

$$E_2(z) = -\lambda A_2 \exp(-\lambda z) + \lambda B_2 \exp(\lambda z) \quad (23)$$

可以证明, 式(16)、(17)、(22)和(23)在 $W_{m1} = W_{m2}$ 时退化为部分耗尽同质环栅(SMSG)器件的表

面电势与电场的解析模型, 所以式(16)、(17)、(22)和(23)具有通用性。

1.2 阈值电压模型

在得到了部分耗尽 DMSG nMOSFET 表面势解析模型的基础上, 可以对其阈值电压进行建模。将强反型条件作为器件开启的标准, 定义最小表面势 $\phi_{s1, \min}$ 等于沟道费米势 ϕ_f 的 2 倍时, 对应的栅压 V_{GS} 为阈值电压 V_{th} 。首先需要确定最小表面势在沟道的位置。在 n 型 DMSG 器件中, $W_{m1} > W_{m2}$, 沟道表面势最低值位于栅 1 之下。对栅 1 下的表面电势 ϕ_{s1} 进行微分并令其值为 0, 得到最小表面势的位置

$$z_{\min} = \ln \frac{A_1}{B_1} / 2\lambda \quad (24)$$

将 $z_{\min}$ 带入 ϕ_{s1} 可以得到最小表面势

$$\phi_{s1, \min} = 2(A_1 B_1)^{1/2} - \beta / \lambda^2 \quad (25)$$

当最小表面势等于沟道费米势 2 倍时, 对应栅压即为阈值电压。由式(25)可得

$$V_{th} = \frac{qN_A}{\epsilon_{Si} \lambda^2} - p + V_{bi} + V_{FB1} \quad (26)$$

式中: $p = (-n + (n^2 - 4mo)^{1/2}) / 2m$, 其中 $m = [(1 - \exp(\lambda L_2)) / (1 + \exp(\lambda L_2))]^2$, $n = 2(2\phi_f - V_{bi}) - (2b + 4w \exp(\lambda L_1)) (\exp(\lambda L_2) - 1) / [\exp(\lambda L_1) (1 + \exp(\lambda L_2))]$, $o = (2\phi_f - V_{bi})^2 - \left(2w + \frac{W_{m1} - W_{m2}}{\exp(\lambda L_1)}\right)^2$, $w = [2 \exp(\lambda L_1) \exp(\lambda L_2) (V_{DS} - W_{m1} + W_{m2}) + (\exp(2\lambda L_1) + 1) (W_{m1} - W_{m2})] / [2 \exp(\lambda L_1) \cdot (\exp(2\lambda L_2) - 1)]$ 。

2 模型验证和分析

下文将采用本文建立的表面势、表面电场和阈值电压解析模型与数值仿真软件 Sentaurus 所得结果进行对比, 以检验模型的有效性, 并研究结构参数对器件性能的影响规律。在不作特别说明的情况下, 以下解析模型与数值仿真结果中采用的器件参数分别为: $N_A = 10^{18} \text{ cm}^{-3}$; $N_D = 10^{20} \text{ cm}^{-3}$; $t_{Si} = 120 \text{ nm}$; $t_{ox} = 2 \text{ nm}$; $W_{m1} = 4.6 \text{ V}$; $W_{m2} = 4.2 \text{ V}$ 。

图 2 给出了沟道长度为 180 nm 的 DMSG 器件表面电势沿沟道方向的分布, 其中 $L_1 = 90 \text{ nm}$, 同时给出了 SMSG 器件的表面电势分布。从图 2 中可以看出, DMSG 器件的表面电势存在一个阶梯, 这是由于两种栅材料的功函数差造成的。由于栅 1 的功函数较大, 沟道电势最低点位于栅 1 之下, 所以器件的阈值电压主要取决于栅 1 的功函数, 因此栅 1 称为控制栅。栅 2 主要用来屏蔽漏电压变化对沟道

电势最小值带来的影响,因此称为屏蔽栅。

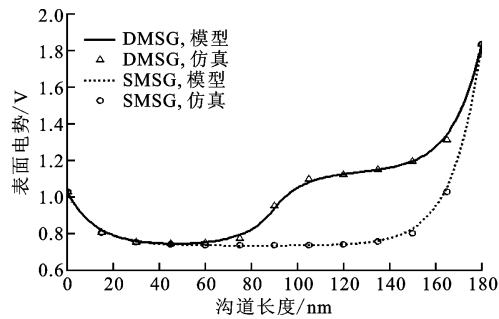


图 2 DMSG 与 SMSG 器件沟道表面电势对比

对于给定的沟道长度, L_1 和 L_2 比值变化对 DMSG 器件表面电势也有影响,如图 3 所示。从图 3 可以看到,控制栅比例减小,沟道表面电势的台阶也随之左移,沟道最小表面电势略微升高,阈值电压降低。其原因是屏蔽栅下沟道表面电势要明显高于控制栅下的表面电势,类似于器件的漏端电压。当控制栅长度变小时,出现了类似于传统 SCE 的电势抬高现象。因此,为了避免上述效应对器件性能带来的不良影响,屏蔽栅的长度不宜过长。

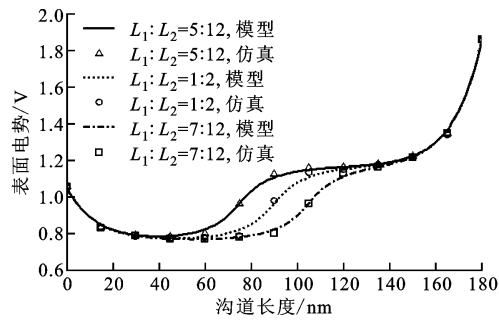


图 3 异质栅长度比对 DMSG 器件沟道表面电势的影响

图 4 给出了 DMSG 器件在不同漏压下的表面电势分布。可以看到,漏压增量几乎都降落在屏蔽栅下,控制栅下的电势分布几乎不受漏电压变化的影响,最小电势的漂移几乎为 0。由此可见,异质栅结构可以抑制器件的 DIBL 效应,有利于器件尺寸的进一步缩小。

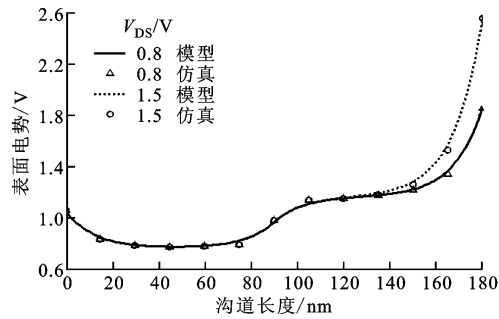


图 4 漏压对 DMSG 器件沟道表面电势的影响

图 5 展示了 DMSG 与 SMSG 器件沟道表面电场强度的对比曲线。从图中可以看出,DMSG 器件在异质栅的交界处存在一个电场尖峰,该电场尖峰可以有效地提高沟道中载流子的速度,进而提高器件驱动电流和工作速度。与此同时,DMSG 器件的漏端电场有所降低,因此 DMSG 器件有利于抑制 HCE。

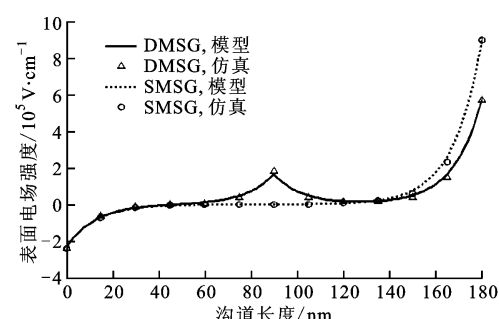


图 5 DMSG 与 SMSG 器件沟道表面电场对比

通过选取具有不同功函数的金属栅材料,可以调节异质栅的功函数差。由于控制栅的功函数会直接影响到器件的阈值电压和源端电场,所以在调节异质栅功的过程中通常选择调整屏蔽栅的功函数。

图 6 展示了控制栅和屏蔽栅间功函数差对 DMSG 器件沟道表面电场强度的影响,其中控制栅的功函数 W_{m1} 保持不变。可以发现,当屏蔽栅的功函数 W_{m2} 减小时,异质栅功函数差增大,使表面电势的台阶更加明显,异质栅的交界处电场尖峰更高,有利于沟道中载流子速度的提高;同时可以看到,漏端的电场进一步减弱,能更有效地抑制 HCE。

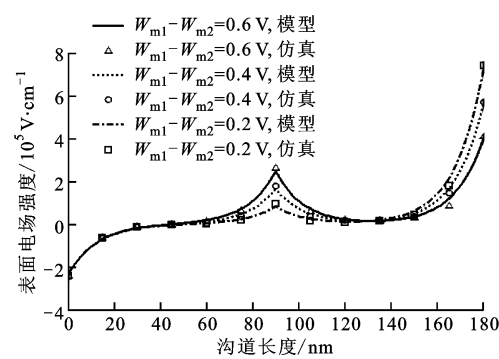


图 6 异质栅功函数差对 DMSG 器件沟道表面电场影响

图 7 给出了硅柱直径对 DMSG 器件 SCE 的影响效果。可以看到:随着硅柱直径的减小,DMSG 器件的 SCE 得到改善;全耗尽器件能更有效地抑制 SCE。

图 8 表示部分耗尽 DMSG 和 SMSG 器件的 SCE 对比。可以看到,相对于 SMSG 器件,DMSG

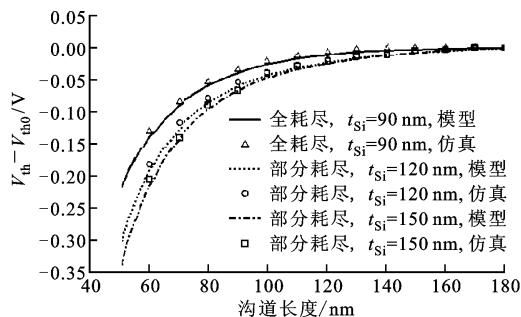


图 7 硅柱直径对 SCE 的影响

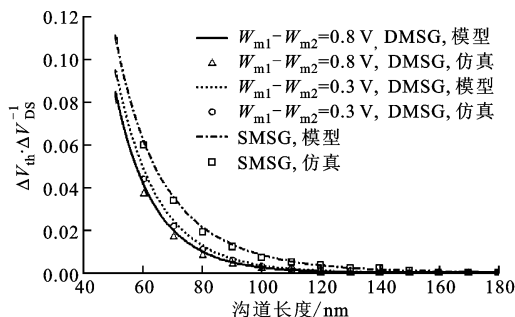


图 10 栅结构对 DIBL 的影响

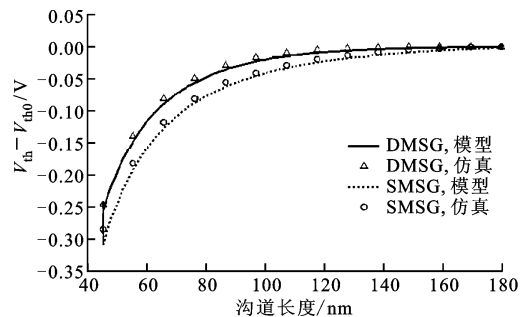


图 8 DMSG 与 SMSG 器件的 SCE 对比

器件的 SCE 有明显的改善。

用 $\Delta V_{th}/\Delta V_{DS}$ 表示漏致势垒降低效应 (DIBL), $\Delta V_{th} = V_{th}|_{V_{DS}=0.05\text{ V}} - V_{th}|_{V_{DS}=1\text{ V}}$ 。图 9 给出了硅柱直径对 DMSG 器件 DIBL 的影响效果。图 9 表明: 随着硅柱直径的减小, 器件的 DIBL 得到改善; 全耗尽器件能更有效地抑制 DIBL。

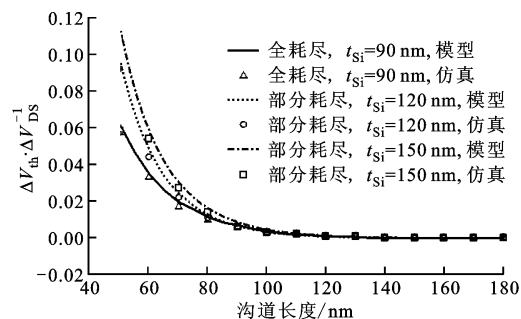


图 9 硅柱直径对 DIBL 的影响

图 10 给出了栅结构对环栅器件 DIBL 的影响效果。可以看到: 相对于 SMSG 器件, DMSG 器件能更有效抑制 DIBL; 增加异质栅的功函数差, 在一定程度上可以改善 DMSG 器件的 DIBL。

对图 2~图 10 中采用解析模型与数值仿真软件 Sentaurus 所得结果进行分析, 结果表明两者之间的相对误差不超过 5%。

3 结 论

器件短沟道效应是制约纳米级集成电路特征尺寸持续缩小的重要因素, 器件简洁解析模型是集成电路 EDA 软件的基础。本文提出了一种部分耗尽异质环栅 MOSFET, 建立并验证了器件的表面电势及阈值电压二维解析模型, 模型不含任何拟合参数; 研究了器件的电流驱动和短沟道性能。相对于部分耗尽的同质环栅器件, 异质环栅器件具有工作速度高, 能有效抑制短沟道效应、漏致势垒降低效应和热载流子效应。减小硅柱直径, 有利于器件性能的改进。

参考文献:

- [1] OH S H, MONROE D, HERGENROTHER J M. Analytic description of short-channel effects in fully-depleted double-gate and cylindrical surrounding-gate MOSFETs [J]. IEEE Electron Device Letters, 2000, 21(9): 445-447.
 - [2] BORLI H, KOLBERG S, FJELDLY T, et al. Precise modeling framework for short-channel double-gate and gate-all-around MOSFETs [J]. IEEE Transactions on Electron Devices, 2008, 55(10): 2678-2686.
 - [3] LIU Linlin, LI Zunchao. A quantum-confinement model for surrounding-gate MOSFETs from subthreshold to strong-inversion regions [J]. Science China: Information Sciences, 2012, 55(10): 2399-2408.
 - [4] 徐进朋, 尤一龙, 李尊朝, 等. 围栅金属氧化物半导体场效应管电流模型 [J]. 西安交通大学学报, 2010, 44(10): 57-61.
- XU Jinpeng, YOU Yilong, LI Zunchao, et al. A current model for surrounding gate metal-oxide-semiconductor field-effect transistor [J]. Journal of Xi'an Jiaotong University, 2010, 44(10): 57-61.

(下转第 109 页)