

DOI: 10.7652/xjtuxb201502008

# 用于植入式医疗装置的逐次逼近式模数转换器

张鸿, 张牡丹, 张杰, 赵阳, 张瑞智  
(西安交通大学电子与信息工程学院, 710049, 西安)

**摘要:** 针对植入式医疗装置对模数转换器(ADC)的超低功耗和高精度要求,提出了一种共模恒定型分段混合编码结构的逐次逼近式模数转换器(SAR-ADC)。该 SAR-ADC 的电容数模转换器 DAC 中采用分段混合编码结构,兼具了分段二进制编码的低功耗优势和分段温度计编码的高线性度优势。共模恒定型控制方式具有极低的动态功耗。采用 HHNEC 0.35  $\mu\text{m}$  CMOS 工艺完成了 10 位共模恒定型分段混合编码 SAR-ADC 的电路和版图设计。后仿真结果表明:所设计的 SAR-ADC 的电源电压范围为 1.8~3 V;在采样率为  $10^3\text{ s}^{-1}$  的条件下,其有效位数为 9.4 位;整个 SAR-ADC 所消耗的电流仅为 60 nA,在同等工艺条件下具有更低的功耗;所设计的转换器能够满足心脏起搏器等植入式医疗装置的需求。

**关键词:** 医疗装置;植入式;超低功耗;逐次逼近型;模数转换器

**中图分类号:** TN432   **文献标志码:** A   **文章编号:** 0253-987X(2015)02-0043-06

## A Successive Approximation Register Analog-to-Digital Converter for Implantable Biomedical Devices

ZHANG Hong, ZHANG Mudan, ZHANG Jie, ZHAO Yang, ZHANG Ruizhi  
(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

**Abstract:** A hybrid encoded successive approximation register (SAR) analog-to-digital converter (ADC) with constant common-mode control logic is presented to meet the requirements of ultra low power consumption and high resolution for implantable biomedical devices. The hybrid encoded structure of the split capacitive digital to analog converter (CDAC) employed in the SAR-ADC combines the low-power feature of binary encoded CDAC and the high-linearity advantage of thermometer encoded CDAC. The constant common-mode control logic has the advantage of ultra low dynamic power dissipation. The schematic and layout of a 10 bit SAR ADC are designed using the HHNEC 0.35  $\mu\text{m}$  CMOS technology. Simulation results after layout parasitic extraction show that the proposed SAR-ADC operates under a power supply range of 1.8-3 V, and achieves an effective bit of 9.4 under a sampling rate of  $10^3\text{ s}^{-1}$ . The current consumption is only 60 nA, which is lower than those recently reported SAR ADCs with similar fabrication technologies. It can be concluded that the proposed converter is suitable for implantable devices such as cardiac pace makers.

**Keywords:** biomedical devices; implantable; ultra low power; successive approximation register; analog-to-digital converter

收稿日期: 2014-08-27。 作者简介: 张鸿(1978—),男,副教授;张瑞智(通信作者),男,教授。 基金项目: 国家自然科学基金基金资助项目(61474092);陕西省科技计划资助项目(2014K05-14);中央高校基本科研业务费专项资金资助项目(xjj2013088)。  
网络出版时间: 2014-13-30      网络出版地址: <http://www.cnki.net/kcms/detail/61.1069.T.20141230.0823.002.html>

近年来,在微电子技术的推动下,人工耳蜗、心脏起搏器等植入式医疗装置已在临床中得到广泛应用,脑机接口等技术也在逐渐走向成熟。模数转换器(ADC)是植入式医疗装置中的关键电路,它将生物电信号转换成数字形式。植入式 ADC 处理的生物信号频率一般在几十 kHz 以下,转换精度要求在 10 bit 以上。为了延长植入式装置的使用寿命,需要尽可能降低植入式 ADC 的功耗。在各种结构的 ADC<sup>[1-3]</sup> 中,逐次逼近式 ADC(SAR-ADC)具有功耗低、面积小的优点,是目前植入式 ADC 的主要实现形式。

通常,SAR-ADC 包括数字控制逻辑,数模转换器(DAC)和比较器 3 部分。其中,仅有比较器消耗一定的静态电流,ADC 的大部分功耗为控制逻辑以及开关电容 DAC 中开关动作引起的动态功耗<sup>[4]</sup>。因此,为了达到植入式医疗装置要求的极低功耗,国内外的研究者们对进一步优化开关控制逻辑进行了深入研究,以有效降低整个 ADC 的动态功耗。目前已有的 SAR-ADC 开关控制时序有传统型<sup>[4]</sup>、节能型<sup>[5]</sup>、单调型<sup>[6]</sup>和共模恒定型<sup>[7]</sup>等。在相同的采样速度和精度条件下,节能型、单调型和共模恒定型的功耗分别约为传统型功耗的 1/2、1/5 和 1/8。因此,采用共模恒定型开关控制逻辑的 SAR-ADC 在植入式医疗应用中具有明显的低功耗优势。然而,文献[7]中共模恒定型 SAR-ADC 的电容 DAC(CDAC)采用了二进制电容阵列,使得总电容值随 ADC 位数的增加呈指数增加。另外,其电容阵列中最大电容与最小电容的比值高达  $2^{N-2}$  ( $N$  为 ADC 的位宽),电容失配和寄生电容的影响将显著增加 ADC 的微分非线性误差( $D_{NL}$ )和积分非线性误差( $I_{NL}$ )<sup>[8]</sup>。在 CDAC 中采用分段式电容阵列可有效降低最大电容与最小电容的比值<sup>[9]</sup>,从而在一定程度上提高 ADC 的线性度。然而,若分段式 CDAC 中每一段采用二进制阵列<sup>[10]</sup>,制造误差导致的电容失配仍然会制约整个 ADC 的精度和线性度。虽然温度计编码的 CDAC 能够有效地降低 ADC 的  $D_{NL}$  和  $I_{NL}$ <sup>[11]</sup>,然而若对 CDAC 的电容阵列全部采用温度计码控制,则对于  $N$  位精度,其 DAC 需要  $2^N - 1$  对子电容和相应的开关控制逻辑,这将显著地增加控制逻辑的复杂性和开关动态功耗。

本文在共模恒定型开关控制逻辑的基础上,提出了一种分段混合编码结构的 SAR-ADC,其中 CDAC 的高段位电容阵列,采用温度计编码,低段位电容阵列,采用二进制编码的混合编码电容阵列,可以在较低的电路复杂度和功耗条件下获得较高的线

性度。本文采用 HHNEC 0.35  $\mu\text{m}$  工艺,设计了一款采用分段混合编码结构的 10 位 SAR-ADC。后仿真结果表明,本文 ADC 具有较高的线性度和极低的功耗,可完全满足心脏起搏器等植入式医疗装置的需求。

## 1 共模恒定型 SAR-ADC 功耗分析

$N$  位传统开关电容型 SAR-ADC 的电容阵列中共有  $N+1$  对电容,  $V_{ip}$  和  $V_{in}$  为差动输入信号,  $V_{RP}$ 、 $V_{RN}$  和  $V_{CM}$  分别为 DAC 的差动基准信号和共模信号,  $C_0 = C_u$  ( $C_u$  为单位电容),其余电容为  $C_i = 2^{i-1}C_u$  ( $i=1,2,\dots,N$ ),  $b[N-1]$  为 ADC 输出的  $N$  位数字码。传统型 SAR-ADC 的结构如图 1 所示。在采样阶段,输入信号通过采样开关  $T_{IP}$  和  $T_{IN}$  接到电容的下极板。完成采样后,控制逻辑按照预设输出值、判断和确定输出值的顺序,从高到低逐次确定 ADC 的每一位转换结果,整个过程将引起大量的开关动作,从而导致较高的动态功耗。针对这一问题,共模恒定型结构对传统的 SAR-ADC 结构进行了改进,将输入信号从电容的上极板接入,电容的下极板在采样时接共模信号  $V_{CM}$ ,如图 2 所示。在位数相

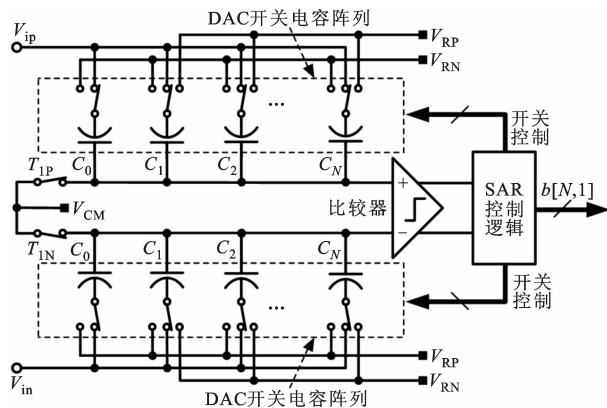


图 1 传统型 SAR-ADC 结构

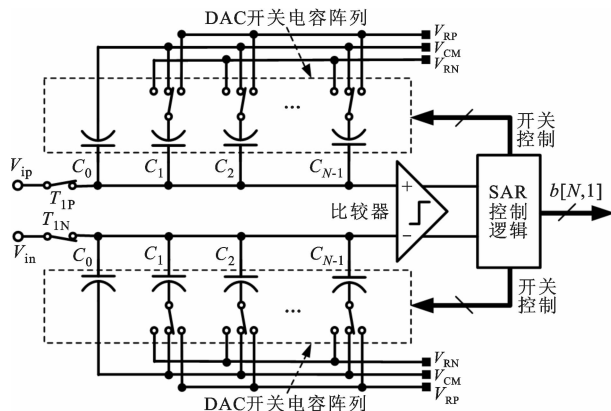


图 2 共模恒定型 SAR-ADC 结构

同的情况下,共模恒定型结构的电容比传统结构少 1 对,总电容值为传统结构的 1/2。

为了说明共模恒定型 SAR-ADC 在动态功耗方面的优势,本文以 3 位 ADC 输出全为 0 时的情况为例,对比分析两种结构 SAR-ADC 的电容控制过程。

对于传统结构,每次转换过程的第 1 步为采样阶段,此时电容阵列中所有电容的上极板接到共模电压  $V_{CM}$ ,而下极板则分别接到输入信号  $V_{ip}$  或  $V_{in}$ ;完成采样后,控制逻辑在第 2 步中预设 ADC 输出的最高位为 1,低两位为 0,控制逻辑按照该结果配置电容阵列中 3 对 DAC 电容下极板所接入的基准电压,完成数模转换并与输入信号求差。由于所加的输入信号很低,完成第 2 步后比较器的输出为 0,表明最高位预设位为 1 错误,因此控制逻辑电路在第 3 步中确定 ADC 最高位的输出结果为 0,同时预设 ADC 次高位的输出为 1,并按此结果重新配置 DAC 电容的基准电压。以此类推,控制逻辑在第 4 步中确定 ADC 次高位的输出值,同时预设 ADC 最低位的输出值为 1。ADC 最低位的输出值在第 5 步确定。可以证明<sup>[4]</sup>,开关电容阵列在第 2~第 4 步消耗的能量  $E_{i2}$ 、 $E_{i3}$  和  $E_{i4}$  分别为  $4C_u V_R^2$ 、 $5C_u V_R^2$  和  $(9/4)C_u V_R^2$ ,其中  $V_R = V_{RP} - V_{RN}$ 。每完成一次转换,电容阵列消耗的总能量为

$$E_t = E_{i2} + E_{i3} + E_{i4} = (45/4)C_u V_R^2 \quad (1)$$

与传统型不同,共模恒定型 SAR-ADC 的输入信号在电容阵列的上极板,因此不需要预设操作。在完成第 1 步采样步骤后,控制逻辑在第 2 步直接根据比较结果确定最高位的输出值<sup>[9]</sup>。由于不需要改变基准电压,第 2 步中开关电容阵列的能耗为 0。在第 3 步中,控制逻辑根据最高位的结果配置最高位电容对的下极板电压进行 DAC 转换与求差。控制逻辑根据此时的比较器结果直接确定 ADC 次高位的输出值。同理,控制逻辑在第 4 步中修改次高位电容对的基准电压,完成信号求差并根据比较器结果确定 ADC 的最低位转换结果。同样可以证明,开关电容阵列在第 2~第 4 步消耗的能量  $E_{c2}$ 、 $E_{c3}$  和  $E_{c4}$  分别为 0、 $(1/2)C_u V_R^2$  和  $(1/8)C_u V_R^2$ 。因此,每完成一次转换,DAC 电容阵列消耗的总能量为

$$E_c = E_{c2} + E_{c3} + E_{c4} = (5/8)C_u V_R^2 \quad (2)$$

对比式(1)、式(2)可知,由于共模恒定型结构不需要预设操作,因此可以大大降低动态功耗。按照上述分析方法,本文分别对以上两种类型的 10 位 SAR-ADC 输出所有码值时的开关电容能耗进行了 Matlab 建模。两种 ADC 的单位电容  $C_u$  都为 120 fF,

差动基准电压  $V_R$  都为 2 V,开关电容能耗对比结果在图 3 中给出。可以看出,共模恒定型结构具有明显的低功耗优势。

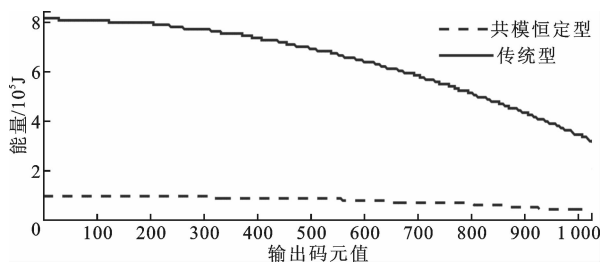


图 3 传统型与共模恒定型开关逻辑的能耗对比

## 2 CDAC 的线性度分析

DAC 的线性度决定了 SAR-ADC 的线性度指标。在一定的工艺条件下,CDAC 的线性度取决于其电容阵列结构。以下对几种 DAC 电容阵列结构的线性度进行分析,进而给出本文所用的电容阵列结构。

### 2.1 纯二进制 CDAC 的线性度分析

制造误差使得电容很难满足精确的二进制比例关系,电容失配与电容的面积之比有关<sup>[4]</sup>。若两个相同面积的电容比例失配系数为  $\epsilon$ ,则面积比例为  $2^i$  的电容的失配系数通常为  $i\epsilon$ 。所以,对于一个  $N$  位的二进制电容阵列,考虑失配后的各电容值可表示为<sup>[4]</sup>

$$C_i = 2^{i-1} C_u [1 + (i-1)\epsilon], i = 1, 2, \dots, N \quad (3)$$

根据式(3)可知,若采用纯二进制电容阵列,则位数越高,比例误差就越大,由此引起的非线性误差也将越大。

### 2.2 分段二进制编码 CDAC 的线性度分析

分段二进制电容阵列可大大减小最大电容与最小电容的比值,因此可以显著提升 SAR-ADC 的线性度<sup>[9]</sup>。其主要特点是将 DAC 的数字码按高低分为包含  $m$  位和  $k$  位的两组。相应地,电容阵列也分为  $m$  对和  $k$  对电容的两段。两段之间用一个跨接电容连接,各段内仍采用二进制编码。以 10 位 DAC 为例,若将电容阵列分为各包含 5 对电容的阵列,即  $m=k=5$ ,则其差动结构的半边电容阵列如图 4 所示。

理想二进制情况下,  $C_{ki} = C_{mi} = 2^{(i-1)} C_u$ , ( $i=1, 2, \dots, 5$ )。为了使低段电容和跨接电容  $C_A$  的总电容等效为  $C_u$ ,  $C_A$  电容值应为  $(16/15)C_u$ 。此时,高低两段电容的最大电容与最小电容之比降低为 16,可大大降低 DAC 的非线性误差。

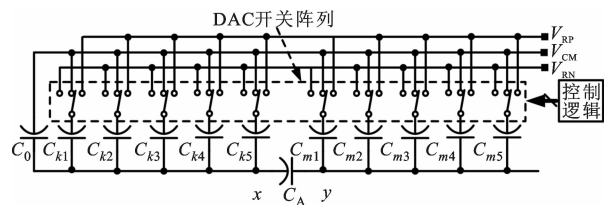


图4 10位分段二进制编码 DAC 的半边电路结构

为了定量分析 CDAC 的非线性误差,需要求出 DAC 输出电压与输入数字码的关系。分段二进制 DAC 转换完一组数字码后,  $x$  和  $y$  节点的电压  $V_x$  和  $V_y$  可通过电荷守恒方程来求解

$$\left. \begin{aligned} \sum_{i=1}^K C_{ki} (V_x - b_i V_R) + C_A (V_x - V_y) &= 0 \\ \sum_{i=1}^M C_{mi} (V_y - b_{5+i} V_R) + C_A (V_y - V_x) &= 0 \end{aligned} \right\} \quad (4)$$

令  $\alpha = \sum_{i=1}^K b_i C_{ki}$ ,  $\beta = \sum_{i=1}^M b_{K+i} C_{mi}$ , 则  $V_y$  可求解为

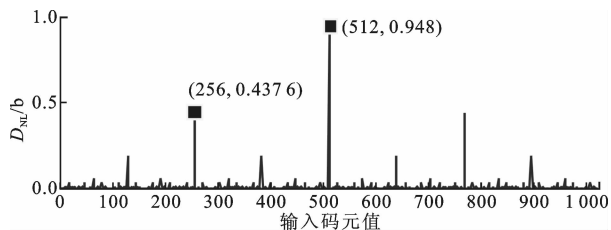
$$V_y = \frac{\alpha C_A + (C_A - C_u + 2^K C_u) \beta}{(2^{M+K} - 2^M - 2^K + 1) C_u^2 + (2^K + 2^M - 2) C_A C_u} V_R \quad (5)$$

考虑电容失配后,将实际电容值带入式(5),即可求出每组输入数字码所对应的 DAC 转换结果。由于存在电容失配,该结果必然存在非线性误差。若给定的输入数字码所对应的十进制表示为  $K$ ,则该码的微分非线性误差可表示为

$$D_{NL} = \frac{V_y(K) - V_y(K-1)}{\Delta} \quad (6)$$

式中:  $\Delta$  为 DAC 的最小分辨率电压值,即  $\Delta = V_R / 2^N$ 。

在电容失配系数  $\epsilon = 0.001$  的情况下,由式(5)和式(6)得出的 10 位分段二进制 DAC 的  $D_{NL}$  曲线如图 5 所示。可见,输入码为 512 时  $D_{NL}$  值最大,约为 0.95 b。这是因为输入数字码元从 511 切换到 512 过程中,所有开关都翻转,最大电容与最小电容的失配必然导致大的  $D_{NL}$ 。

图5 10位分段二进制码 CDAC 的  $D_{NL}$  曲线

### 2.3 分段温度计编码 CDAC 的线性度分析

由上述分析可知,分段二进制电容 DAC 减小了最大电容与最小电容的比值,从而可以降低电容失配

的非线性。然而,段内的二进制电容阵列的电容失配仍然会导致较大的  $D_{NL}$ 。为了进一步降低电容失配,可用温度计编码电容阵列来替代二进制电容阵列。

在温度计编码电容阵列 DAC 中,用一个温度计编码模块将输入的  $N$  位二进制码转换为  $2^N - 1$  位的温度计码。相应地,电容阵列也拆分为  $2^N - 1$  个等值的单位电容。由于所有电容面积相等,所以比例失配大大降低。另一方面,温度计编码结构中,输入数字码增加 1 或减少 1 时仅引起一个最小单位电容的开关切换,因此可以获得最小的  $D_{NL}$  值。然而,如果  $N$  位 DAC 的电容阵列全部采用温度计编码结构,则需要  $2^N - 1$  个单位电容和相应的控制开关。这一方面使得控制逻辑非常复杂,另一方面过多的开关也会引起额外的开关功耗和芯片面积。解决这一问题的方案是在分段式结构中,分别对两段电容进行温度计编码。以 10 位分段式 DAC 为例,将高 5 位和低 5 位的输入数字码分别进行温度计编码,并分别控制高段和低段的 31 个单位电容,如图 6 所示。

在电容失配系数  $\epsilon = 0.001$  的情况下,参照 2.2 节的方法对温度计码的  $D_{NL}$  进行数学建模,得到图 7 所示的  $D_{NL}$  曲线。对比图 5 与图 7 可知,分段温度计编码的  $D_{NL}$  大大降低。

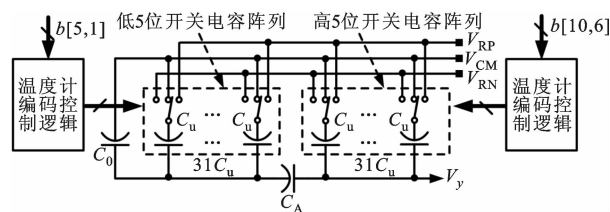
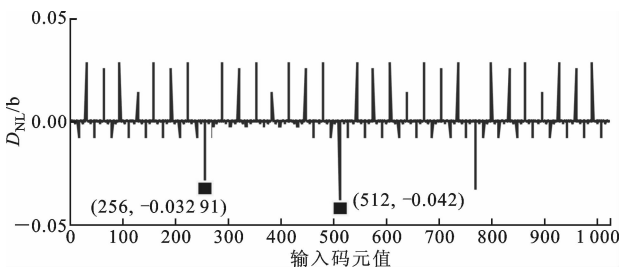


图6 10位分段温度计编码 CDAC 的半边电路结构

图7 10位分段温度计编码 CDAC 的  $D_{NL}$  曲线

### 2.4 分段混合编码 CDAC 的线性度分析

对比图 4 与图 6 可知,分段二进制编码与分段温度计编码 CDAC 的总电容值相等,但是在性能方面,前者编码电路更简单,芯片面积和开关动态功耗更小,但其最大电容与最小电容之比较大,因此线性度较差;后者因为所有电容相等,而且温度计编码的

单调性使其具有极高的线性度,但是所需的电容和开关个数较多,由此引起的面积和动态功耗开销更大。

为了兼顾两者的优势,可以将两者结合形成分段混合编码型 CDAC 结构,在略微牺牲线性度的条件下,获得更小的动态功耗和芯片面积开销。由于分段结构中,高位数字编码的权重更大,因此将高位电容设计为温度计编码有助于提高线性度。为了对比分段混合编码结构与上述两种结构的非线性特性,本文在相同的电容失配条件下,对一个 10 位的分段混合编码 CDAC 进行了数学建模,在高 5 位采用温度计编码,低 5 位采用二进制编码。该 DAC 的  $D_{NL}$  曲线如图 8 所示。可见,分段混合编码结构 DAC 的最大  $D_{NL}$  也出现在 512 码处,约为  $-0.3$  b,其绝对值略高于分段温度计编码结构的最大值,但仍小于常规要求的  $0.5$  b。

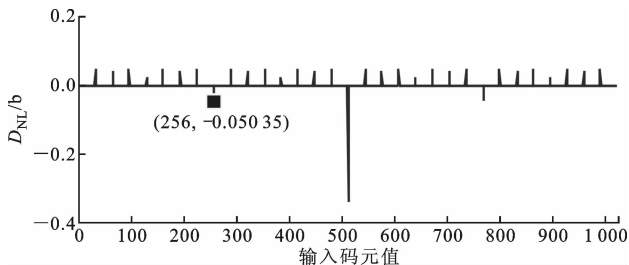


图 8 10 位分段混合编码 CDAC 的  $D_{NL}$  曲线

### 3 分段混合编码 SAR-ADC 设计

#### 3.1 总体结构

在前述分析的基础上,为了满足植入式医疗装置对 ADC 的超低功耗和中等精度要求,同时使 ADC 具有较小的芯片面积,本文采用共模恒定型结构设计了 1 个 10 位的 SAR-ADC。综合考虑 ADC 的线性度、功耗和面积指标,ADC 中的 CDAC 采用分段混合编码电容阵列结构。根据图 2 所示,10 位共模恒定型 SAR-ADC 中的 CDAC 仅需要 9 位控制码。为了使整个 ADC 具有足够高的线性度,高 5 位电容阵列采用温度计编码结构,而低 4 位电容阵列采用二进制结构。

#### 3.2 SAR-ADC 控制逻辑电路

本文 SAR-ADC 的控制逻辑电路包括一个 4 位计数器和译码控制逻辑电路。在输入时钟信号 CK16K、控制逻辑使能信号 EN 和比较器输出指示信号 VALID 的控制下,产生 DAC 开关阵列和比较器所需要的多个控制信号。输出端的 CKR、CKS 和 CKC 分别为复位、采样控制和锁存比较器锁存信

号;CK<sub>i</sub> 为与 ADC 第  $i$  位结果相对应的 DAC 开关阵列的控制信号;CKL 为 ADC 输出结果的锁存控制信号,各输出信号的时序如图 9 所示。由图 9 可见,SAR-ADC 每 16 个时钟周期完成 1 次 A/D 转换,有效的采样率为  $10^3 \text{ s}^{-1}$ 。ADC 在前 5 个周期完成信号采样,在最后一个周期,CKL 的上升沿将 10 位结果锁存到结果寄存器中。

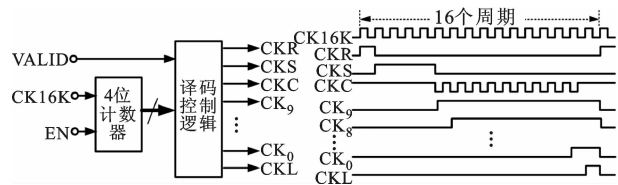


图 9 本文 SAR-ADC 控制逻辑图

DAC 电容阵列中的每一个电容都需要一个开关控制电路,利用 CK<sub>i</sub>、CKR、CKS 以及比较器输出结果  $V_{OUTP}$  或  $V_{OUTN}$  ( $V_{OUTP}$ 、 $V_{OUTN}$  分别为比较器的正、负输出信号),控制电容阵列中相应的开关电路,产生正确的电容下极板电压,实现 DAC 转换,如图 10 所示。结合图 9 可知,CK<sub>i</sub> 的上升沿将比较器输出的第  $i$  位数字码锁存到寄存器的输出端,与其他位一起进行温度计编码后,通过 2 选 1 选择器选择相应的基准电压 ( $V_{RP}$  或  $V_{RN}$ ) 接至相应电容的下极板。在复位和采样期间,电容的下极板都接共模电压  $V_{CM}$ 。二进制阵列中电容的开关控制电路与图 10 相似,但不需要温度计编码,因此结构更简单。

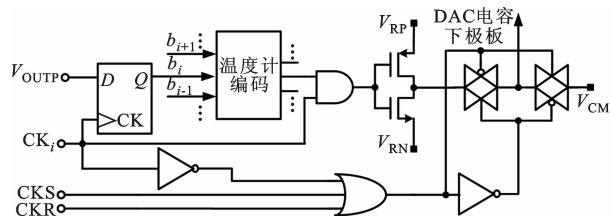


图 10 温度计编码电容阵列中单个电容的开关控制电路

#### 3.3 比较器电路设计

作为 SAR-ADC 中唯一的模拟电路,比较器的失调电压将会直接影响到整个 ADC 的性能。为了减小比较器的失调电压,本文采用了预放大锁存的比较器结构,并采用开关电容结构利用比较器的开关时序实现失调存储和抵消。其中,  $C_1$  和  $C_2$  为失调存储电容,CLK1、CLK2 和 CLK3 都是在比较器使能时钟 CKC 基础上产生的控制时钟,其电路结构和相应的控制时序如图 11 所示。CLK2 为高时,预放大器和锁存比较器的失调存储在电容  $C_1$ 、 $C_2$  中。CLK1 为高电平期间,比较器完成失调抵消和输入信号的比较。

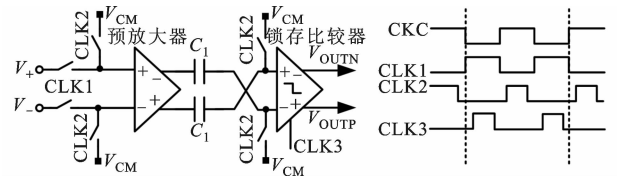


图 11 失调预存储抵消比较器结构图

4 仿真结果

本文的 10 位共模恒定型分段混合编码 SAR-ADC 采用 HHNEC 0.35  $\mu\text{m}$  工艺设计。为了适应植入式装置电池供电的特点,本 ADC 的电源电压范围设计为 1.8~3 V。ADC 的版图面积为 299  $\mu\text{m}$   $\times$  356  $\mu\text{m}$ ,如图 12 所示。

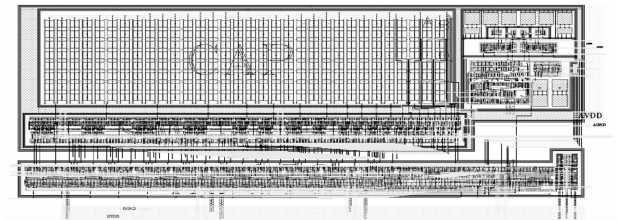


图 12 本文 SAR-ADC 的版图

本文进行了版图寄生参数提取和后仿真,得到  $D_{\text{NL}}$  的绝对值最大为 0.55 b,  $I_{\text{NL}}$  的绝对值最大为 0.71 b,如图 13 所示。在采样时钟频率为 1 Hz、输入正弦信号约为 50 Hz 的条件下,ADC 的信号噪声失真比为 58.4 dB,有效位数为 9.4 位,如图 14 所示。ADC 工作时的平均电流消耗约为 60 nA,其中控制逻辑的电流为 48 nA,比较器所消耗的平均电流为 12 nA。

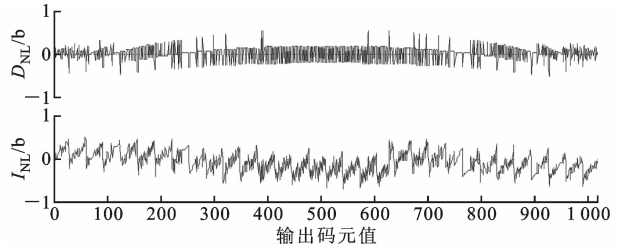


图 13 后仿真的  $D_{\text{NL}}$  和  $I_{\text{NL}}$  结果图

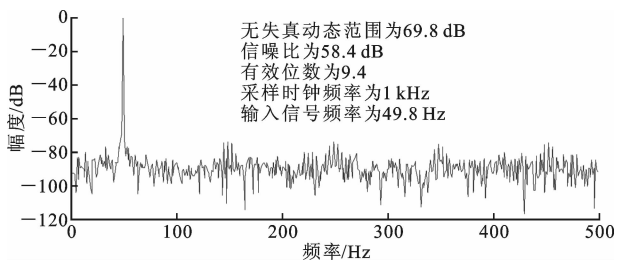


图 14 ADC 的动态性能后仿真结果

本文 SAR-ADC 的后仿真详细性能参数在表 1 中进行了总结,并与近年来的一些相关文献进行了对比(相关文献均为测试结果),可见本文 ADC 实现了较高的有效位数和较低的芯片面积。考虑工艺条件对功耗的影响,本文的功耗更低。

表 1 4 种 SAR-ADC 的性能对比

| 转换器    | 工艺特征尺寸<br>/ $\mu\text{m}$ | 采样率<br>/ $\text{s}^{-1}$ | 设计位数 | 有效位/b | 功耗<br>/ $\text{nW}$ | 面积<br>/ $\text{mm}^2$ |
|--------|---------------------------|--------------------------|------|-------|---------------------|-----------------------|
| 文献[2]  | 0.13                      | $10^3$                   | 10   | 9.1   | 72                  | 0.19                  |
| 文献[9]  | 0.18                      | $10^3$                   | 10   | 8.08  | 16                  | 0.12                  |
| 文献[13] | 0.35                      | $10^3$                   | 12   | 10.2  | 230                 | 0.28                  |
| 本文     | 0.35                      | $10^3$                   | 10   | 9.4   | 120                 | 0.106                 |

5 总结

本文提出了一种应用于植入式医疗装置的 10 位低功耗共模恒定型分段混合编码结构的 SAR-ADC。本文的 ADC 在共模恒定型控制逻辑的基础上,对 CDAC 进行分段混合编码,在保证 ADC 低功耗的同时,实现较高的线性度和有效位数。本文的 ADC 电路采用 HHNEC 0.35  $\mu\text{m}$  CMOS 工艺设计,版图面积为 299  $\mu\text{m}$   $\times$  356  $\mu\text{m}$ 。后仿真结果表明,ADC 的电源电压范围为 1.8~3 V,在采样率为  $10^3 \text{ s}^{-1}$  的条件下,ADC 的有效位数为 9.4,仅消耗 60 nA 的电流。

参考文献:

[1] 贾华宇,陈贵灿,程军,等. 流水线模数转换器的一种数字校准技术 [J]. 西安交通大学学报, 2008, 42 (8): 991-995.  
JIA Huayu, CHEN Guican, CHENG Jun, et al. A digital calibration technique of pipelined analog to digital converter [J]. Journal of Xi'an Jiaotong University, 2008, 42(8): 991-995.

[2] ZHANG Dai, BHIDE A, ALVANDPOUR A. A 53-nW 9. 1-ENOB 1-Ks/s SAR ADC in 0. 13- $\mu\text{m}$  CMOS for medical implant devices [J]. IEEE Journal of Solid-State Circuits, 2012, 47(7): 1585-1593.

[3] 张鸿,陈贵灿,程军,等. 流水线模数转换器中高速低功耗开环余量放大器的设计 [J]. 西安交通大学学报, 2008, 42(6): 751-755.  
ZHANG Hong, CHEN Guican, CHENG Jun, et al. Low power and high speed open-loop residue amplifier for pipelined analog-to-digital converters [J]. Journal of Xi'an Jiaotong University, 2008, 42(6): 751-755.

(下转第 129 页)