

DOI: 10.7652/xjtuxb201602009

时钟数据恢复电路中的线性相位插值器

张瑶¹, 张鸿¹, 李梁², 杜鑫¹, 程军¹

(1. 西安交通大学电子与信息工程学院, 710049, 西安;

2. 中国电子科技集团公司第二十四研究所模拟集成电路重点实验室, 400060, 重庆)

摘要: 针对时钟数据恢复电路(CDR)中相位插值器的非线性使得时钟抖动增大的问题,提出了一种基于非等值电流源阵列的线性相位插值器。根据插值器输出时钟相位与尾电流权重的反函数关系,在传统相位插值器的基础上调整尾电流阵列中每个电流源的设计比例,并将控制管用作共栅管来提高电流源的匹配度和稳定性,从而实现了输出时钟相位与控制信号的线性关系,提高了 CDR 的调节精度并降低了恢复时钟的抖动。采用 0.25 μm CMOS 工艺设计了一款基于线性相位插值器的 CDR。仿真结果表明:传统结构插值器的最大相位误差为 63.68%,而所提出的线性相位插值器的最大相位误差仅为 9.44%,可有效地降低 CDR 输出时钟的抖动。

关键词: 时钟恢复;相位插值;线性度;抖动

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2016)02-0048-07

A Linear Phase Interpolator for Clock and Data Recovery Circuits

ZHANG Yao¹, ZHANG Hong¹, LI Liang², DU Xin¹, CHENG Jun¹

(1. School of Electronic and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China;

2. Key Laboratory of Analog Integrated Circuit, No. 24 Research Institute China Electronic Technology Group Corporation, Chongqing 400060, China)

Abstract: A linear phase interpolator based on non-equal current source array is presented to solve the problem of increasing clock jitter caused by the non-linearity of phase interpolator in clock and data recovery circuit. According to the inverse function relationship between the phase of the output clock and the weights of the tail current sources, the ratio of each current source in the tail current source array of the interpolator is adjusted elaborately based on the traditional phase interpolator. Moreover, the control transistor is used as a common gate transistor so as to improve the matching degree and the stability of the current source. Thus the linear relation between the phase of the output clock and the control signals is realized. The regulation precision of CDR is improved while the jitter in recovering clock is reduced. A clock and data recovery circuit based on the presented linear phase interpolator is designed using the 0.25 μm CMOS technology. Simulation results show that the maximum phase error of the proposed linear phase interpolator is 9.44%, while the maximum phase error of the traditional interpolator is 63.68%, that is, the presented interpolator significantly reduces the clock jitter of the CDR.

Keywords: clock recovery; phase interpolation; linearity; jitter

近年来,随着数字系统数据传输速率的不断提高,对误码率提出了更高的要求。在串行接口的接收端,恢复时钟的抖动决定了恢复数据的误码率。在各种结构的时钟数据恢复电路(CDR)^[1]中,基于相位插值器的 CDR 采用数字电路实现对环路的控制和调节,节省了芯片的面积和功耗,应用十分广泛。相位插值型 CDR 中,恢复时钟的相位调节主要由相位插值器来完成。插值器的线性度越高,CDR 的调节精度越高,抖动越均匀,相位锁定时输出时钟的抖动越小,恢复数据的误码率越低。

传统插值器的尾电流源由多个等值电流源阵列组成,权重控制信号控制每个电流源的流通过程,从而调整 2 个输入信号差动对的尾电流的大小,使得输出信号的相位在 2 个输入信号相位之间插值。这种插值方法得到的输出信号相位与权重控制信号的关系是非线性的,并且插值器的线性度与 2 个输入信号的相位差有关,相位差越大,插值器的线性度越低^[2]。文献[3]中的仿真结果表明,对于 90°的被插值信号相位差,传统插值器的最大相位间隔偏离理想值 37.6%,导致插值器相位调节的精度较低,恢复时钟的抖动较大。国内外有很多关于降低相位插值器非线性的研究。文献[4]通过产生按正弦规律变化的相位控制信号得到线性的相位输出,但是这种方法只适用于输入信号相位差为 90°的情况而不能应用于 45°的相位差。此外,电流源的非理想特性也降低了电流数模转换器(DAC)的线性度。文献[5]采用对 2 个子插值器的输出进行平均的方法提升输出相位的线性度,但 2 个子插值器增加了电路的面积和设计的复杂度。

本文在对传统相位插值器进行建模分析的基础

上,提出了一种时钟数据恢复电路中的线性相位插值器,能够适用于多种相位差的插值,并且通过降低电流源开关驱动器的电压,在不降低电压摆幅的情况下实现了共源共栅尾电流源,可有效抑制沟道长度调制效应的影响。在所提出的线性插值器的基础上,本文采用 0.25 μm 工艺,设计了一款应用于高速 SERDES 接口的 CDR 电路。仿真结果表明,所提出的线性相位插值器可有效降低 CDR 输出时钟的抖动。

1 相位插值型 CDR 的结构

1.1 系统结构

相位插值型 CDR 主要由采样电路、鉴相表决策器、移位寄存器、相位选择电路、相位插值器等模块组成。锁相环中的 VCO 根据接收端的本地时钟输出 8 个相位间隔为 45°的时钟信号送到 4 个相位选择电路。由 2 组控制信号 $C_{A1} \sim C_{A4}$ 和 $C_{B1} \sim C_{B4}$ 来控制相位选择电路选择出 4 组差动信号,分别送到 2 个插值器^[6]。插值器在权重控制信号 $w_1 \sim w_{16}$ 的控制下,对输入信号进行插值,微调输出时钟的相位。2 个插值器输出 4 个相位间隔为 90°的信号,经过整形^[7]后作为 4 个并行高速 D 触发器^[8]的输入时钟信号,对输入串行数据进行采样,并得到相应的采样结果 $S_i \sim S_{i+3}$ 。鉴相器阵列中的 8 个鉴相器对一定数量的连续采样结果进行鉴相,产生 2 组指示时钟超前或滞后信息的鉴相结果信号 $R_1 \sim R_8$ 和 $T_1 \sim T_8$ 。表决器对鉴相结果进行表决,并输出 UP 信号来指示时钟超前或滞后的判决结果。双向移位寄存器在时钟 SCLK 的控制下,根据 UP 信号的值移入 1 或 0,改变 $w_1 \sim w_{16}$ 的值,调整采样时钟的相位。

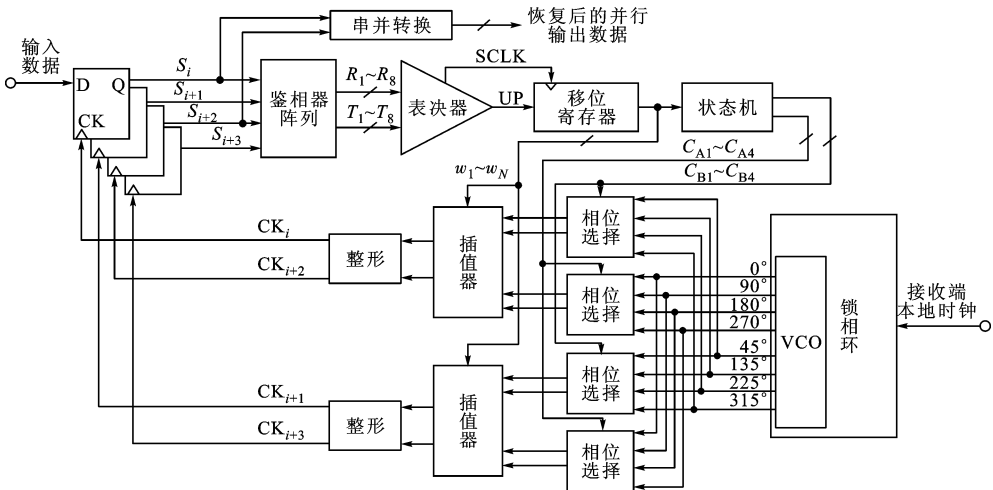


图 1 相位插值型 CDR 的整体结构

整个 CDR 电路系统构成一个负反馈结构,如图 1 所示。系统锁定时,采样时钟的上升沿对准输入数据码元的中间位置,实现最佳采样^[9]。

这种数字控制的相位调节是离散的。双向移位寄存器根据表决器的表决结果移位,UP 信号为 1 时,移位寄存器左移一个 1,滞后则右移一个 0,无跳变则不移位。当移位寄存器中的数据全为 1 或 0 时,状态机切换状态,相位选择电路选择相邻区间进行插值,同时移位寄存器向相反方向移位。移位寄存器的输出用来控制相位插值的权重,它的控制位数 N 决定了恢复时钟的精度和 CDR 的频率跟踪范围。理想情况下,每次调节的相位步进即恢复时钟的精度是 ϕ_0/N ,其中 ϕ_0 为插值器输入信号的相位差, ϕ_0 和移位寄存器的位宽 N 共同决定了相位插值的精度。图 2 给出了 ϕ_0 为 45° 、 $N=16$ 时插值器的工作原理示意图。工作过程中,CDR 电路根据鉴相和表决结果不断地调整采样时钟的相位,直到串行接收数据的相位刚好落在恢复时钟的相邻 2 个相位间隔内时,恢复时钟的相位达到动态锁定状态。

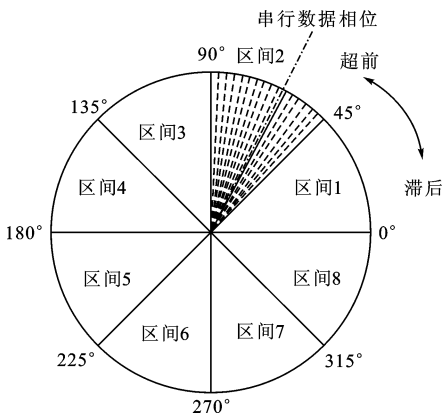


图 2 ϕ_0 为 45° 、 $N=16$ 时相位插值器的工作原理

一般情况下,串行/解串(SERDES)接口的发送端和接收端的时钟并非同源时钟,因此存在一定的频率偏差。CDR 的频率跟踪范围指的是 CDR 能容忍的接收时钟与发送时钟的频率偏差,若频率偏差超出频率跟踪范围,CDR 就不能正确地恢复出接收时钟。设发送时钟的频率为 f ,接收时钟的频率为 $f \pm \Delta f$,则只要调整一次相位所需的时间即 16 个时钟周期内积累的相位误差小于一次相位调整的步进,这样的频率偏差就能容忍,即

$$\frac{\Delta f}{f} < \frac{\phi_0}{N \times 360 \times 16} \quad (1)$$

从上面的分析中可以看出, N 越大,相位步进越小,恢复时钟的精度越高,但是 CDR 的频率跟踪

范围也会变小^[9],因此移位寄存器的位数需要折中考虑。本文采用的移位寄存器位数为 16 位。

1.2 鉴相表决策算法

鉴相器的作用是判断时钟相位超前还是滞后于数据跳变,但不能反映时钟与数据的具体相位差。在时钟存在抖动的情况下,单个鉴相器的鉴相结果是不准确的,因此需要多个鉴相器,并对它们的结果进行表决以增加鉴相结果的可靠性^[10]。

CDR 在接收的每 16 个串行数据位中,对其中 9 个连续数据位 ($D_{n+1} \sim D_{n+9}$) 进行鉴相和表决。为降低采样时钟的频率并减小功耗,采样电路采用相位差为 90° 的 4 相时钟进行半速率采样^[3]。在 1 次鉴相过程中,共需要 17 个时钟上升沿。第 i ($i=1, 2, \dots, 17$) 个时钟上升沿 CK_i 采样得到的数据为 S_i 。采用 8 个鉴相器对 17 个采样结果进行鉴相,第 k ($k=1, 2, \dots, 8$) 个鉴相器对 3 个采样结果 S_{2k-1} 、 S_{2k} 和 S_{2k+1} 进行鉴相,得到鉴相结果 R_k 和 T_k ,从而判断时钟超前还是滞后于数据跳变,如图 3 所示。

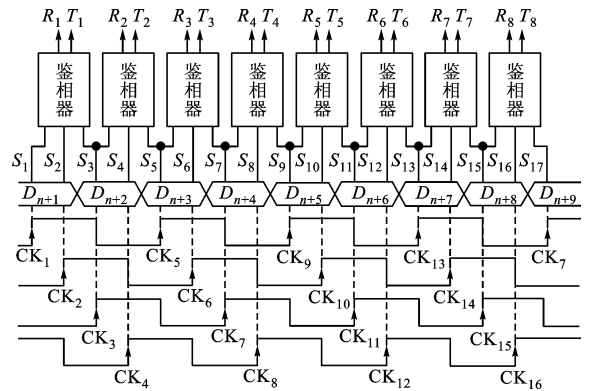


图 3 鉴相器工作原理示意图

鉴相器的算法如下:

- (1) 若 $S_{2k-1} \oplus S_{2k} = 0, S_{2k} \oplus S_{2k+1} = 1$, 则时钟上升沿超前数据跳变沿, $R_k = 1, T_k = 0$;
- (2) 若 $S_{2k-1} \oplus S_{2k} = 1, S_{2k} \oplus S_{2k+1} = 0$, 则时钟上升沿滞后数据跳变沿, $R_k = 0, T_k = 1$;
- (3) 若 $S_{2k-1} \oplus S_{2k} = 0, S_{2k} \oplus S_{2k+1} = 0$, 则数据没有跳变, $R_k = 0, T_k = 0$ 。

表决器对 8 个鉴相器的输出进行统计,得到表决结果。具体表决算法如下:

- (1) 若 $\sum R_k > \sum T_k$, 则认为时钟超前数据, 并将 UP 信号置为 1;
- (2) 若 $\sum R_k < \sum T_k$, 则认为时钟滞后数据, 将 UP 信号置为 0;
- (3) 若 $\sum R_k = \sum T_k$, 则认为数据没有跳变,

移位时钟 SCLK 在这个相位调整周期内不产生上升沿,移位寄存器不移位,插值电路保持不变。

1.3 相位插值电路

相位插值电路如图 4 所示。相位插值器对 2 对具有一定相位差 ϕ_0 的差动时钟 V_{ip1} 、 V_{in1} 和 V_{ip2} 、 V_{in2} 进行相位插值,得到相位介于两者之间的恢复时钟^[11];插值的权重控制信号 $w_1 \sim w_{16}$ 是移位寄存器中的 16 位数据,它通过改变 2 个差动对的尾电流来调整恢复时钟的相位^[5],尾电流控制着输入管 M1 $\sim$ M4 的跨导。2 对时钟信号分别通过输入管的跨导转化为电流 $I_{D1} \sim I_{D4}$ 。交叉求和得到的电流 I_{op} 和 I_{on} 的相位将介于 2 对时钟之间,即实现了权重信号控制下的相位插值。

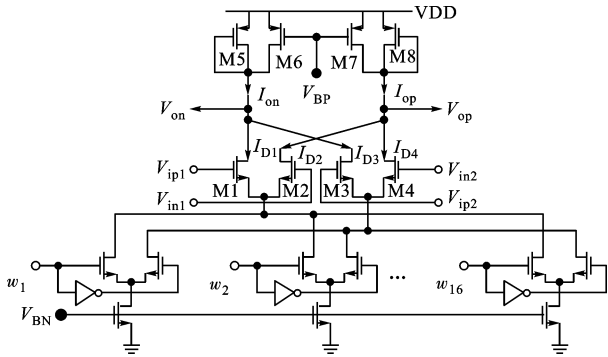


图 4 相位插值电路

2 传统相位插值器的线性度分析

相位插值电路最重要的指标是它的线性度,即改变权重控制信号时,插值输出时钟相位是否线性变化。非线性的相位变化会导致插值输出时钟相位不均匀,输出抖动也不均匀,恢复时钟精度变低。

在图 4 所示的相位插值电路中,假设所有尾电流源之和为 I ,且尾电流源晶体管尺寸相同,则在理想情况下,每个电流源的大小为 $(1/16)I$ 。设权重控制信号 $w_1 \sim w_{16}$ 之和为 w ,那么差动对 M1 和 M2 的尾电流为 $(w/16)I$,差动对 M3 和 M4 的尾电流为 $(1-w/16)I$ 。令差动对 M1 和 M2 的权重 $a=w/16$,则差动对 M3 和 M4 的权重为 $(1-a)$ 。用半边电路方法进行计算,则 M1、M3 的跨导为

$$g_{M1} = \left(2\mu_n C_{ox} \left(\frac{W}{L} \right)_{M1} I_{D1} \right)^{1/2} = \left(\mu_n C_{ox} \left(\frac{W}{L} \right)_{M1} aI \right)^{1/2} \quad (2)$$

$$g_{M3} = \left(2\mu_n C_{ox} \left(\frac{W}{L} \right)_{M3} I_{D3} \right)^{1/2} = \left(\mu_n C_{ox} \left(\frac{W}{L} \right)_{M3} (1-a)I \right)^{1/2} \quad (3)$$

式中: μ_n 为电子迁移率; C_{ox} 为单位面积氧化层电容; $(W/L)_{M1}$ 和 $(W/L)_{M3}$ 分别为 M1 和 M3 的宽长比。假定输入差动信号 V_{ip1} 、 V_{in1} 和 V_{ip2} 、 V_{in2} 近似为正弦信号,振幅为 $V_0/2$,且它们的相位差为 ϕ_0 ,即

$$V_{ip1} = \frac{V_0}{2} \sin(\omega t)$$

$$V_{ip2} = \frac{V_0}{2} \sin(\omega t + \phi_0) \quad (4)$$

整个相位插值电路的负载采用对称性结构,由锁相环中的自偏置电路复制得到,从而保证 2 个 PMOS 管的电流大小相同,总体负载阻抗由 M5 决定^[12],约为 $1/g_{M5}$ 。流过 M5 的电流 $I_{D5} = I_{on}/2$,其中, $I_{on} = I_{D1} + I_{D3} = I/2$,则 $I_{D5} = I/4$ 。那么 M5 的跨导可以表示为

$$g_{M5} = \left(2\mu_p C_{ox} \left(\frac{W}{L} \right)_{M5} I_{D5} \right)^{1/2} = \left(\frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_{M5} I \right)^{1/2} \quad (5)$$

式中: μ_p 为空穴迁移率。由此,整个插值器半边电路的输出电压可以表示为

$$V_{on} = \frac{1}{g_{M5}} (g_{M1} V_{ip1} + g_{M3} V_{ip2}) \quad (6)$$

将式(2)、(3)、(4)、(5)带入式(6),得到输出插值时钟的表达式为

$$V_{on} = k_0 \sin(\omega t + \theta) \left(1 + 2(a(1-a))^{1/2} \cos \phi_0 \right)^{1/2} \quad (7)$$

$$k_0 = V_0 \left(\frac{1}{2} \frac{\mu_n}{\mu_p} \frac{(W/L)_{M1}}{(W/L)_{M5}} \right)^{1/2} \quad (8)$$

$$\theta = \arctan \left(\frac{(1-a)^{1/2} \sin \phi_0}{a^{1/2} + (1-a)^{1/2} \cos \phi_0} \right) \quad (9)$$

式中: a 为电流源权重。从前述可知,传统相位插值器的尾电流源采用等值电流源阵列, $w_1 \sim w_{16}$ 对插值器 2 个差动对尾电流的控制是线性的。然而,由式(9)可以看出,相位插值器输出时钟信号的相位与电流源权重 a 的关系显然是非线性的。

另外,根据式(9),电流源权重 a 对输出信号相位的控制关系还与插值器 2 个输入信号的相位差 ϕ_0 有关。为了更直观地说明这种关系,图 5 给出了 ϕ_0 为不同值时,输出信号相位与 a 之间的关系。可以看出, ϕ_0 越大,输出相位的非线性越严重,因此要求减小 ϕ_0 以降低非线性。然而,减小插值信号的相位差需要增加环形 VCO 的级数,从而会降低 VCO 的振荡频率,而且还会增加电路的功耗和面积。因此需要在输出相位的线性度和电路的面积之间折中考虑。本文采用相位差为 45° 的 2 对互补时钟进行插值。

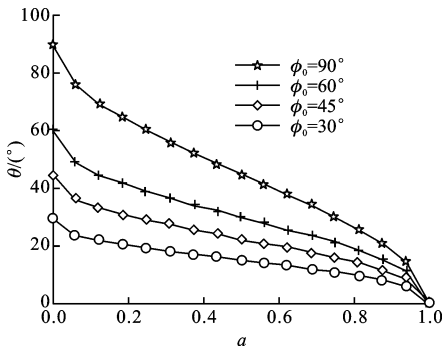


图 5 输出插值信号相位与尾电流源权重的关系

在 ϕ_0 为 45° 的情况下,若插值器的输出相位具有理想的线性特性,则输出信号的相位控制精度为 $45^\circ/16=2.8125^\circ$ 。在 2.5 Gb/s 的数据速率下,可以换算出 CDR 电路锁定后输出时钟的确定性抖动的峰峰值为 6.25 ps。实际上,由于相位插值器具有上述非线性特性,恢复时钟相位的精度和确定性抖动的峰峰值由最大的相位步进决定。按照式(9)可以算出最大的确定性抖动的峰峰值为 8.78 ps,因此为了降低抖动,对插值器进行相位线性化是非常必要的。

3 插值器的线性化方法

根据上面的分析,对插值器的输出相位线性化就是要使权重控制信号之和 w 对输出信号相位 θ 的控制是线性的,而 w 是通过改变插值器 2 个差动对尾电流源的权重 a 来实现相位调节的。若将 w 与 a 的函数关系表示为 $a=g(w)$, θ 与 a 的函数关系表示为 $\theta=f(a)$,则 θ 与 w 的函数关系为

$$\theta = f[g(w)] \quad (10)$$

对于采用等值电流源阵列的传统结构, a 是 w 的线性函数($a=w/16$),根据式(9)可以直接给出 θ 与 a 之间的非线性函数关系曲线,如图 6a 所示。

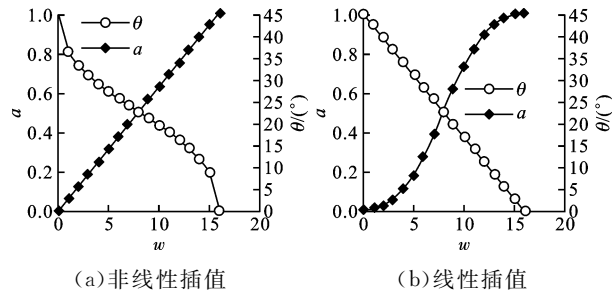


图 6 控制权重 w 、尾电流权重 a 与输出相位 θ 的变化关系

本文线性化方法的关键是按照图 6b 的曲线,找出使 $\theta=f(w)$ 为线性函数的 $a=g(w)$,并在电路中实现。由于 w 、 a 和 θ 都是离散量,只要通过式(9)

的反函数 $a=f^{-1}(\theta)$ 计算出在 $0^\circ\sim45^\circ$ 内均匀变化的 17 个 θ 值对应的 a 值,就可以反推出所需的非线性函数 $a=g(w)$ 。实际实现时,保持总的尾电流源值不变,按照得出的 $a=g(w)$ 确定出 16 个电流源的具体值,再确定出每只电流源晶体管的尺寸。可见,本文方法的优点是保持传统电路结构不变,从而简化电路设计。对于 ϕ_0 为 45° , $N=16$ 的情况,传统结构每个电流源电流的大小占总电流的比例 α 为 6.25%;按照本文提出的上述方法,可以得出 16 个电流源电流分别占总电流的比例关系如表 1 所示。

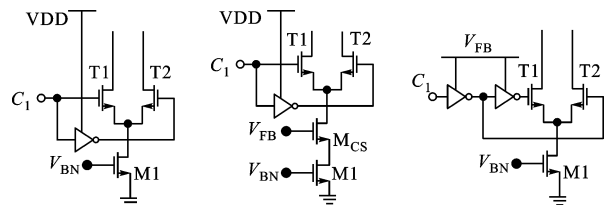
表 1 本文提出的非等值电流源阵列的比例关系

电流源编号	1,16	2,15	3,14	4,13
$\alpha/\%$	0.53	1.80	3.39	5.26
电流源编号	5,12	6,11	7,10	8,9
$\alpha/\%$	7.28	9.24	10.81	11.70

按照上述方法,理论上可以实现完全线性的插值器。然而,上述的分析与计算没有考虑电路的非理想效应。实际上,传统插值器电路尾电流源阵列中的单个电流源由工作在饱和区的晶体管 M1 实现,控制信号 C_1 通过开关管 T1 和 T2 来控制尾电流的流向,如图 7a 所示。由于沟道长度调制效应的影响,阵列中各电流源之间的比例可能会出现较大的失配,从而严重降低插值器的线性度。

降低沟道长度调制效应的一般方法是采用共源共栅结构,通过增加共栅管(M_{CS})和额外的偏置电压 V_{FB} 实现共源共栅结构,如图 7b 所示。这种结构可以大大地降低沟道长度调制效应的影响,但是增加共栅管将会牺牲一定的输出电压摆幅,并增加了电路面积。

为了用共源共栅结构抑制沟道长度调制效应,并且不降低输出电压摆幅。本论文提出了一种改进的电流源结构,利用导通时的控制开关 T1 或 T2 作为共源共栅晶体管,并将驱动 T1 和 T2 的反相器的供电电压降低为 V_{FB} ,如图 7c 所示。改进后,若某个开关管截止,则其栅压为 0,可以有效地关断。开



(a)单管电流源 (b)共源共栅电流源 (c)本文电流源

图 7 3 种电流源

关导通时,栅压为 V_{FB} ,可以确保开关管工作在饱和区,实现共源共栅电流源,抑制了沟道长度调制效应,同时不影响电压裕度。

4 仿真结果

本文采用 TSMC 0.25 μm CMOS 工艺设计了一款基于线性相位插值的 CDR,电源电压为 2.5 V。

为了对比改进效果,图 8 给出了采用等值电流源阵列的传统相位插值器输出信号的仿真结果,图中每条曲线对应移位寄存器逐位变化时输出结果。这些信号的相位调整步距由它们的过零点的时间间隔反映。仿真结果显示,相位的变化规律与图 6 所示的理论分析结果相同,接近相位调整区间边界的相位步距较大,而区间中间的相位变化小,造成区间内相位分布很不均匀。最大的过零点时间间隔为 10.23 ps,与理想特性的误差为 63.68%。

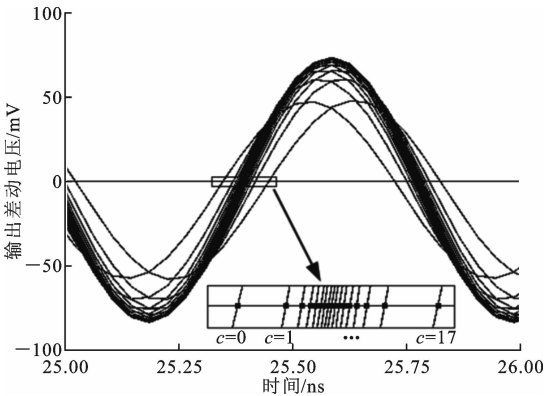


图 8 传统相位插值器仿真结果

对于本文提出的采用非等值电流源阵列的插值器的仿真结果如图 9 所示,可以看出,插值输出时钟的相位几乎是等间隔的。图中的最大时间间隔为 6.84 ps,最小时间间隔为 5.92 ps,最大误差为 $(6.84 - 6.25) / 6.25 = 9.44\%$ 。

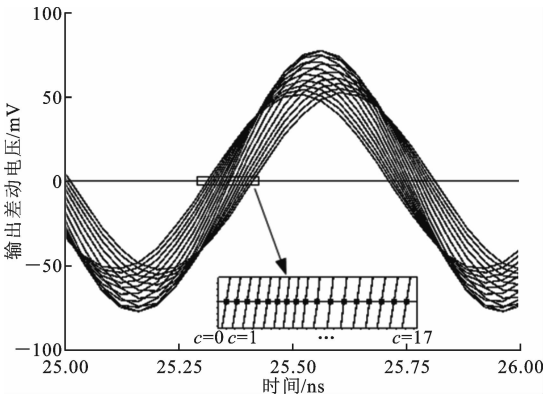


图 9 本文相位插值器仿真结果

考虑到版图和工艺制造会影响器件的匹配度,对改进插值器进行蒙特卡罗仿真。尾电流管的宽、长、栅氧厚度和阈值电压的失配度呈均值为 0、标准差为 1 的高斯分布时,仿真结果如图 10 所示,100 次仿真的均值为 6.5123 ps,标准差为 0.7 ps。改进后的插值器能很好地抵抗器件不匹配的影响。

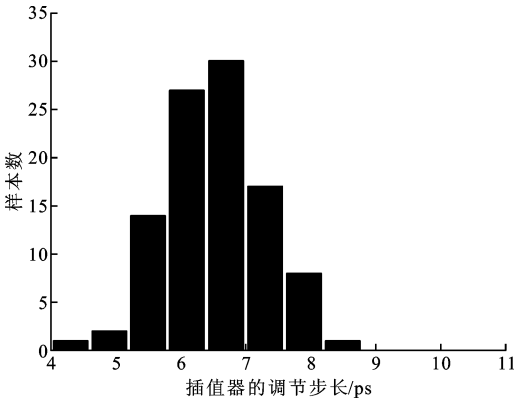


图 10 插值器调节步长的蒙特卡罗仿真结果

本文相位插值器的详细参数在表 2 中进行了总结,并与一些相关文献进行了对比,可见本文相位插值器通过改变权重的方法得到了很高的线性度。

表 2 插值器性能对比

相位插值器来源	工艺特征尺寸/ μm	线性化措施	$\phi_0 / (^\circ)$	N	最大相位误差/ $\%$
文献[3]	0.065	无	90	16	37.6
文献[5]	0.13	有	360	64	
文献[13]	0.25	无	90	16	42.2
文献[14]	0.8	无	30	16	103
本文	0.25	有	45	16	9.44

在 2.5 Gb/s 的数据速率下,分别采用传统的非线性插值器和本文提出的线性插值器对整个 CDR 的恢复时钟的眼图进行了仿真,仿真结果分别在图 11 和图 12 中给出。仿真中,CDR 本地时钟频率与接收数据的时钟频率偏差设为 0.02%。

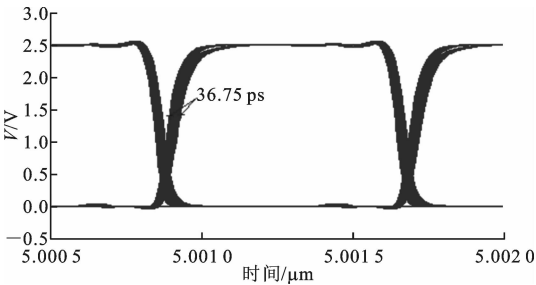


图 11 基于传统插值器的 CDR 恢复时钟的眼图

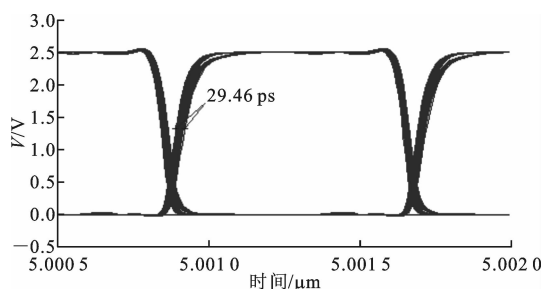


图12 基于本文线性相位插值器的CDR恢复时钟的眼图

一般来说,在2.5 Gb/s的速率下,要达到 10^{-12} 的误码率,时钟抖动的峰峰值应小于49 ps^[15]。对比图11和图12可见,采用本文提出的线性相位插值器将CDR输出时钟的抖动从36.72 ps降低为29.46 ps。整个CDR电路的功耗为106 mW。

5 总 结

本文提出了一种基于非等值电流源阵列的线性相位插值器。在对传统相位插值器进行理论分析基础上,按照电流权重与输出相位的反函数关系,确定了电流源阵列中每个电流源的设计比例,有效地提高了输出时钟相位的线性度。本文采用0.25 μm CMOS工艺设计了一款基于线性相位插值器的CDR电路。仿真结果表明:传统结构插值器的最大相位误差为63.68%,而本文所提出的线性相位插值器的最大相位误差仅为9.44%,可有效地降低CDR输出时钟的抖动。

参考文献:

- [1] HSIEH M, SOBELMAN G E. Architectures for multi-gigabit wire-linked clock and data recovery [J]. IEEE Circuits and Systems Magazine, 2008, 8(4): 45-57.
- [2] 孙烨辉,江立新. 时钟数据恢复电路中相位插值器的分析与设计 [J]. 半导体学报, 2008, 29(5): 930-935. SUN Yehui, JIANG Lixin. Analysis and design of a phase interpolator for clock and data recovery [J]. Journal of Semiconductors, 2008, 29(5): 930-935.
- [3] HU Shijie, JIA Chen, HUANG Ke, et al. A 10 Gbps CDR based on phase interpolator for source synchronous receiver in 65nm CMOS [C]//Proceedings of the 2012 IEEE International Symposium on Circuits and System. Piscataway, NJ, USA: IEEE, 2012: 309-312.
- [4] CHEN L, SPAGNA F, MARZOLF P, et al. A 90 nm 1-4.25-Gbs multi data rate receiver for high speed serial links [C]//Proceedings of IEEE Asian Solid-State

- Circuits Conference. Piscataway, NJ, USA: IEEE, 2006: 391-394.
- [5] WEI Longfei, JI Jinyue, LIU Haiqi, et al. A multi-rate SerDes transceiver for IEEE 1394b applications [C]//Proceedings of the 2012 IEEE Asia Pacific Conference on Circuits and Systems. Piscataway, NJ, USA: IEEE, 2012: 316-319.
- [6] 李轩,张长春,李卫,等. 2.5 Gb/s PS/PI型半速率时钟数据恢复电路设计 [J]. 微电子学, 2014, 44(6): 793-797. LI Xuan, ZHANG Changchun, LI Wei, et al. Design of a 2.5 Gb/s PS/PI based half-rate clock and data recovery circuit [J]. Microelectronics, 2014, 44(6): 793-797.
- [7] MANEATIS J G. Low-jitter process-independent DLL and PLL based on self-biased techniques [J]. IEEE Journal of Solid-State Circuits, 2002, 31(11): 1723-1732.
- [8] STROLLO A G M, DE CARO D, NAPOLI E, et al. A novel high-speed sense-amplifier-based flip-flop [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2005, 13(11): 1266-1274.
- [9] SOH L K, WONG W T, LEE S W, et al. Programmable low-dithering-jitter interpolator-based CDR [C]//Proceedings of 13th International Symposium on Integrated Circuits. Piscataway, NJ, USA: IEEE, 2011: 444-447.
- [10] HE M Y, POULTON J. A CMOS mixed-signal clock and data recovery circuit for OIF CEI-6G+ backplane transceiver [J]. IEEE Journal of Solid-State Circuits, 2006, 41(3): 597-606.
- [11] KREIENKAMP R, LANGMANN U, ZIMMERMANN C, et al. A 10-Gb/s CMOS clock and data recovery circuit with an analog phase interpolator [J]. IEEE Journal of Solid-State Circuits, 2005, 40(3): 736-743.
- [12] MANEATIS J G, HOROWITZ M A. Precise delay generation using coupled oscillators [J]. IEEE Journal of Solid-State Circuits, 1993, 28(12): 1273-1282.
- [13] FUKAISHI M, NAKAMURA K, HEIUCHI H. A 20-Gb/s CMOS multichannel transmitter and receiver chip set for ultra-high-resolution digital displays [J]. IEEE Journal of Solid-State Circuits, 2000, 35(11): 1611-1618.
- [14] SIDIROPOULOS S, HOROWITZ M A. A semidigital dual delay-locked loop [J]. IEEE Journal of Solid-State Circuits, 1997, 32(11): 1683-1692.

(编辑 刘杨)