

DOI: 10.7652/xjtuxb201702009

面向复杂电磁环境的容错电路系统设计技术

张峻宾, 蔡金燕, 孟亚峰

(军械工程学院电子与光学工程系, 050003, 石家庄)

摘要: 为解决复杂电磁环境中冗余容错电路系统容错形式单一、容错能力有限、冗余单元利用不充分和可靠性低等问题,提出了一种新颖的交互式-协同故障容错(ICFT)技术。根据整个电路系统预期输出信号,利用硬件本身冗余无故障单元替换故障单元。结合硬件演化(EHW)和补偿平衡技术(RBT),当冗余无故障单元不足时,采用被动式 ICFT 技术对既有故障实现容错。当采用被动式 ICFT 技术失败时,采用主动式 ICFT 技术,通过注入故障并重新分配子电路功能实现容错。仿真结果表明:与常规冗余容错(CRFT)和硬件演化(EHW)相结合的技术 CRFT-EHW 相比,采用 ICFT 技术能够容忍的工作电路最大故障单元累积量为 41 个,远大于采用 CRFT-EHW 技术时的 16 个。

关键词: 复杂电磁环境;冗余容错;容错电路;硬件演化;交互式-协同

中图分类号: TP302.8 **文献标志码:** A **文章编号:** 0253-987X(2017)02-0053-07

A Design Technology of Fault Tolerance Circuit Systems Facing Complex Electromagnetic Environments

ZHANG Junbin, CAI Jinyan, MENG Yafeng

(Department of Electronic and Optical Engineering, Ordnance Engineering College, Shijiazhuang 050003, China)

Abstract: A novel design technology for fault tolerance circuit systems based on interactive-collaborative fault tolerance (ICFT) technology is proposed to solve the problems that the redundant fault tolerance circuit systems have single fault tolerance form, their fault tolerance ability is limited, the use of redundant units is insufficient, and the reliability is low in complex electromagnetic environment. Fault units are replaced by redundant trouble-free units according to the expected output signals of the whole circuit system. When there are not enough redundant trouble-free units, the evolvable hardware (EHW) and the reparation balance technology (RBT) are combined, and then the passive-ICFT technology is used to achieve fault tolerance for existing fault. The active-ICFT is used only when the passive-ICFT fails, and then sub-circuit functions are redistributed. Simulation results show that the max faults units cumulative of working circuit of ICFT technology are forty-one, which are far greater than sixteen of conventional redundant fault tolerance and EHW (CRFT-EHW) technology.

Keywords: complex electromagnetic environment; redundant fault tolerance; fault tolerance circuits; evolvable hardware; interactive-collaborative

随着电子技术不断发展,电子装备集成度越来越高,为提高电子系统的可靠性,常数冗余容错 (conventional redundant fault-tolerance, CRFT) 技术受到了广泛应用,比如双模冗余^[1]、双机热备^[2-3]

收稿日期: 2016-09-18。 作者简介: 张峻宾(1987—),男,博士生;蔡金燕(通信作者),女,教授,博士生导师。 基金项目: 国家自然科学基金资助项目(61271153,61372039,61601495)。

网络出版时间: 2016-11-24 网络出版地址: <http://www.cnki.net/kcms/detail/61.1069.T.20161124.1900.008.html>

和多模冗余^[4]等技术。但是,对于大温差、强电磁、深空、深海等复杂环境的月球车、卫星等电子系统,正常工作易受影响,并且受限于体积、质量等因素时,不能够对在这些特殊环境中的电子系统中所有元器件/插件实现备份。即使一些研究实现了对常规冗余结构的改进,但电路始终不具备通过重构实现容错的能力。研究者将新兴的硬件演化(evolvable hardware,EHW)技术^[5-6]和 CRFT 技术相结合形成 CRFT-EHW 技术,虽解决了重构问题,但仍存在故障容错能力有限、冗余无故障逻辑单元利用不充分等问题^[7-9]。为进一步提高复杂电磁环境下电子系统的容错能力,保证电子系统持久稳定运行,本文提出一种新颖的交互式-协同电子电路故障容错(interactive-collaborative fault tolerance, ICFT)技术,在基于 EHW 技术和补偿平衡技术(reparation balance technology,RBT)的故障自修复策略^[10]基础上,以虚拟可重构电路(virtual reconfigurable circuit,VRC)为硬件载体^[8-9,11],充分利用整个电路系统上各硬件冗余无故障逻辑单元。首先采用被动式 ICFT 技术修复故障,当被动式 ICFT 技术失败时,再采用主动式 ICFT 技术,将电路功能合理的分解后再组合,实现故障容错修复,最终使各个硬件的故障容错能力得到显著提升。

1 RBT 技术和 VRC 平台基本原理

EHW 技术是以演化算法为组合优化和全局搜索工具,通过模拟进化来获得具备预期功能的电路和系统结构^[5-6,10]。在前期研究过程中,提出了将 EHW 技术和 RBT 技术相融合实现故障修复的策略^[10],通过设计的矫正电路(rectification circuit, RTC)对故障信号实现修复。配置被测电路(unit under test,UUT)和 RTC 在两个硬件上实现协同修复故障,详细的基本原理可见文献^[10]。

由于目前难以控制、访问、修改 FPGA 的逻辑单元,使得 EHW 技术发展遇到了瓶颈问题^[12]。为解决以上问题,研究者们提出了在 FPGA 芯片内部设置了由多个可编程单元(programmable elements,PE)组成阵列,构成 VRC^[8-9,11]。基于 VRC 的硬件平台将作为故障容错实现的硬件基础。

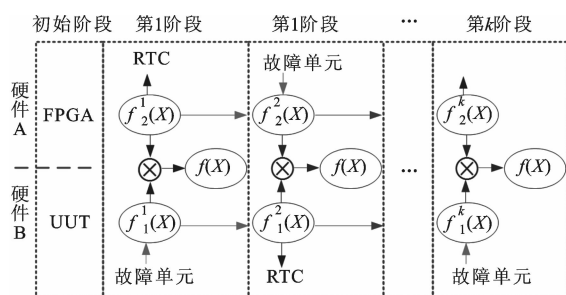
2 交互式-协同故障容错技术

2.1 交互式-协同容错技术基本原理

本文所提出的交互式-协同容错技术——ICFT 技术的基本原理示意图如图 1 所示。所谓 ICFT 技

术,是指当两个硬件作为整体实现某一功能时,在基于 EHW 技术和 RBT 技术故障自修复策略基础上,当 UUT 和 RTC 部分或全部出现故障后,根据具体的故障现象,结合整个电路系统预期输出信号,分别演化对应的 RTC。根据演化时间消耗和硬件资源消耗等约束条件,将对应的 RTC 配置在对应硬件上,动态实现电路故障容错。

在容错过程中,UUT 和 RTC 所在的硬件身份可互换。如图 1 中所示,硬件 A 和硬件 B 均既可作为 UUT,又可作为 RTC,但它们不能同时作为 UUT 或 RTC。



k 为容错阶段编号; X 为输入信号集合; $f_1^k(X)$ 为第 k 个阶段

硬件 B 电路布尔函数; $f_2^k(X)$ 为第 k 阶段硬件 A 电路布

尔函数; $f(X)$ 为整个电路系统布尔函数

图 1 交互式-协同故障容错技术基本原理示意图

ICFT 技术可分为被动式 ICFT 技术和主动式 ICFT 技术,其定义分别如下。

(1)被动式 ICFT 技术。当硬件 A 或硬件 B 出现故障时,分别对出现故障的电路采用基于 EHW 和 RBT 的故障修复策略,演化出的 RTC 硬件资源消耗必须小于等于需配置的硬件无故障 PE 总数。否则,将会因没有足够无故障 PE 配置 RTC 电路,造成故障容错失败。

(2)主动式 ICFT 技术。当被动式 ICFT 技术失败时,对硬件 A 和硬件 B 上电路全部进行重新配置,且保证:两个电路功能异或操作后为正常输出信号;各自需要消耗 PE 总数小于等于各自配置硬件无故障 PE 总数。

在采用主动式 ICFT 技术中,演化出的电路在配置时需进行优化处理。当两个演化出的电路均能分别在硬件 A 和硬件 B 上成功配置下载时,硬件资源消耗多的电路配置在无故障空闲 PE 较多的硬件上,从而保证每个硬件上配置的电路,均能通过重新布局布线,实现故障容错。

2.2 交互式-协同容错技术的基本流程

在 ICFT 技术故障容错过程中,需考虑的指标

有 RTC 电路演化的时间消耗、RTC 的硬件资源消耗和硬件本身无故障逻辑资源数量,其中硬件本身无故障逻辑资源数量最重要,其必须大于 UUT 硬件消耗量或 RTC 硬件消耗量。

在电路演化时间消耗大约一致时,选择硬件资源消耗较少的 RTC 进行配置(对应的演化时间消耗较长);否则,选择时间消耗最少的 RTC 进行配置(对应的硬件资源消耗可能最少)。

在每次电路演化的过程中,尽量将硬件资源消耗降到最低。为便于表述,作以下定义:在故障修复第 k 阶段,采用被动式 ICFT 技术,对硬件 A 配置的电路进行矫正修复,设计的矫正电路配置在硬件 B 上,记为 RTC-A-to-B- k 电路。相应地,对硬件 B 出现的故障进行矫正修复而设计的 RTC,记为 RTC-B-to-A- k 电路。

在故障修复第 k 个阶段,采用主动式 ICFT 技术,当主动式 ICFT 技术成功时,配置在硬件 A 上的电路记为 RTC-A-to-A- k 电路,配置在硬件 B 上的电路记为 RTC-B-to-B- k 电路。ICFT 技术的基本流程如图 2 所示。

配置的电路出现故障,均首先采用自身冗余无故障逻辑单元替换故障单元实现故障容错;二是在任何阶段,均首先采用被动式 ICFT 技术,只有当被动式 ICFT 技术失败时,才采用主动式 ICFT 技术。

3 实例仿真分析

为对提出的 ICFT 技术的可行性和有效性进行验证,选取 5 位表决器电路,其特征为当至少 3 位输入为 1 时,整个电路的输出才为 1。采用常规遗传离散粒子群算法作为电路演化算法^[13-15],且采用三进制编码,其编码规则见文献^[16]。

在电路演化过程中,采用引导式电路演化方法。首先按经验预估电路编码规模,作为初始电路编码规模。如果演化成功,记录此时演化出的目标电路规模,并作为初始电路编码规模再次演化电路,此时成功演化后的电路编码,作为最终的目标电路编码;如果初始电路演化未成功,代表电路编码规模较小,将扩大电路编码规模进行演化,直到初始电路编码能够演化成功为止。

首先对选取的 5 位表决器电路进行演化,设置最大演化次数 20 000 次(在后面各故障容错阶段,均设置最大演化次数为 20 000 次)演化出的目标电路编码矩阵如下

$$\begin{bmatrix} 0 & 0 & 0 & 2 & 2 \\ 0 & 0 & 2 & 0 & 2 \\ 0 & 0 & 2 & 2 & 0 \\ 0 & 2 & 0 & 0 & 2 \\ 0 & 2 & 0 & 2 & 0 \\ 0 & 2 & 2 & 0 & 0 \\ 1 & 0 & 0 & 2 & 0 \\ 1 & 2 & 0 & 0 & 0 \\ 2 & 0 & 0 & 0 & 2 \\ 2 & 0 & 2 & 0 & 0 \end{bmatrix}$$

(1)

式(1)对应的演化数据如图 3 所示。

从图 3 和对应的目标电路编码矩阵可知,目标电路共使用了 32 个基本门单元。在后续的电路演化过程中,演化出的电路只用基本门(与门、或门、非门)表示,对应的 PE 也只表征这 3 种逻辑。

设定的配置下载硬件是 VRC,假设其规模为 5 行 8 列共 40 个 PE 的阵列,初始布局在硬件 B 上的 UUT 需要使用 32 个 PE。

3.1 第 1 故障容错阶段和第 2 故障容错阶段

当硬件 B 首次配置 UUT 后,在单个 PE 出现故障时,通过重新布局 UUT,最多只能容错 8 个故

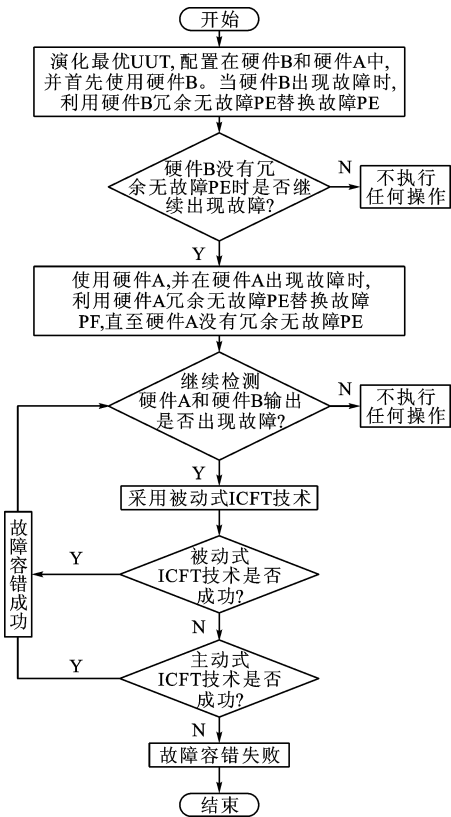


图 2 ICFT 技术基本流程图

从图 2 可以看出,ICFT 技术的基本流程具有以下特点:一是在任何阶段,当硬件 A 和硬件 B 上

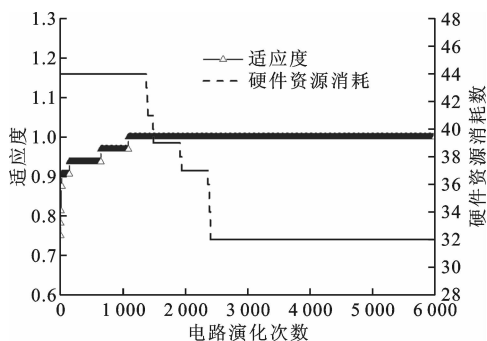


图 3 UUT 初始演化时相关演化数据

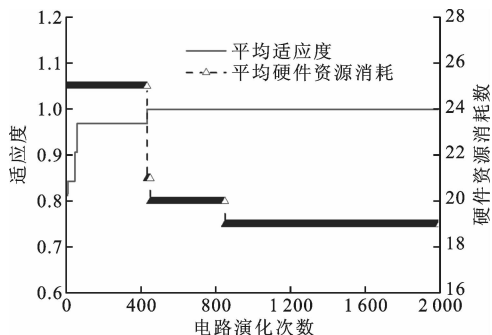


图 5 RTC-B-to-A-3 电路演化数据

障 PE,此过程为第 1 故障修复阶段。

当硬件 B 上故障 PE 数量超过 8 个时,设定为 9 个故障 PE。由于此时无空闲 PE,因此只能在硬件 A 上配置与硬件 B 上一样的 UUT 电路,此时进入第 2 故障容错阶段。

由于硬件 A 和硬件 B 规模一样,具有的 PE 总数也一样,所以硬件 A 最多只能容错 8 个故障 PE。

3.2 第 3 故障容错阶段

由于硬件 A 有 9 个 PE 单元出现故障,此时采用被动式 ICFT 技术,在硬件 A 上配置与硬件 B 上 UUT 对应的 RTC(记为 RTC-B-to-A-3 电路),从而实现故障容错。假设硬件 B 上出现 9 个故障 PE 时所对应的电路编码变化如图 4 所示,虚线框里是编码变化位置。

$$\begin{bmatrix} 0 & 0 & 0 & 2 & 2 \\ 0 & 0 & 2 & 0 & 2 \\ 0 & 0 & 2 & 2 & 0 \\ 0 & 2 & 0 & 0 & 2 \\ 0 & 2 & 0 & 2 & 0 \\ 0 & 2 & 2 & 0 & 0 \\ 1 & 0 & 0 & 2 & 0 \\ 1 & 2 & 0 & 0 & 0 \\ 2 & 0 & 0 & 0 & 2 \\ 2 & 0 & 2 & 0 & 0 \end{bmatrix} \rightarrow \begin{bmatrix} 0 & 0 & 0 & 2 & 2 \\ 0 & 0 & 2 & 0 & 2 \\ 2 & 2 & 2 & 2 & 0 \\ 0 & 2 & 0 & 0 & 2 \\ 0 & 2 & 0 & 2 & 0 \\ 0 & 2 & 2 & 0 & 0 \\ 1 & 0 & 0 & 2 & 0 \\ 1 & 2 & 0 & 0 & 0 \\ 2 & 0 & 0 & 0 & 2 \\ 2 & 0 & 2 & 0 & 0 \end{bmatrix}$$

(a)原电路编码 (b)注入故障电路编码

图 4 第 3 故障容错阶段硬件 B 电路编码矩阵变化图

采用引导式电路演化方案,经过电路演化后得到的最终编码规模仍为 4×5 。适应度函数和硬件资源消耗均在演化到 900 次左右趋于稳定,因此电路演化前 2 000 次演化数据如图 5 所示。

图 5 对应的电路编码矩阵如下

$$\begin{bmatrix} 1 & 1 & 1 & 2 & 0 \\ 1 & 1 & 2 & 1 & 0 \\ 1 & 2 & 1 & 1 & 0 \\ 2 & 1 & 1 & 1 & 0 \end{bmatrix} \quad (2)$$

最终,RTC-B-to-A-3 电路使用了 19 个 PE。由于硬件 A 上已有 9 个故障 PE,还剩 31 个无故障 PE,成功配置 RTC-B-to-A-3 电路后,还剩 12 个空闲 PE,

因此被动式 ICFT 技术成功,且硬件 A 最多能够再容错 12 个故障 PE。但是,当硬件 A 上故障 PE 单元大于 21 时,硬件 A 已无足够冗余无故障 PE 配置 RTC-B-to-A-3 电路,电路系统输出将会出现故障,此时将进入第 4 故障容错阶段。

3.3 第 4 故障容错阶段

对于硬件 A 工作电路中 1 个无故障 PE 注入故障,所对应的电路编码矩阵变化如图 6 所示。

$$\begin{bmatrix} 1 & 1 & 1 & 2 & 0 \\ 1 & 1 & 2 & 1 & 0 \\ 1 & 2 & 1 & 1 & 0 \\ 2 & 1 & 1 & 1 & 0 \end{bmatrix} \rightarrow \begin{bmatrix} 1 & 1 & 1 & 2 & 0 \\ 1 & 1 & 2 & 1 & 0 \\ 2 & 2 & 2 & 1 & 0 \\ 2 & 1 & 1 & 1 & 0 \end{bmatrix}$$

(a)原电路编码 (b)注入故障电路编码

图 6 第 4 故障容错阶段硬件 A 电路编码矩阵变化图

首先采用被动式 ICFT 技术和引导式电路演化方案,对应的电路演化相关数据如图 7 所示,最终得到的 RTC-A-to-B-4 电路编码如下

$$\begin{bmatrix} 0 & 0 & 0 & 2 & 1 \\ 0 & 0 & 2 & 0 & 2 \\ 0 & 2 & 0 & 0 & 2 \\ 1 & 1 & 2 & 2 & 0 \\ 1 & 2 & 1 & 2 & 0 \\ 2 & 0 & 0 & 0 & 2 \\ 2 & 1 & 1 & 2 & 0 \end{bmatrix} \quad (3)$$

由图 7 可知,最终演化出的 RTC-A-to-B-4 电路总共使用了 25 个 PE,因此能够成功配置 RTC-A-to-B-4 电路到硬件 B,被动式 ICFT 技术成功,此时硬件 B 总共最多能够容错 15 个故障 PE。当硬件 A 上故障 PE 数量大于 21 或硬件 B 故障 PE 数量大于 15 时,电路系统输出将出现故障,此时进入第 5 故障容错阶段。

3.4 第 5 故障容错阶段

在第 4 阶段故障容错后,假设硬件 A 上 RTC-B-to-A-3 电路继续出现故障,且故障 PE 数量等于

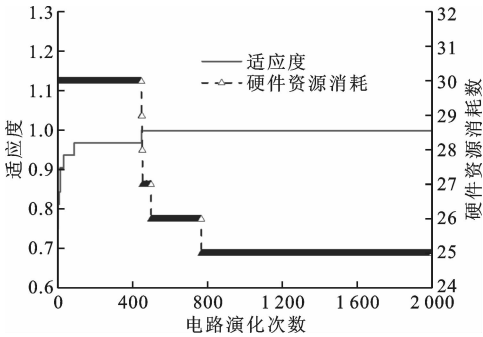


图 7 RTC-A-to-B-4 电路演化数据

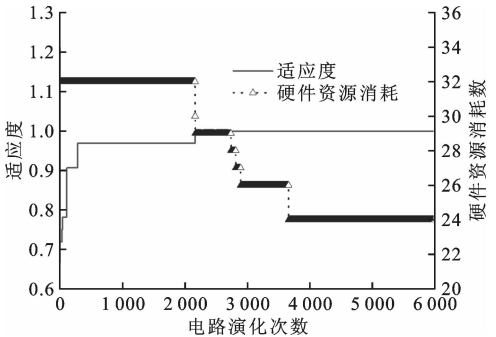


图 9 RTC-B-to-B-5 电路演化数据

23,此时整个电路系统输出将出现故障。对硬件 A 工作电路中 2 个无故障 PE 注入故障,对应的电路编码矩阵变化如图 8 所示。

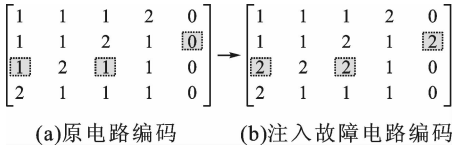


图 8 第 5 故障容错阶段硬件 A 电路编码矩阵变化图

首先采用被动式 ICFT 技术,继续采用引导式电路演化方案,经多次重复电路演化发现,RTC-A-to-B-5 电路至少需要消耗 29 个 PE。由于硬件 B 只剩余 25 个无故障 PE,使得 RTC-A-to-B-5 电路无法在硬件 B 上成功配置,此时被动式 ICFT 技术失败,将采用主动式 ICFT 技术。

在采用主动式 ICFT 技术时,需对硬件 A 和硬件 B 上的电路分别注入故障。对硬件 A 上 RTC-B-to-A-3 电路注入故障,注入故障后的电路记为 RTC-A-to-A-5 电路,其电路编码矩阵如下

$$\begin{bmatrix} 1 & 1 & 1 & 2 & 0 \\ 1 & 1 & 2 & 1 & 2 \\ 2 & 1 & 1 & 1 & 0 \end{bmatrix} \tag{4}$$

由电路编码矩阵可得,RTC-A-to-A-5 电路消耗了 14 个 PE,能够在硬件 A 和硬件 B 上成功配置下载,且均剩有空余无故障 PE,此时演化对应 RTC 记为 RTC-B-to-B-5 电路。经过电路演化后,截取前 6 000 次演化数据,如图 9 所示。

由图 9 可知,RTC-B-to-B-5 电路总共消耗了 24 个 PE,由于硬件 B 上剩余 25 个无故障 PE,即 RTC-B-to-B-5 电路能够在硬件 B 上成功配置,且还剩余 1 个无故障 PE,主动式 ICFT 技术成功。但是,RTC-A-to-A-5 电路和 RTC-B-to-B-5 电路不能交叉配置。另外,由于硬件 A 已有 23 个故障 PE,最多允许新增 3 个故障 PE;硬件 B 已经有 15 个故障 PE,最多允许新增 1 个故障 PE。

3.5 其他补充情况

通过以上 5 个故障容错阶段,如果电路系统继续出现故障,仍首先采用被动式 ICFT 技术,再采用主动式 ICFT 技术。当主动式 ICFT 技术失败时,整个电路系统将不能继续容错修复。

针对多输入多输出电路系统,故障容错仍严格按照图 2 所示流程。在后续的容错过程中,存在设计的 RTC 电路输入信号数量少于 UUT 输入信号数量的可能性,而输入信号将由整个电路系统中的多路开关(multiplexer, MUX)进行转接,使输入信号能够选择性地输入硬件 A 和硬件 B。由于多输入多输出电路可能存在只有某个输出端出现故障的现象,因此当演化设计的电路输出端数量增加时,输出端也将通过电路系统的 MUX 进行转接。

4 容错能力对比分析

在使用 CRFT 技术时,硬件 A 和硬件 B 构成的是双机热备结构,此时电路不具备电路重构能力;在使用 CRFT-EHW 技术后,电路系统具备了一定的重构能力。结合本文提出的 ICFT 技术及实例仿真验证中 5 个故障容错阶段出现的故障,比较 3 种容错技术的故障容错能力,结果如图 10 所示。

从图 10 中可以看出,CRFT 技术的故障容错能

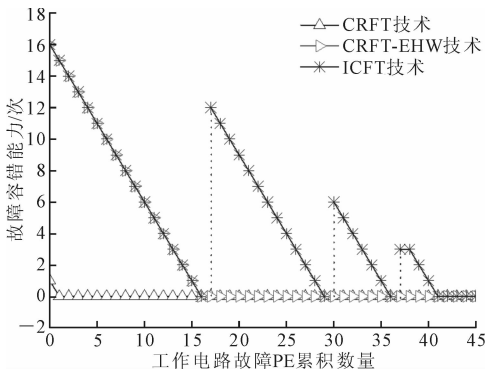


图 10 3 种容错技术的容错能力

力最差,CRFT-EHW 技术的故障容错能力一般,而本文的 ICFT 技术故障容错能力最优。

将硬件 A 和硬件 B 中工作电路故障 PE 累积量用 S 表示,当 $S=1$ 时,由于 CRFT 技术不具备电路重构能力,因此只能在硬件 A 和硬件 B 中切换;当 $S>1$ 时,整个电路系统将不具备容错能力,即故障容错能力等于 0。

当 $0 \leq S \leq 16$ 时,CRFT-EHW 技术和 ICFT 技术的故障容错能力同第 1 和第 2 故障容错阶段完全一致。当 $S \geq 16$ 时,CRFT-EHW 技术故障容错能力已经为 0,而 ICFT 技术在 $S=17$ 时的故障容错能力显著提升到 12,之后故障容错能力随故障 PE 数量的增多呈线性降低。当 S 分别为 30 和 37 时,故障容错能力瞬间由 0 分别提升到 6 和 3。

详细分析 5 个故障容错阶段硬件 A 和硬件 B 各自的容错能力,结果分别如图 11、图 12 所示。

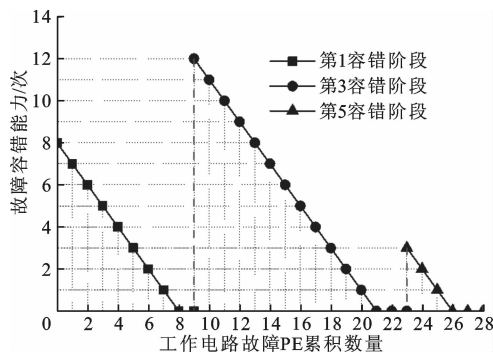


图 11 硬件 A 各阶段故障容错能力

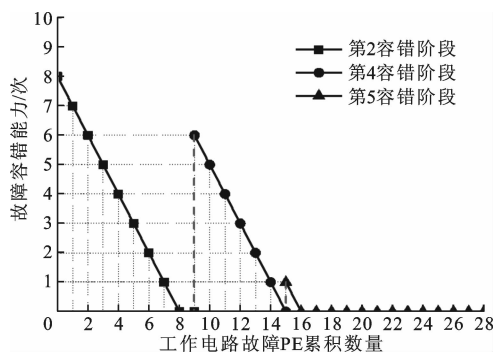


图 12 硬件 B 各阶段故障容错能力

从图 11 中可以看出:在第 2 故障容错阶段,由于直接将 UUT 配置到没有故障 PE 的硬件 A,且有 8 个冗余无故障 PE,因此无故障 PE 时的故障容错能力为 8;当出现 8 个故障 PE 时,故障容错能力为 0,但此时电路仍能继续工作。当再有新增故障 PE 时,硬件 A 上的电路输出信号将出现故障。在第 3 故障容错阶段,由于硬件 A 上重新配置 RTC-B-to-

A-3 电路,当存在 9 个故障 PE 时,硬件 A 的故障容错能力瞬间由 0 提高到 12,之后随着故障 PE 数量的增加呈线性降低,直到有 21 个 PE 出现故障时,故障容错能力为 0。在进入第 4 故障容错阶段后,硬件 A 的故障容错能力始终为 0。当进入第 5 故障容错阶段时,由于采用了主动式 ICFT 技术,当故障 PE 数为 23 时,硬件 A 的故障容错能力瞬间提高到 3,之后将随故障 PE 数量的增加呈线性降低,直至为 0。

针对图 12 中硬件 B 的故障容错能力,在各个故障修复阶段均呈线性降低,当到新的故障容错阶段时,将能瞬间提高故障容错能力,但又会随着故障 PE 数量的增加呈线性降低。

从以上分析过程可以看出,ICFT 技术能够动态地通过电路演化和 RBT 故障修复机制保证整个电路系统正常输出,具有高的故障容错能力。

5 总 结

针对复杂电磁环境中电路系统容错能力低等问题,提出了一种 ICFT 技术实现电路容错。在电路演化过程中,采用引导式电路演化策略;在容错过程中,首先采用被动式 ICFT 技术,在被动式 ICFT 技术失败时再采用主动式 ICFT 技术。

实例仿真结果表明:采用 ICFT 技术时,在保证电路系统输出不变的情况下,两个硬件主体可互换 UUT 和 RTC 的身份;与 CRFT 技术和 CRFT-EHW 技术相比,本文提出的 ICFT 技术在具备电路重构能力的同时,能够提高冗余无故障 PE 的利用率,保证整个电路系统高可靠地运行,从而验证了 ICFT 技术的可行性和有效性。

参考文献:

- [1] JOHN T. Self-voting dual-modular-redundancy circuits for single-event-transient mitigation [J]. IEEE Transactions on Nuclear Science, 2008, 55(6): 3435-3439.
- [2] LEVITIN G, XING L D, DAI Y S. Optimal design of hybrid redundant systems with delayed failure-driven standby mode transfer [J]. IEEE Transactions on Systems, Man, and Cybernetics: Systems, 2015, 45(10): 1336-1344.
- [3] LEVITIN G, XING L D, HANOCCH B H. Effect of failure propagation on cold vs. hot standby tradeoff in heterogeneous 1-out-of-N: G systems [J]. IEEE Transactions on Reliability, 2015, 64(1): 410-419.

- [4] ALMUKHAIZIM S, SINANOGLU O. Novel hazard-free majority voter for n-modular redundancy-based fault tolerance in asynchronous circuits [J]. IET Computers & Digital Techniques, 2011, 5(4): 306-315.
- [5] HADDOW P C, TYRRELL A M. Challenges of evolvable hardware: past, present and the path to a promising future [J]. Genetic Programming and Evolvable Machines, 2011, 12(3): 183-215.
- [6] YAO X, HIGUCHI T. Promises and challenges of evolvable hardware [J]. IEEE Transactions on Systems, Man, and Cybernetics; Part C Applications and Reviews, 1999, 29(1): 87-97.
- [7] 褚杰, 满孟华, 常小龙, 等. 复杂电磁环境中高可靠性 TMR-EHW 电机控制电路设计 [J]. 高电压技术, 2012, 38(9): 2314-2321.
CHU Jie, MAN Menghua, CHANG Xiaolong, et al. Design of motor control circuit based on TMR-EHW in complex electromagnetic environment [J]. High Voltage Engineering, 2012, 38(9): 2314-2321.
- [8] WANG J, LEE C H. Virtual reconfigurable architecture for evolving combinational logic circuits [J]. Journal of Central South University, 2014, 21(5): 1862-1870.
- [9] ELNOKITY O E, MAHMOUD I I, REFAI M K, et al. Hardware implementation of virtual reconfigurable circuit for fault tolerant evolvable hardware system on FPGA [J]. Lecture Notes in Engineering and Computer Science, 2014, 2(1): 7-10.
- [10] ZHANG J B, CAI J Y, MENG Y F, et al. Fault self-repair strategy based on evolvable hardware and reparation balance technology [J]. Chinese Journal of Aeronautics, 2014, 27(5): 1211-1222.
- [11] DHANASEKARAN D, BAGAN K B. Fault tolerant dynamic antenna array in smart antenna system using evolved virtual reconfigurable circuit [C]//Proceedings of 21st International Conference on VLSI Design. Piscataway, NJ, USA: IEEE, 2008: 77-82.
- [12] NIAMAT M Y, HEJEEBU S S, ALAM M. A BIST approach for testing FPGAs using JBITS [C]//Proceedings of 13th Annual IEEE on Field-Programmable Custom Computing Machines. Piscataway NJ, USA: IEEE, 2005: 267-268.
- [13] GONG M, CAI Q, CHEN X, et al. Complex network clustering by multiobjective discrete particle swarm optimization based on decomposition [J]. IEEE Transactions on Evolutionary Computation, 2014, 18(1): 114-130.
- [14] 徐宇亮, 孙际哲, 陈西宏, 等. 采用多目标粒子群算法的模拟电路故障诊断研究 [J]. 西安交通大学学报, 2012, 46(6): 92-97.
XU Yuliang, SUN Jizhe, CHEN Xihong, et al. Analog circuit fault diagnosis with multi-objective particle swarm optimization [J]. Journal of Xi'an Jiaotong University, 2012, 46(6): 92-97.
- [15] 刘新颖, 王曙鸿, 邱捷. 改进粒子群算法及其在超导电缆参数优化中的应用 [J]. 西安交通大学学报, 2007, 41(2): 219-223.
LIU Xinying, WANG Shuhong, QIU Jie. Improved particle swarm optimization with Its applications to parameter optimization of high temperature superconducting cables [J]. Journal of Xi'an Jiaotong University, 2007, 41(2): 219-223.
- [16] 张峻宾, 蔡金燕, 李丹阳, 等. 三进制编码实现硬件演化方法研究 [J]. 微电子学与计算机, 2013, 30(3): 1-4.
ZHANG Junbin, CAI Jinyan, LI Danyang, et al. Research of ternary code implemented in hardware evolution [J]. Microelectronics & Computer, 2013, 30(3): 1-4.

[本刊相关文献链接]

- 贺王鹏, 訾艳阳, 陈彬强. 冲击特征受控极小化通用稀疏表示及其在机械故障诊断中的应用. 2016, 50(4): 94-99. [doi: 10.7652/xjtuxb201604015]
- 张俊红, 马梁, 鲁鑫, 等. 机动飞行下挤压油膜阻尼器对碰撞故障转子系统的影响. 2015, 49(11): 62-70. [doi: 10.7652/xjtuxb201511011]
- 刘聪, 李颖晖, 刘勇智, 等. 采用高阶终端滑模观测器的执行器未知故障重构. 2015, 49(9): 126-133. [doi: 10.7652/xjtuxb201509021]
- 唐贵基, 王晓龙. 参数优化变分模态分解方法在滚动轴承早期故障诊断中的应用. 2015, 49(5): 73-81. [doi: 10.7652/xjtuxb201505012]
- 田福庆, 罗荣, 李万, 等. 改进的卷积型小波包分解及在故障诊断中的应用. 2014, 48(3): 89-95. [doi: 10.7652/xjtuxb201403017]
- 滕子非, 宁联辉, 王锡凡. 分频输电系统交交变频器桥臂短路故障研究. 2014, 48(2): 56-61. [doi: 10.7652/xjtuxb201402010]

(编辑 刘杨)