

DOI: 10.7652/xjtuxb201706013

用于超低频信号测量的高精度低功耗 增量式模数转换器

陈浩, 孙权, 张鸿, 程军, 张瑞智
(西安交通大学微电子学院, 710049, 西安)

摘要: 针对超低频信号测量装置对模数转换器(ADC)的高精度、低功耗和小面积要求,提出了一种带有斩波稳零(CHS)和自校准技术的增量式模数转换器(I-ADC)。I-ADC 带有复位操作,可避免超低频信号带来的模式噪声。为了尽量降低功耗和芯片面积,I-ADC 采用一阶结构,并通过增加一定的转换时间来实现 14 bit 的转换精度。该 I-ADC 采用斩波稳零技术来消除运放低频噪声和失调对其精度的影响,I-ADC 的系统失调则采用上电自校准技术来消除。采用 DongBu 0.5 μm BCD 工艺完成了 I-ADC 电路及其调制器版图的设计。仿真结果表明:在 $-156.25 \sim 156.25 \text{ mV}$ 输入范围内,I-ADC 转换误差的绝对值最大为 $21 \mu\text{V}$,微分非线性误差的绝对值最大为 0.12 bit,积分非线性误差的绝对值最大为 0.21 bit,调制器的平均电流消耗仅为 $20 \mu\text{A}$;调制器的版图面积仅为 $150 \mu\text{m} \times 310 \mu\text{m}$;所设计的 I-ADC 可满足锂电池电量计等超低频测量系统所需的 14 bit 转换精度,并具有显著的低功耗和小面积优势。

关键词: 超低频;增量式;模数转换器;斩波稳零;自校准

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2017)06-0079-07

Incremental Analog-to-Digital Converter with High Resolution and Low Power for Measurement of Ultra-Low-Frequency Signals

CHEN Hao, SUN Quan, ZHANG Hong, CHENG Jun, ZHANG Ruizhi
(School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: An incremental analog-to-digital converter (I-ADC) with chopper stabilization (CHS) and self-calibration techniques is presented to meet the requirements of high resolution, low power consumption and small area for measuring devices of ultra-low-frequency signals. The I-ADC has the function of reset operation to avoid pattern noise caused by ultra-low-frequency signals. A first-order architecture is adopted for the I-ADC to reduce power consumption and chip area, and to achieve 14-bit resolution by increasing certain conversion time. The chopper stabilization technique is employed to eliminate the influence of amplifier's low-frequency noise and offset on the I-ADC's precision, and power-on self-calibration is employed to eliminate the systematic offset of the I-ADC. The circuit of the I-ADC and the layout of the modulator are designed with the DongBu 0.5 μm BCD technology. Simulation results in an input range of $-156.25 \sim 156.25 \text{ mV}$ show that the maximum absolute conversion error of the I-ADC is $21 \mu\text{V}$, the maximum errors of differential nonlinearity and integral nonlinearity are 0.12 and 0.21 bit,

respectively, and the average current consumption of the modulator is only $20 \mu\text{A}$. The modulator occupies a chip area of only $150 \mu\text{m} \times 310 \mu\text{m}$. The proposed I-ADC achieves 14 bit resolution, which is required by ultra-low-frequency signal measuring systems, such as lithium-ion battery coulometer, and has significant advantages of low power consumption and small area.

Keywords: ultra-low-frequency; incremental; analog-to-digital converter; chopper stabilization; self-calibration

超低频信号(频率小于 10 Hz)周期很长,信号变换缓慢,这给信号的准确测量带来许多困难。用常规的测量方法和模拟技术不仅要求测量装置本身具有很高的稳定性,而且过长的响应时间常常使得这种测量在超低频段很难实现^[1]。

以高精度模数转换器(ADC)和高性能微控制单元(MCU)为核心的采样计算方式逐渐成为超低频信号测量的主流。这种测量方式对 ADC 的精度要求很高,一般要求 ADC 的精度在 14 bit 左右。同时,ADC 本身需要具有极低的功耗,以尽可能延长测量装置的使用时间。另外,测量装置希望具有尽可能小的封装面积,因此需要尽量减小 ADC 的芯片面积。

在各种类型的 ADC 中,逐次逼近式(SAR)ADC 可以以较低的功耗实现较高的转换精度^[2],但这种 ADC 的转换基于单次采样,精度容易受到噪声的影响。另外,高精度的 SAR ADC 需要大面积的电容阵列以提高匹配精度,还可能需要复杂的算法来校准各种误差,这必将增加芯片的面积和功耗^[3],而 $\Sigma\Delta$ ADC 可以实现很高精度的要求,并且结构简单,对器件参数的匹配要求不高^[3-4]。但是,传统 $\Sigma\Delta$ ADC 处理低频信号时,调制器的输出码流呈现周期性,因而将引入一种由周期性码流带来的离散噪声,称为模式噪声^[5-6],从而使 ADC 的精度大为降低。文献[7]中,传统 $\Sigma\Delta$ ADC 实现 14 bit 的转换精度需要采用两阶的结构,这增加了芯片面积和功耗。增量式 ADC (I-ADC) 是一种新型 $\Sigma\Delta$ ADC,相对于传统 $\Sigma\Delta$ ADC, I-ADC 每完成一次转换都将对积分器和计数器进行复位,从而可以避免模式噪声,能够实现超低频信号的高精度转换。

本文针对超低频信号测量装置的需求,在 I-ADC 的基础上,采用斩波稳零(CHS)技术、开关电容技术和上电自校准技术,分别消除 $\Sigma\Delta$ 调制器中运放的低频噪声和失调、比较器失调以及其他系统性失调对 ADC 转换精度的影响。为了尽量降低功耗和面积,调制器采用一阶结构,通过增加一定的转换时间来实现 14 bit 的转换精度。作为一个典型应

用,本文将所设计的 ADC 用于锂电池电量计中测量流入、流出电池的净电荷量。本文采用 DongBu $0.5 \mu\text{m}$ BCD 工艺设计了一款 14 bit I-ADC,仿真结果表明,所设计的 ADC 满足锂电池电量计等超低频测量系统的精度需求,并具有显著的低功耗和小面积优势。

1 系统结构和原理

1.1 增量式 ADC 原理

在超低频信号测量应用条件下,ADC 除了要满足高精度需求外,还需要具有极低的功耗和极小的芯片面积。为此,本文采用一阶 I-ADC 结构,它包括 1 个积分器、1 个比较器和 1 个计数器,结构如图 1 所示。其中,比较器相当于 1 bit 量化器,计数器相当于数字抽取滤波器。

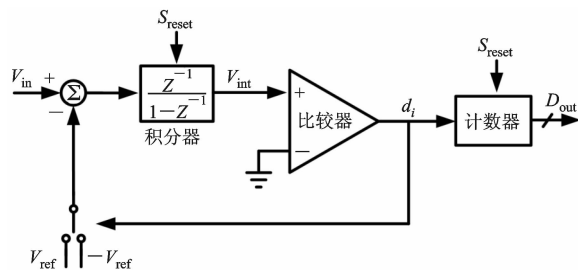


图 1 一阶 I-ADC 结构

在每次 ADC 转换过程开始之前,积分器和计数器都在复位信号 S_{reset} 控制下进行清零操作^[8]。 V_{in} 为被测输入信号, V_{in} 与反馈信号的差不断地被积分,积分结果 V_{int} 在比较器中进行电平判别,如果判别结果为高,则输出 $d_i = 1$,反馈信号为 V_{ref} ,如果判别结果为低,则输出 $d_i = 0$,反馈信号为 $-V_{\text{ref}}$ 。转换过程持续 N 个周期后,积分器的输出为

$$V_{\text{int}}(N+1) = NV_{\text{in}} - \sum_{i=1}^N d_i V_{\text{ref}} + (N - \sum_{i=1}^N d_i) V_{\text{ref}} = NV_{\text{in}} - D_{\text{out}} V_{\text{ref}} + (N - D_{\text{out}}) V_{\text{ref}} \quad (1)$$

式中: D_{out} 为 ADC 的转换数字码。由式(1),可得

$$V_{\text{in}} = \frac{2V_{\text{ref}}}{N} \left(D_{\text{out}} - \frac{N}{2} - \left(-\frac{V_{\text{int}}(N+1)}{2V_{\text{ref}}} \right) \right) \quad (2)$$

那么,量化误差 $q = -V_{\text{int}}(N+1)/(2V_{\text{ref}})$ 。如果 ADC 一直保持正常工作,积分器没有出现饱和现象,则 V_{int} 始终保持在 $(-V_{\text{ref}}, V_{\text{ref}})$ 之间,那么有

$$-V_{\text{ref}} < NV_{\text{in}} - \left(2 \sum_{i=1}^N d_i - N\right)V_{\text{ref}} < V_{\text{ref}} \quad (3)$$

整理式(3),有

$$-\frac{V_{\text{ref}}}{N} < V_{\text{in}} - \left(\sum_{i=1}^N d_i - \frac{N}{2}\right)\frac{2V_{\text{ref}}}{N} < \frac{V_{\text{ref}}}{N} \quad (4)$$

因此,最小分辨电压为

$$V_{\text{LSB}} = \frac{2V_{\text{ref}}}{N} \quad (5)$$

图 1 中,ADC 的输入范围是 $-V_{\text{ref}} \sim V_{\text{ref}}$,由式(5)可以看出,当 N 足够大,即转换时间足够长时,一阶 I-ADC 可以获得任意转换位数。本文取 $N = 2^{14} = 16\,384$,即可实现 14 bit 的转换精度。采用高阶结构可以缩短转换时间,如文献[3]采用三阶结构,实现 14 bit 的转换精度,只需 $N = 254$,大大缩短了转换时间,但需要三阶调制器,使电路开销大大增加。本文时钟周期为 $10\,\mu\text{s}$,所以转换时间为 $163.84\,\text{ms}$ 。由以上分析可知,一阶 I-ADC 在整个转换时间内具有积分平均效果,虽然一次转换时长为 $163.84\,\text{ms}$,但实际的取样间隔为采样时钟的周期,所以能够满足绝大多数超低频测量系统要求的转换精度。

1.2 锂电池电量计工作原理

锂电池电量计作为一个典型的超低频信号测量系统,本文的 ADC 可应用于其中。锂离子电池具有能量密度高、绿色环保、使用寿命长等优点,因而被广泛应用于智能手机、平板电脑和数码相机等便携式电子设备中。精确测量电池的剩余电量一直是锂电池应用的一个难题。常用的测量算法有开路电压法^[9]、电流积分法^[9]和阻抗跟踪法^[10]等,对于电流积分法和阻抗跟踪法,电量计是必不可少的。

通常,在电池充放电通路上串联一个高精度、低温漂的毫欧级检流电阻(RSNS)可将电池电流信号转换为电压信号,电量计再对该电压信号进行处理。电量计包括 ADC、寄存器、累计寄存器。电量计外围电路有滤波网络、振荡器、时钟模块、基准产生器、开关、检流电阻、负载(RL),其结构如图 2 所示。增量式 ADC 在一次转换周期 T 内对 RSNS 上的电压转换,相当于在周期 T 对 RSNS 的电压进行积分平均,暂存在寄存器中的结果再累加到累计寄存器中,累计寄存器中保存的结果以 $V \cdot h$ 为单位,再除以 RSNS 的电阻值,即可得到流入、流出电池的净电荷

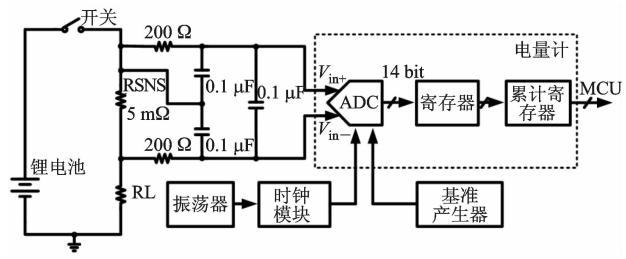


图 2 电量计结构

量^[11],以 $A \cdot h$ 为单位。

2 噪声及失调抵消技术

2.1 噪声与失调

一般来说,MOS 管有 2 种本征噪声,分别是热噪声和 $1/f$ 噪声, $1/f$ 噪声也称作闪烁噪声^[12]。

MOS 管热噪声和 $1/f$ 噪声分布如图 3 所示,可见低频噪声主要是 $1/f$ 噪声,频率越低 $1/f$ 噪声越明显。本文 ADC 的输入信号频率超低,很容易受到低频噪声的影响,因此必须采用适当的技术消除低频噪声。

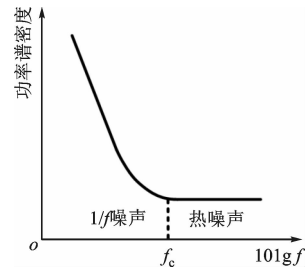


图 3 MOS 管噪声分布示意图

电路的失调可以看作是另一种低频噪声,它是由器件的失配引起的。

对于图 1 中的 ADC,需要考虑的失调有运放失调、比较器失调和其他因素引起的系统失调,用 V_{os1} 表示运放输入端失调电压,用 V_{os2} 表示比较器输入端失调电压,用 D_{os} 表示系统失调数字码。考虑 V_{os1} 后则式(1)更改为

$$\begin{aligned} V_{\text{int}}(N+1) = & NV_{\text{in}} + NV_{\text{os1}} - \sum_{i=1}^N d_i V_{\text{ref}} + (N - \sum_{i=1}^N d_i) V_{\text{ref}} = \\ & NV_{\text{in}} + NV_{\text{os1}} + (N - 2 \sum_{i=1}^N d_i) V_{\text{ref}} \end{aligned} \quad (6)$$

整理式(6),并加入 V_{os2} 和 D_{os} 的影响,可得

$$\begin{aligned} V_{\text{in}} = & \frac{2V_{\text{ref}}}{N} \left(\sum_{i=1}^N d_i - \frac{N}{2} - \left(-\frac{V_{\text{int}}(N+1)}{2V_{\text{ref}}} \right) - \right. \\ & \left. \frac{NV_{\text{os1}}}{2V_{\text{ref}}} \right) = \frac{2V_{\text{ref}}}{N} \left(D_{\text{out}} - D_{\text{os}} - \frac{N}{2} - \right. \end{aligned}$$

$$\left(-\frac{V_c(N+1)}{2V_{\text{ref}}}-\frac{V_{\text{os}2}}{2V_{\text{ref}}}\right)-\frac{NV_{\text{os}1}}{2V_{\text{ref}}}\quad (7)$$

式中: V_c 为比较器输入正端与负端压差。由式(7)可以看出,除了 ADC 的量化误差 $q = -V_c(N+1)/(2V_{\text{ref}})$,运放失调电压 $V_{\text{os}1}$ 引入的转换误差为

$$q_1 = \frac{NV_{\text{os}1}}{2V_{\text{ref}}}\quad (8)$$

比较器失调电压 $V_{\text{os}2}$ 引入的转换误差为

$$q_2 = -\frac{V_{\text{os}2}}{2V_{\text{ref}}}\quad (9)$$

此外,系统失调数字码为 D_{os} ,直接体现在数字输出中。这些失调将会不同程度地影响 ADC 的转换精度,其中运放的输入失调和噪声影响最大。

2.2 噪声及失调抵消技术

2.2.1 运放噪声及失调抵消技术 斩波稳零技术和相关双采样技术(CDS)是 2 种主要的运放低频噪声抵消技术^[13]。由于相关双采样技术需要大量的电容,占用更多的芯片面积,因此不适用于本文。本文采用斩波稳零技术,典型的斩波稳零运算放大器在主运放输入和输出端各有一个开关混频器, $\phi_{\text{ch}1}$ 和 $\phi_{\text{ch}1d}$ 分别是频率为 f_{ch} 的斩波调制和解调信号, $\phi_{\text{ch}1}$ 和 $\phi_{\text{ch}2}$ 及 $\phi_{\text{ch}1d}$ 和 $\phi_{\text{ch}2d}$ 分别为两向不交叠时钟,如图 4 所示。斩波稳零运放原理描述如下:输入信号 V_{in} 经 $\phi_{\text{ch}1}$ 调制后,频谱被搬到斩波信号奇次谐波频率处,再经运放并由 $\phi_{\text{ch}1d}$ 解调,信号频谱将回到初始频率及斩波信号的偶次谐波频率处,而噪声和失调 $V_{\text{N}} + V_{\text{os}1}$ 经运放放大后,被 $\phi_{\text{ch}1d}$ 调制到斩波信号的奇次谐波频率处^[14]。上述频谱搬移过程如图 5 所示。若用 $S_{\text{N}}(f)$ 表示噪声和失调的功率谱密度,那么,噪声和失调被 $\phi_{\text{ch}1d}$ 调制后的信号功率谱密度为

$$S_{\text{CS}}(f) = \left(\frac{2}{\pi}\right)^2 \sum_{n=-\infty}^{+\infty} \frac{1}{(2n+1)^2} S_{\text{N}}(f - (2n+1)f_{\text{ch}}) \quad (10)$$

由以上分析可见,斩波稳零技术实现了低频信号和噪声失调的频谱分离。输出 V_{out} 再经过一个简单的低通滤波器就可以得到放大后的输入信号。理想情况下,斩波稳零运放不再含有噪声和失调。另

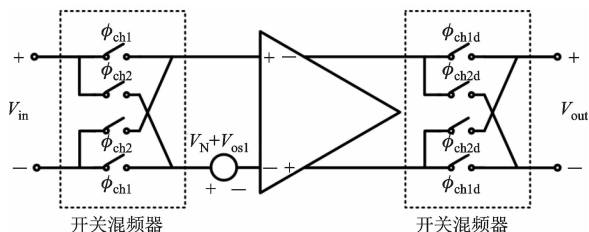


图 4 斩波稳零运算放大器结构图

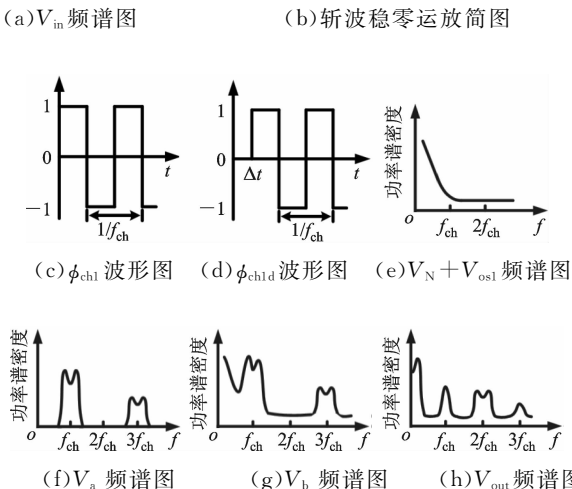
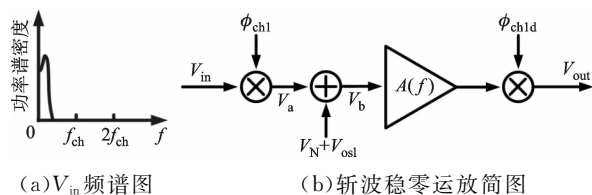


图 5 斩波稳零技术的频谱搬移过程

外,主运放的延迟会造成直流增益的下降,为了获得最大的直流增益, $\phi_{\text{ch}1}$ 到 $\phi_{\text{ch}1d}$ 的延迟 Δt 应该与主运放的延迟相等。

为了确保输入信号不发生混叠现象且低频噪声被有效地抑制,斩波频率 f_{ch} 必须满足以下条件

$$f_{\text{ch}} \geq B_{\text{sig}} + f_c \quad (11)$$

式中: B_{sig} 为信号带宽; f_c 为噪声角频率。一般,运放的单位增益带宽 B_{GBW} 满足

$$B_{\text{GBW}} \geq 10f_{\text{ch}} \quad (12)$$

2.2.2 比较器失调抵消技术 为抵消比较器失调 $V_{\text{os}2}$,本文采用开关电容失调存储和消除技术,在比较器输入端引入电容,在 ADC 的采样相位时,存储比较器失调,在 ADC 的积分相位时,减去比较器失调,具体电路结构和分析见 3.3 节。

2.2.3 系统失调抵消技术 为了保证 ADC 的精确性,还需要消除其他因素引起的系统性失调数字码 D_{os} 。本文采用上电自校准来抵消系统失调。ADC 一旦启动后,将调制器输入的差动信号短接,强制输入信号为零,测出 ADC 的系统失调,然后,正常转换输入信号,并在后续数字电路减去系统失调,实现 ADC 的自校准。

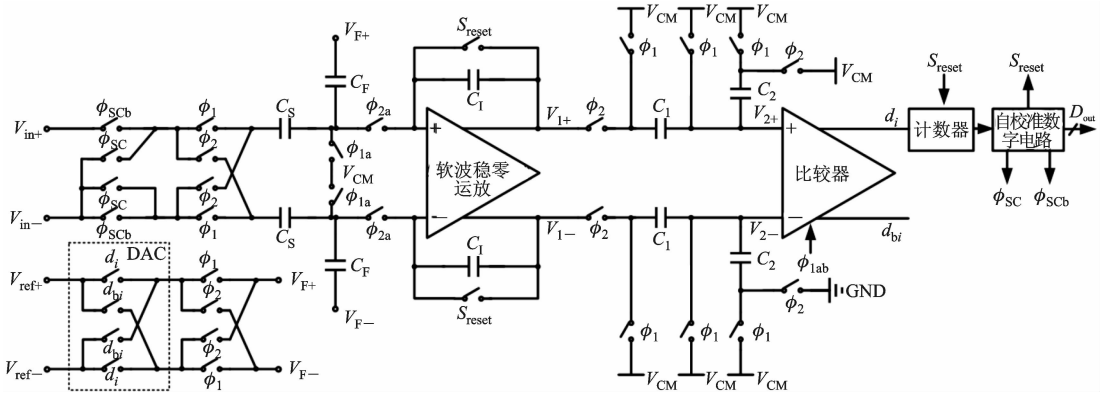
3 增量式 ADC 电路设计

3.1 整体结构

基于上述的分析,本文针对锂电池电量计,设计了一款 14 bit 一阶 I-ADC。该电路采用全差分结构

以消除电源和共模噪声的影响,两相不交叠控制时钟 ϕ_1 和 ϕ_2 的频率为 0.1 MHz,自校准数字电路通过 ϕ_{SC} 和 ϕ_{SCb} 信号控制 ADC 在两步转换中分别接入差模零信号和输入信号,每一次转换后,积分器和计数器都会被 S_{reset} 信号复位,整体电路结构如图 6 所示。电路中, $V_{ref+} = 1.25 \text{ V}$, $V_{ref-} = 0$, $C_S = 8C_F$, 因此, ADC 输入范围为 $(-1.25/8) \text{ V} \leq V_{in+} - V_{in-} \leq (1.25/8) \text{ V}$, 即

$$-156.25 \text{ mV} \leq V_{in+} - V_{in-} \leq 156.25 \text{ mV} \quad (13)$$



ϕ_{SC} 、 ϕ_{SCb} : 自校准时钟和自校准反向时钟; ϕ_1 、 ϕ_2 : 采样时钟和保持时钟; ϕ_{1a} 、 ϕ_{2a} : 下降沿比 ϕ_1 提前时钟和下降沿比 ϕ_2 提前时钟; ϕ_{1ab} 、 ϕ_{1a} 的反向时钟; d_i 、 d_{bi} : 比较器正向输出和比较器反向输出; C_S 、 C_1 、 C_F : 采样电容、积分电容和 DAC 反馈电容; C_1 、 C_2 : 比较器失调采样电容和电平移位电容; V_{CM} : 共模电压; S_{reset} : 复位信号; V_{ref+} 、 V_{ref-} : 基准正电压和基准负电压; V_{in+} 、 V_{in-} : 差动输入电压; D_{out} : ADC 的输出数字码

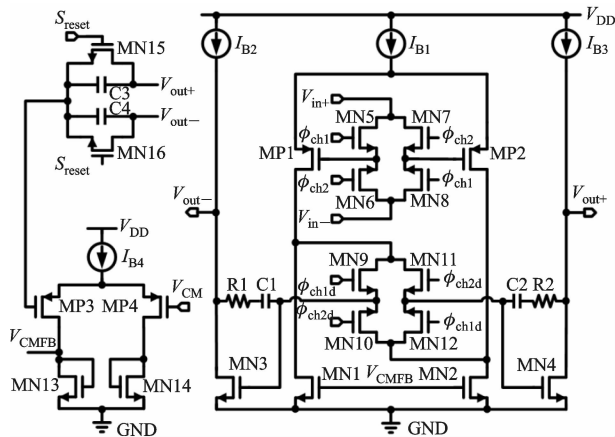
图 6 一阶 I-ADC 整体结构图

动输入和差动输出在斩波信号的控制下交替改变极性实现信号和噪声的频谱搬移。为保证运放的稳定性,采用密勒补偿, C_1 与 C_2 是密勒电容,其作用是分裂运放主极点和次极点, R_1 与 R_2 是密勒电阻,其作用是补偿运放右半平面零点,从而提高运放相

对于电量计应用,上述电压再除以检流电阻值 $5 \text{ m}\Omega$, 可得 ADC 检测的电池电流范围为 $-31.25 \sim 31.25 \text{ A}$, 正值表示电池放电, 负值表示电池充电。这个范围显然可以覆盖绝大多数手持式设备的电流范围。

3.2 斩波稳零运算放大器电路设计

本文设计的斩波稳零运算放大器主要包括两级运放和共模反馈电路, 电路结构如图 7 所示。MP1 和 MP2 为第一级的 PMOS 输入对管。第一级的差



MN1~MN16: NMOS 晶体管; MP1~MP4: PMOS 晶体管; C_1 、 C_2 : 密勒电容; R_1 、 R_2 : 密勒电阻; C_3 、 C_4 : 输出共模电平检测电容; $I_{B1} \sim I_{B4}$: 偏置电流; V_{CMFB} : 共模反馈电压

图 7 斩波稳零运算放大器电路

位裕度。 C_3 与 C_4 构成输出共模电平检测电路, 将检测电平输入到共模反馈运放, 从而钳位输出共模电平至 V_{CM} 。本文设计的斩波频率为 12.5 kHz , 而信号带宽为 10 Hz , 噪声角频率为 10 kHz , 满足式 (11)。

3.3 比较器电路设计

为了降低功耗和面积, 本文采用简单的锁存比较器。为了抵消比较器失调电压 V_{os2} , 在比较器之前引入失调采样电容和电平移位电容, 分别为 C_1 和 C_2 , 连接方法在图 6 中给出。根据比较器输入正端和负端都电荷守恒, 可列如下等式

$$(C_1 + C_2)V_{os2} = C_1(V_{os2} + V_{2+} - V_{1+}) + C_2(V_{os2} + V_{2+} - V_{CM}) \quad (14)$$

$$0 = C_1(V_{2-} - V_{1-}) + C_2(V_{2-} - 0) \quad (15)$$

其中, $C_1 = 3C_2$, 联立式 (14)、(15), 可得

$$V_{2+} - V_{2-} = \frac{3}{4}(V_{1+} - V_{1-}) + \frac{1}{4}V_{CM} \quad (16)$$

由式 (16) 可以看出, 比较器失调电压 V_{os2} 被完全消除, 但输入端电压抬高了 $V_{CM}/4$, 在比较器的输入端与地之间引入 NMOS, NMOS 的过驱动电压可以补偿抬高的 $V_{CM}/4$ 电压。

4 仿真结果

本文的 ADC 采用 DongBu 0.5 μm BCD 工艺设计,电源电压为 2.5 V。ADC 的调制器版图面积为 $150\text{ }\mu\text{m}\times 310\text{ }\mu\text{m}$,如图 8 所示。调制器的输出是 0、1 的数字码流,输入电压越大,数字码 1 越多,如图 9 所示。ADC 的数字电路功能较为简单,由 verilog 代码实现。

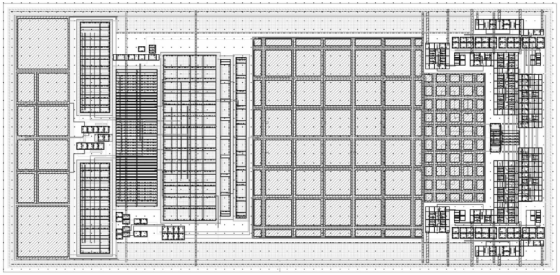


图 8 调制器版图

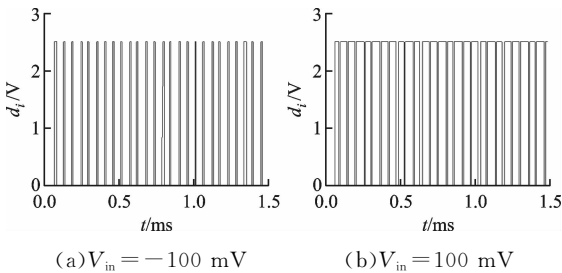


图 9 调制器输出波形

除了运放的低频噪声,还要充分考虑运放的管子失配造成的输入失调,本文进行了蒙特卡罗仿真,可知,管子失配造成的输入失调大约为 1 mV。因此,为了仿真斩波稳零技术的效果,在运放输入端额外输入了 1 mV 的失调。若在 ADC 不采用斩波稳零技术的情况下,转换误差的绝对值最大为 114 μV ,仿真结果如图 10 所示。采用斩波稳零技术后,转换误差的绝对值最大为 21 μV ,满足设计要求,仿真结果如图 11 所示。由于仿真 ADC 满输入范围的微分非线性误差(D_{NL})和积分非线性误差(I_{NL})的时间过长,在现有的计算条件下无法完成仿真。因此,本文只取了 ADC 输入范围两端和中间的关键 3 段进行了仿真,若 ADC 不采用斩波稳零技术, D_{NL} 的绝对值最大为 0.61 bit, I_{NL} 的绝对值最大为 0.95 bit,如图 12 所示。采用斩波稳零技术后, D_{NL} 的绝对值最大为 0.12 bit, I_{NL} 的绝对值最大为 0.21 bit,如图 13 所示。对比可知,采用斩波稳零技术,ADC 性能更优。ADC 的调制器的平均电流消耗为 20 μA 。

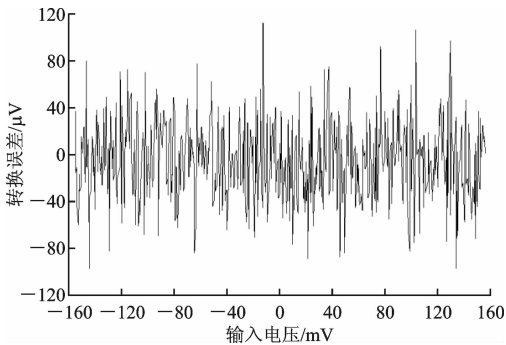


图 10 ADC 的转换误差仿真结果(无斩波稳零技术)

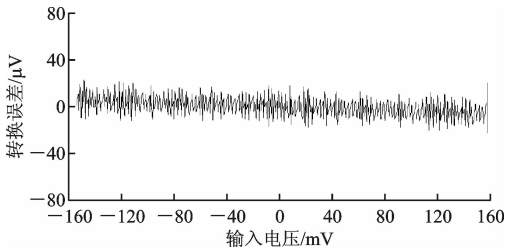


图 11 ADC 的转换误差仿真结果(带斩波稳零技术)

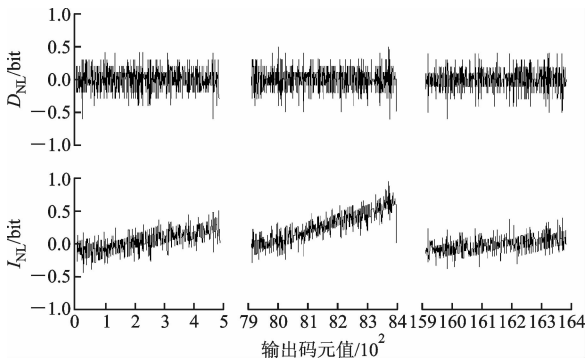


图 12 ADC 的 D_{NL} 和 I_{NL} 仿真结果(无斩波稳零技术)

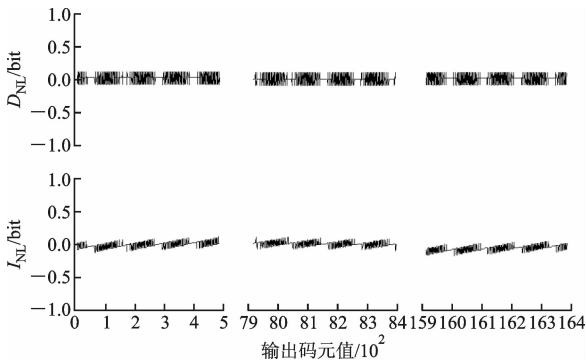


图 13 ADC 的 D_{NL} 和 I_{NL} 仿真结果(带斩波稳零技术)

表 1 总结了 ADC 的详细性能参数,并与近几年报道的其他文献进行了对比,可见本文的 ADC 具有更低的 D_{NL} 和 I_{NL} ,满足锂电池电量计等超低频测量系统所需的 14 bit 转换精度,并具有显著的低功耗和小面积优势。

表 1 4 种增量式 ADC 性能对比

转换器	工艺特征尺寸 / μm	阶数	设计位数	电源电压 /V	采样频率 /MHz	调制器面积 / mm^2	调制器功耗 / μW	$ D_{\text{NL}} _{\text{max}}$ /bit	$ I_{\text{NL}} _{\text{max}}$ /bit
文献[3]	0.18	3	14	1.8	6.144	0.18	55	0.25	0.55
文献[8]	0.18	3	13	1.8	10	0.06	190		
文献[15]	0.5	1	10	3.3	2.048		76	1	1.5
本文	0.5	1	14	2.5	0.1	0.05	50	0.12	0.21

5 总 结

本文提出了一种用于超低频信号测量的带有斩波稳零和自校准技术的 14 bit I-ADC。本文的 ADC 采用一阶结构,可以实现较低的功耗和较小的芯片面积。本文的 ADC 电路采用 DongBu 0.5 μm BCD 工艺设计。仿真结果表明,ADC 转换误差的绝对值最大为 21 μV , D_{NL} 的绝对值最大为 0.12 bit, I_{NL} 的绝对值最大为 0.21 bit,调制器的平均电流消耗仅为 20 μA 。调制器的版图面积仅为 150 $\mu\text{m} \times 310 \mu\text{m}$ 。

参考文献:

[1] 何梓滨,蒋方亮,柏向春. 超低频信号测量中 ADC 系统的设计与实现 [J]. 电子测量与仪器学报, 2012 (S1): 75-79.
HE Zibin, JIANG Fangliang, BAI Xiangchun. Design and implementation of the ADC system for ultra-low-frequency signal measurement [J]. Journal of Electronic Measurement and Instrumentation, 2012(S1): 75-79.

[2] 张鸿,张牡丹,张杰,等. 用于植入式医疗装置的逐次逼近式模数转换器 [J]. 西安交通大学学报, 2015, 49(2): 43-48.
ZHANG Hong, ZHANG Mudan, ZHANG Jie, et al. A successive approximation register analog-to-digital converter for implantable biomedical devices [J]. Journal of Xi'an Jiaotong University, 2015, 49(2): 43-48.

[3] SINGH K, PAVAN S. A 14 bit dual channel incremental continuous-time delta sigma modulator for multiplexed data acquisition [C] // Proceedings of the IEEE International Conference on VLSI Design. Piscataway, NJ, USA: IEEE, 2016: 230-235.

[4] WANG Xiaofei, ZHANG Hong, YANG Guoqiang, et al. A 12-bit incremental $\Sigma\Delta$ ADC for battery management system in electric vehicles [C] // Proceedings of the 2014 IEEE 12th International Conference on Solid-State and Integrated Circuit Technology. Piscataway,

NJ, USA: IEEE, 2014: 7021299.

[5] MCILRATH L G. A low-power low-noise ultrawide-dynamic-range CMOS imager with pixel-parallel A/D conversion [J]. IEEE Journal of Solid-State Circuits, 2001, 36(5): 846-853.

[6] WANG Xiaofei, ZHANG Hong, ZHANG Jianrong, et al. A multi-cell battery pack monitoring chip based on 0.35- μm BCD technology for electric vehicles [J]. Ieice Electronics Express, 2015, 12(12): 20150367-20150367.

[7] WANG Lei, YAN Taotao, MO Tingting, et al. A 14-b 2MSPS low power sigma-delta ADC using feed-forward structure [C] // Proceedings of 3rd International Conference on Measuring Technology and Mechatronics Automation. Piscataway, NJ, USA: IEEE, 2011: 3-5.

[8] YU Wenhuan, ASLAN M, TEMES G C. 82 dB SNDR 20-channel incremental ADC with optimal decimation filter and digital correction [C] // Proceedings of the Custom Integrated Circuits Conference. Piscataway, NJ, USA: IEEE, 2010: 5617596.

[9] PILLER S, PERRIN M, JOSSEN A. Methods for state-of-charge determination and their applications [J]. Journal of Power Source, 2001, 96(1): 113-120.

[10] 杨晴霞,曹秉刚,徐俊,等. 一种估计锂电池充电状态的分阶阻抗模型 [J]. 西安交通大学学报, 2015, 49(8): 128-132.
YANG Qingxia, CAO Binggang, XU Jun, et al. A fractional impedance model for charge state estimation of lithium battery [J]. Journal of Xi'an Jiaotong University, 2015, 49(8): 128-132.

[11] 范腾飞,陈奕梅. 基于 2~4 串锂电池组的库仑计法电量计设计 [J]. 电子科技, 2013, 26(2): 7-10.
FAN Tengfei, CHEN Yimei. Design of coulomb counter system based on 2 to 4 cells lithium-powered battery pack [J]. Electronic Science and Technology, 2013, 26(2): 7-10.

(下转第 114 页)