

DOI: 10.7652/xjtuxb201808017

用反相器实现积分的低压低功耗级联型 $\Delta\Sigma$ 调制器

李吉军, 张瑞智, 孙权, 张鸿

(西安交通大学微电子学院, 710049, 西安)

摘要: 针对传统级联型 $\Delta\Sigma$ 调制器中运算放大器(OTA)增益要求过高和功耗过大的问题,提出了一种用反相器实现积分的级间反馈级联型低压低功耗调制器。该调制器采用带有级间反馈的级联型结构,从系统上消除了传统级联结构中传递函数失配的风险,大大降低了模拟积分器的设计要求,不再需要高电源电压、高增益的 OTA 实现积分来保证传递函数的精确性。此外,采用低增益、低功耗的 C 类反相器实现积分功能,节约了芯片功耗和面积,用 $0.5\ \mu\text{m}$ 互补型金属氧化物半导体(CMOS)工艺设计了一个两级级联的四阶 $\Delta\Sigma$ 调制器,仿真结果表明,所设计的调制器版图核心面积仅为 $858\ \mu\text{m} \times 525\ \mu\text{m}$,调制器可工作在低至 $1.4\ \text{V}$ 的电源电压下,在信号带宽为 $3.9\ \text{kHz}$ 、过采样率为 128 的情况下,信噪失真比(SNDR)最大为 $99.8\ \text{dB}$,平均电流消耗仅为 $58.6\ \mu\text{A}$ 。该调制器适用于低频信号的高精度处理,具有低压低功耗优势。

关键词: 反相器;低压;低功耗;级联型结构; $\Delta\Sigma$ 调制器

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2018)08-0110-07

A Cascaded $\Delta\Sigma$ Modulator with Low Voltage and Low Power Using Inverter for Integration

LI Jijun, ZHANG Ruizhi, SUN Quan, ZHANG Hong

(School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: A cascaded $\Delta\Sigma$ modulator with low voltage and low power using inverter for integration is presented to solve the requirement for high-supply voltage and high-gain operational transconductance amplifiers (OTA) in integrators. The cascaded structure with interstage feedback circumvents the mismatch problem in conventional cascaded structure, and reduces the design demands of analog integrators, without need of high-gain OTA under high supply voltage for the accuracy of the transfer function. A two-stage cascaded fourth-order $\Delta\Sigma$ modulator is designed using $0.5\ \mu\text{m}$ complementary-metal-oxide-semiconductor (CMOS) process, and class-C inverters are utilized for integration to reduce power consumption and chip area. Simulation results under a supply voltage as low as $1.4\ \text{V}$ show that the proposed modulator achieves $99.8\ \text{dB}$ peak signal-to-noise-plus-distortion-ratio (SNDR) and $58.6\ \mu\text{A}$ current consumption in the case of an oversampling ratio of 128 and a $3.9\ \text{kHz}$ signal bandwidth, while the modulator only occupies a chip area of $858\ \mu\text{m} \times 525\ \mu\text{m}$. The proposed modulator has advantages of low supply voltage and low power consumption, and is suitable for high-resolution processing of low-frequency signals.

Keywords: inverter; low voltage; low power; cascaded structure; $\Delta\Sigma$ modulator

收稿日期: 2018-03-07。 作者简介: 李吉军(1993—),男,硕士生;张鸿(通信作者),男,副教授。 基金项目: 国家自然科学基金资助项目(61474092);陕西省科技计划资助项目(2014K05-14)。

网络出版时间: 2018-06-08

网络出版地址: <http://kns.cnki.net/kcms/detail/61.1069.T.20180608.1807.006.html>

模数转换器(ADC)作为模拟信号与数字系统间的桥梁,其精度通常决定了所在电子系统的性能^[1]。 $\Delta\Sigma$ ADC 利用过采样和噪声整形实现极高的转换精度^[2],在传感器接口、信号测量、无线通信和生物医疗等方面均有广泛的应用^[3]。通常, $\Delta\Sigma$ ADC 对元件的匹配度要求远低于其他奈奎斯特 ADC^[4],适用于互补型金属氧化物半导体(CMOS)工艺^[5]。

$\Delta\Sigma$ ADC 由 $\Delta\Sigma$ 调制器和一个数字抽取滤波器组成^[6],为了提高 ADC 的转换精度,传统级联型结构将多个低阶调制器级联起来,再加入数字抵消逻辑,既具有高阶整形效果,又能保证系统的稳定性^[7]。该结构中模拟域与数字域传输函数间的失配会导致量化噪声泄漏和调制器精度下降,需要用增益很高的运算放大器(OTA)实现积分,以保证传递函数的精确性^[8]。然而,采用高增益 OTA 会增加调制器整体功耗和硬件开销^[9]。带有部分级间反馈的级联结构,可以仅在模拟域构造信号和噪声传递函数,大大降低了对电路的匹配性和 OTA 增益的要求^[10]。

为了进一步降低调制器电源电压和功耗,本文在带有级间反馈的级联结构基础上,采用低增益 C 类反相器替代 OTA 实现了伪差分自校准积分器,大大降低了电路的工作电压和功耗。另外,本文还对放大器有限增益对调制器的影响进行了详细的数学分析,为调制器设计提供了理论依据。调制器采用 $0.5\ \mu\text{m}$ CMOS 工艺设计,仿真结果表明,调制器可以工作在 $1.4\ \text{V}$ 的低电源电压下,并以极低的功耗实现近 $100\ \text{dB}$ 的信噪失真比(SNDR)。

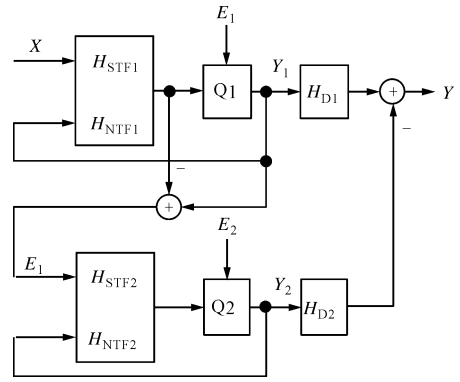
1 OTA 增益对量化噪声的影响分析

OTA 增益决定了模拟积分器精度,进而影响调制器中量化噪声的整形效果。本章分别对传统级联结构和带级间反馈的级联结构中 OTA 增益的影响进行分析和对比,为调制器设计提供理论依据。

1.1 传统级联结构

典型的级联结构调制器包含由积分器构成的滤波环路、量化器和数字抵消逻辑^[11]。以两级级联的调制器为例,输入信号 X 经过第 1 级调制器的信号传递函数 H_{STF1} 处理,通过量化器 Q1 产生第 1 级的数字输出 Y_1 ,其量化噪声 E_1 被噪声传递函数 H_{NTF1} 整形;第 2 级调制器以 E_1 为输入,处理过程与第 1 级相似,并得到输出 Y_2 ;两级的输出结果 Y_1 和 Y_2 再经过数字抵消逻辑处理得到最终结果 Y ,如图 1 所示。

经过推导,调制器输出 Y 可以表示为



$H_{\text{STF1}}, H_{\text{STF2}}$: 信号传递函数; $H_{\text{NTF1}}, H_{\text{NTF2}}$: 噪声传递函数;
Q1、Q2: 量化器; $H_{\text{D1}}, H_{\text{D2}}$: 数字抵消逻辑的传递函数; E_1, E_2 :
量化噪声; Y_1, Y_2 : 数字输出码; X, Y : 调制器的输入和输出

图 1 传统两级级联调制器

$$Y = H_{\text{D1}} Y_1 + H_{\text{D2}} Y_2 = H_{\text{D1}} H_{\text{STF1}} X + (H_{\text{D1}} H_{\text{NTF1}} - H_{\text{D2}} H_{\text{STF2}}) E_1 - H_{\text{D2}} H_{\text{NTF2}} E_2 \quad (1)$$

如果调制器传递函数与 H_{D1} 和 H_{D2} 存在以下关系

$$\left. \begin{aligned} H_{\text{D1}} &= H_{\text{STF2}} \\ H_{\text{D2}} &= H_{\text{NTF1}} \end{aligned} \right\} \quad (2)$$

则有

$$Y = H_{\text{STF1}} H_{\text{STF2}} X - H_{\text{NTF1}} H_{\text{NTF2}} E_2 \quad (3)$$

即 E_1 被完全消除,仅有经过高阶整形的 E_2 出现在调制器输出中。通常,信号传递函数仅对输入信号产生几个周期的延时,而量化噪声则经过 L_i 阶整形。因此,将两级的信号传递函数和噪声传递函数分别选择为

$$\left. \begin{aligned} H_{\text{STFi}} &= z^{-L_i} \\ H_{\text{NTFi}} &= (1 - z^{-1})^{L_i} \end{aligned} \right\} \quad (4)$$

式中: L_i 为第 i 级调制器的阶数。代入式(3)得到最终输出

$$Y = z^{-L_1} X - (1 - z^{-1})^{L_2} E_2 \quad (5)$$

基于白噪声假设和 $z = e^{j2\pi f/f_s}$ 的基本 z 变换公式,对于 L_i 阶理想级联型调制器,信号带内量化噪声功率(P_{IBN})为^[12]

$$P_{\text{IBN}} \approx \frac{\pi^{2L}}{(2L_i + 1)M^{2L_i+1}} E_2 \quad (6)$$

式中: M 表示过采样率。式(6)是一个通用表达式,不针对特定结构,因此没有出现调制器系数和量化器增益。为了衡量积分器中 OTA 有限增益的影响,需要计算放大器输出电压与其增益的关系,借助图 2 中考虑 OTA 有限增益的开关电容模型,可以得到积分器第 n 个周期的输出电压

$$V_{o,n} = \frac{[1 + (1 + C_P/C_1)/A]V_{o,n-1}}{1 + [1 + (\sum_{i=1}^n C_{Si}/C_1) + C_P/C_1]/A} +$$

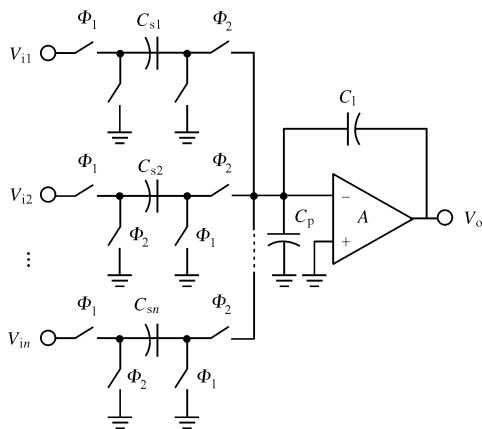


图2 考虑OTA有限增益的开关电容积分器模型

$$\frac{\sum_{i=1}^n [(C_{Si}/C_1)V_{i,n-1}]}{1 + [1 + (\sum_{i=1}^n C_{Si}/C_1) + C_p/C_1]/A} \quad (7)$$

对式(7)进行 z 变换,可以得到积分器输入电压与输出电压在 z 域的关系

$$V_o(z) = \frac{z^{-1} \sum_{i=1}^n [(C_{Si}/C_1)V_{i,n-1}(z)]}{(1 + k_{fbi}/A)[1 - z^{-1}(1 + k_{fbs}/A)/(1 + k_{fbi}/A)]} \quad (8)$$

式中

$$\left. \begin{aligned} k_{fbs} &= 1 + C_p/C_1 \\ k_{fbi} &= 1 + (\sum_{i=1}^n C_{Si}/C_1) + C_p/C_1 \end{aligned} \right\} \quad (9)$$

式(8)表明,OTA的有限直流增益将使积分器出现增益误差和相位误差。不考虑具体积分系数,即令

$$\sum_{i=1}^n C_{Si}/C_1 = 1 \quad (10)$$

得到积分器传递函数 $H_{ITF}(z)$ 的表达式

$$H_{ITF}(z) \approx \frac{z^{-1}}{1 - z^{-1}[1 + (k_{fbs} - k_{fbi})/A]} = \frac{z^{-1}}{1 - z^{-1}(1 - 1/A)} \quad (11)$$

则调制器的信号传递函数和噪声传递函数为

$$\left. \begin{aligned} H_{STF} &= \left(\frac{z^{-1}}{1 + z^{-1}/A} \right)^L \approx (z^{-1})^L \\ H_{NTF} &= \left[\frac{1 - z^{-1}(1 - 1/A)}{1 + z^{-1}/A} \right]^L \approx \left[\frac{1 - z^{-1}(1 - 1/A)}{1 + z^{-1}/A} \right]^L \end{aligned} \right\} \quad (12)$$

式(12)表明,OTA有限增益将导致 E_1 泄漏至输出

端,严重影响调制器整体性能。根据式(8),可将调制器带内量化噪声功率重新计算为

$$P_{IBN} \approx \left[\sum_{m=0}^{L_1-1} C_{L_1}^m \frac{\pi^{2m}}{(2m+1)M^{2m+1}A^{2(L_1-m)}} \right] E_1 + \left[\frac{\pi^{2L_1}}{(2L+1)M^{2L_1+1}} \sum_{m=0}^{L_2} \frac{\pi^{2m}}{(2m+1)M^{2m+1}A^{2(L_1+L_2-m)}} \right] E_2 \quad (13)$$

式中: L_1 和 L_2 分别为两级调制器的阶数,且 $L_1 + L_2 = L$ 。可以看到,量化噪声同时受到 M 和 A 的影响。为了使实际量化噪声功率接近式(6)的理想情况,即将其抑制到 $1/M^{2L+1}$ 的数量级,第1级调制器OTA的直流增益至少需要达到 M^{L+1} ,第2级调制器OTA的直流增益与 M 数量级一致即可。这一结果证明了传统级联结构需要高增益放大器来抑制模拟域传递函数与数字域传递函数失配引起的量化噪声泄漏。

1.2 带级间反馈的级联结构

在传统级联结构中引入部分级间反馈,即将第2级调制器的输出反馈到第1级调制器的环路中,能克服传统级联结构的缺点,并可去除数字抵消逻辑,如图3所示。调制器整体输出结果为

$$Y = H_{STF1}X - H_{NTF1}H_{NTF2}E_2 + H_{NTF1}(1 - H_{STF2})E_1 \quad (14)$$

对比式(14)与式(3)可知,带有级间反馈的级联结构的输出中多了一个与 E_1 有关的项 $H_{NTF1}(1 - H_{STF2})E_1$ 。令 $H_{STF2} = 1$,可将 E_1 完全消除。考虑到实际电路中实现无延迟传递函数的难度,重新选择 $H_{NTF2} = 1 - H_{STF2}$,则得到输出结果

$$Y = H_{STF1}X - H_{NTF1}H_{NTF2}E_2 + H_{NTF1}H_{NTF2}E_1 = z^{-L_1} - (1 - z^{-1})^{L_1+L_2}E_2 + (1 - z^{-1})^{L_1+L_2}E_1 \quad (15)$$

输出中包含延时的输入信号和经过同样高阶整形的两级调制器量化噪声。其带内量化噪声功率为

$$P_{IBN} \approx \frac{\pi^{2L}}{(2L+1)M^{2L+1}}E_1 + \frac{\pi^{2L}}{(2L+1)M^{2L+1}}E_2 \quad (16)$$

式(16)表明,两级调制器贡献的量化噪声相同^[10]。考虑OTA有限直流增益的影响后量化噪声功率为

$$P_{IBN} \approx \left[\sum_{m=0}^L C_L^m \frac{\pi^{2m}}{(2m+1)M^{2m+1}A^{2(L-m)}} \right] E_1 + \left[\sum_{m=0}^L C_L^m \frac{\pi^{2m}}{(2m+1)M^{2m+1}A^{2(L-m)}} \right] E_2 \quad (17)$$

式(17)表明,只需要调制器中OTA增益大致与 M 在同一数量级,即可将量化噪声功率抑制到接近式

(16)给出的理想情况。

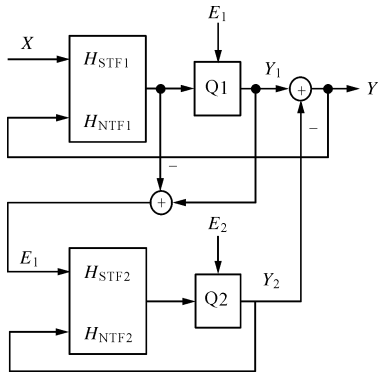


图 3 带级间反馈的两级级联调制器

为了验证上述分析,分别对 2 种结构进行了建模和仿真。2 种结构采用相同的参数($L_1=2, L_2=2, L=4$),过采样率都为 128。仿真结果表明,级间反馈结构大致需要 40 dB 的直流增益即可获得大于 100 dB 的信噪失真比,而传统级联结构需要 80 dB 以上的直流增益才能使信噪失真比达到相同的水平,如图 4 所示。

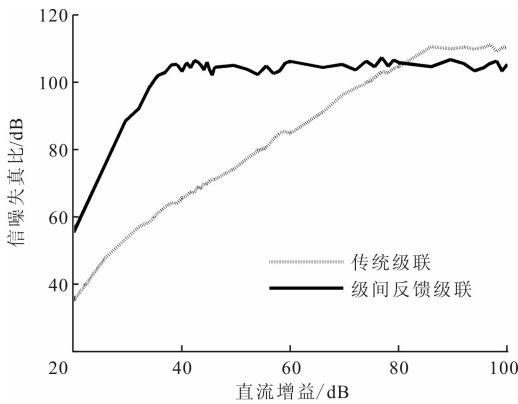


图 4 2 种级联结构的增益要求

2 调制器电路设计

级间反馈结构降低了积分器中放大器的增益要求,本文中的 2 级(4 阶)级联调制器采用反相器实现积分功能,包括分别由 4 个反相器构成的伪差分积分器、2 个单比特量化器(Q_1, Q_2)、数模转换器(DAC)和时钟电路,其整体结构如图 5 所示。其中, $a_1 \sim a_4$ 为调制器系数。

2.1 采用反相器的自校准积分器

基于反相器的积分器是本文调制器的核心模块。为了降低调制器的电源电压和整体功耗,采用 C 类反相器替代 OTA 构造积分器,并在采样时钟 Φ_1 和积分时钟 Φ_2 控制下工作,如图 6 所示。DAC

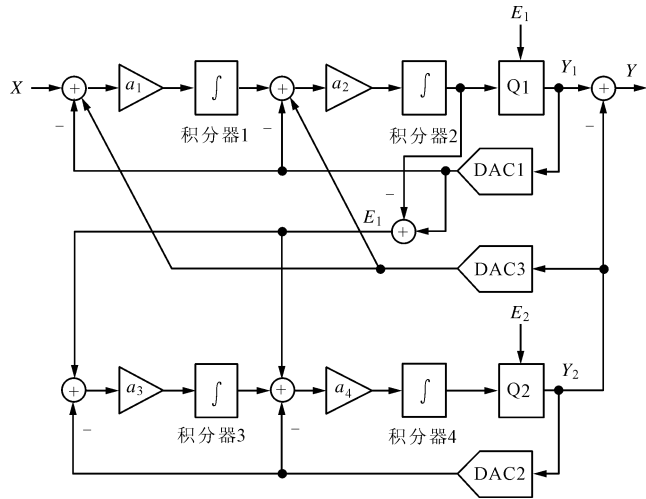
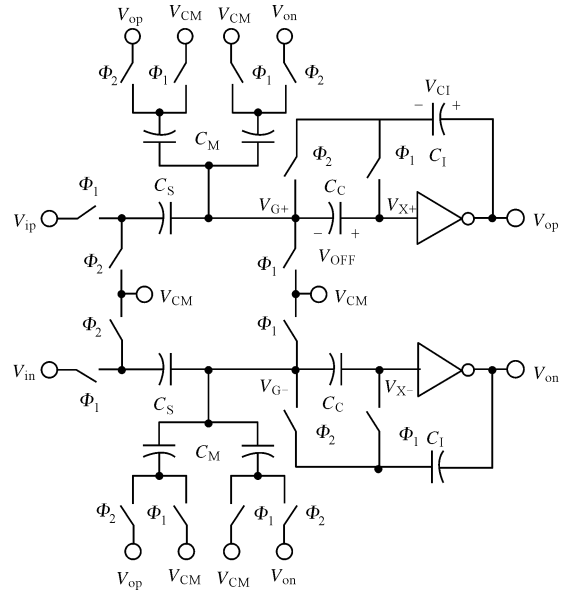


图 5 用反相器实现积分的级联型调制器结构

模块可以借助积分器的开关电容网络实现信号反馈。



C_S, C_1, C_C, C_M : 采样电容、积分电容、补偿电容、共模检测电容;
 V_{ip}, V_{in} : 差动输入电压的正、负极; V_{op}, V_{on} : 差动输出电压的正、
负极; V_{CM} : 共模电压; V_{G+}, V_{G-} : 虚地点电压; V_{X+}, V_{X-} :
反相器输入端电压; V_{OFF} : 失调电压; V_{C1} : 积分电容两侧电压

图 6 采用反相器的伪差分自校准积分器

反相器不能提供类似 OTA 中的虚地,在形成闭环回路时,其输入端存在失调电压 V_{OFF} ,其计算公式如下

$$V_X = \frac{A}{1+A} V_{OFF} - \frac{V_{C1}}{1+A} \approx V_{OFF} \quad (18)$$

失调电压 V_{OFF} 会导致 C_S 转移到 C_1 的电荷量出现误差,影响积分精度和调制器性能,因此需要校准。本文的伪差分结构积分器可实现失调电压的自校准。本文采用 $0.5 \mu\text{m}$ CMOS 工艺, NMOS 和 PMOS 的阈值电压分别为 $V_{THN} = 724 \text{ mV}$ 和 $V_{THP} = -712 \text{ mV}$,

选择电源电压 $V_{DD} = V_{THN} + |V_{THP}|$, 即 1.4 V 时, 推挽互补结构的 CMOS 反相器偏置在强反型区与弱反型区边界, 可以获得较优的直流增益和增益带宽积折中, 反相器作为 AB 类运放工作^[13]。以伪差分结构的正端为例分析: 在 Φ_1 时钟相, 采样电容 C_S 对输入电压采样, 补偿电容 C_C 对失调电压 V_{OFF} 采样, 共模检测电容 C_M 上的电荷完全泄放, V_X 大致在共模电压 (0.7 V) 附近, N 型晶体管 (NMOS) 和 P 型晶体管 (PMOS) 偏置在亚阈值区边界, 静态功耗很小。 Φ_2 时钟相的起始时刻, C_S 下极板接地, V_{X+} 跳变至 $V_{OFF} - V_{ip}$, 反相器中一只晶体管进入强反型区, 另一只完全截止, Φ_2 时钟相内, C_S 上的电荷开始转移至 C_1 , V_X 逐渐回到 V_{OFF} , 反相器回到亚阈值偏置状态; 电荷转移过程结束后, 由于反相器仍然处于闭环状态, 其输入端失调电压保持为 V_{OFF} , 而 C_C 没有电荷泄放通路, 储存在该 C_C 上的电荷不变, 加在 C_C 两端的电压 V_{OFF} 也不变, 这会强制 V_G 成为“信号地”, C_S 上的电荷完全转移至积分电容 C_1 ; 同时, C_M 对 V_{op} 和 V_{on} 采样, 并将开关电容电路的运算结果输出至 V_G , 完成共模反馈。

实际积分器电路中采用共源共栅结构的 C 类反相器, 即在基本反相器 MN1 和 MP1 的基础上增加一对共源共栅管 MN2 和 MP2, 以保证反相器增益达到 40 dB, 如图 7 所示。

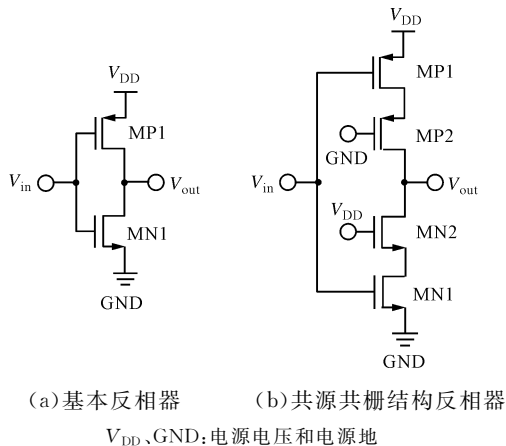


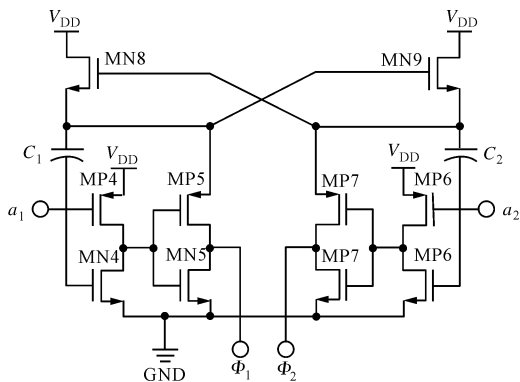
图7 基本反相器与共源共栅结构反相器

2.2 时钟电路

积分器需要在两相不交叠时钟控制下工作, 由于电源电压较低, 需要使用时钟自举电路将时钟抬高, 以保证 CMOS 开关充分导通, 减少导通电阻对电路的影响^[14]。

本文采用的时钟自举电路如图 8 所示, 低电压域的两相不交叠时钟 a_1 和 a_2 控制自举电路, 将 C_1

和 C_2 上极板电压抬高一个 V_{DD} , 输出高电压域的两相不交叠时钟 Φ_1 和 Φ_2 。需要注意的是, MP5 和 MP7 的源端电压高于 V_{DD} , 其衬底要接自身源端才能正常工作。



MN4~MN9: NMOS 晶体管; MP4~MP7: PMOS 晶体管;
 C_1 、 C_2 : 自举电容; a_1 、 a_2 : 低电压域两相不交叠时钟;
 Φ_1 、 Φ_2 : 高电压域两相不交叠时钟

图8 本文采用的时钟自举电路

3 仿真结果

本文的调制器采用 0.5 μm CMOS 工艺设计, 由于采用反相器实现积分功能, 电源电压低于 1.4 V 时, SNDR 才出现较为显著的恶化, 如图 9 所示。调制器的版图核心面积 858 $\mu\text{m} \times 525 \mu\text{m}$, 如图 10 所示。

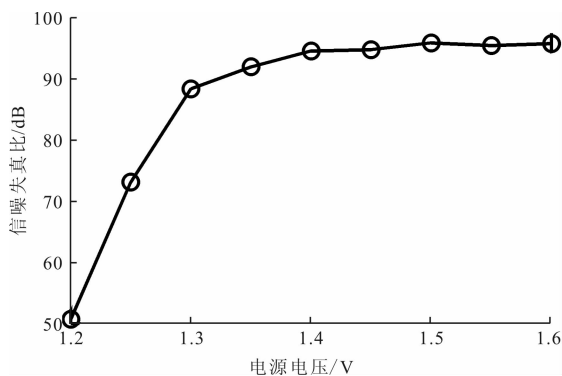


图9 不同电源电压下调制器的信噪失真比

采用 Spectre 对电路进行仿真, 调制器将输入正弦信号的幅值信息调制成为 2 串数字码流 D_1 和 D_2 。采样频率为 1 MHz, 输入信号频率为 1 037.597 656 25 Hz 时, 对 D_1 和 D_2 处理并进行 FFT 分析, 得到调制器的输出频谱, 如图 11 所示。

典型 (tt) 工艺角下, 调制器信噪失真比峰值达到 99.8 dB, 有效位数 16.29 bit; 慢速 (ss)、快速 (ff)、NMOS 慢 PMOS 快 (sf)、NMOS 快 PMOS 慢

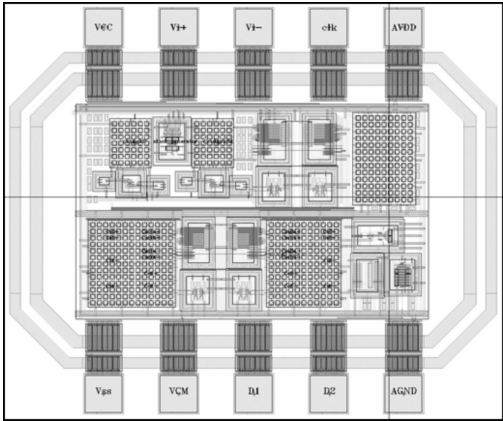


图 10 调制器版图

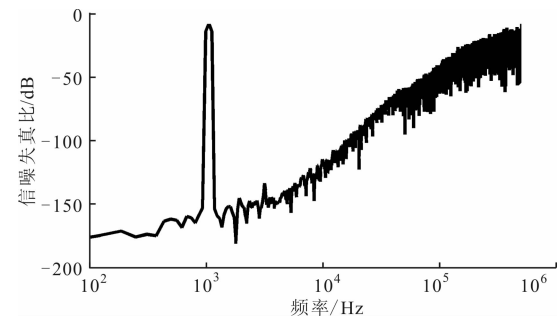


图 11 调制器动态性能仿真结果

(fs)工艺角下,信噪失真比峰值分布范围为 95.1~98.3 dB,其中 ss 工艺角为最差情况,偏离 tt 工艺角 3.7 dB。仿真结果表明,本文的调制器结构在不同工艺角下 SNDR 曲线偏差不大,仿真结果受工艺波

动影响较小,具有较好的工艺鲁棒性,不同工艺角下调制器 SNDR 随输入信号幅度的变化如图 12 所示。

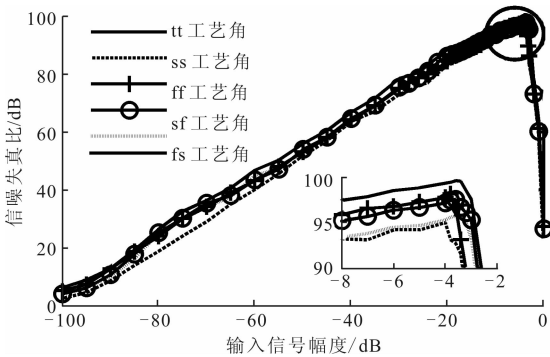


图 12 不同工艺角调制器信噪失真比随输入信号幅度的变化

调制器平均电流消耗 58.6 μA ,其性能采用综合优值(F_{OM})衡量^[13]

$$F_{\text{OM}} = D + 10\lg\left(\frac{B}{P}\right) = 177 \text{ dB} \quad (19)$$

式中: D 表示调制器动态范围; B 表示调制器信号带宽; P 表示调制器功耗。

表 1 总结了调制器的详细性能参数,并与近期相关文献进行了对比。可以看出,本文调制器的精度优势明显。另外,虽然本文采用的工艺相对落后,但由于采用了反相器实现积分功能,电源电压较低,与其他采用先进工艺的调制器相当,因此 F_{OM} 具有一定优势。

表 1 4 种不同结构调制器的性能总结与对比

调制器	工艺尺寸/ μm	有效位数/bit	电源电压/V	信号带宽/kHz	过采样率	功耗/ μW	版图面积/ mm^2	F_{OM} /dB
文献[10]	0.180	12.10	1.2	20 000.0	16	3 200.00	1.920	174
文献[15]	0.065	14.82	0.8	20.0	125	230.00	0.300	177
文献[16]	0.350	14.31	1.5	20.0	60	140.00	0.207	174
本文	0.500	16.29	1.4	3.9	128	82.04	0.450	177

4 总 结

本文设计了一种对放大器增益不敏感的级联型低压低功耗调制器,并采用 C 类反相器替代 OTA 实现积分功能,显著降低了电源电压和功耗。电路采用 0.5 μm CMOS 工艺设计。仿真结果表明,调制器的有效位数达到 16 位,平均电流消耗为 58.6 μA ,版图核心面积为 858 $\mu\text{m} \times 525 \mu\text{m}$, F_{OM} 为 177 dB。

参考文献:

[1] 张鸿,张牡丹,张杰,等. 用于植入式医疗装置的逐

次逼近模数转换器[J]. 西安交通大学学报, 2015, 49(2): 43-48.
ZHANG Hong, ZHANG Mudan, ZHANG Jie, et al. A successive approximation register analog-to-digital converter for implantable biomedical devices [J]. Journal of Xi'an Jiaotong University, 2015, 49(2): 43-48.
[2] 李冬梅,高文焕,张鸿远,等. 过采样 Sigma Delta 调制器的研究与仿真[J]. 清华大学学报(自然科学版), 2000, 40(7): 89-92.
LI Dongmei, GAO Wenhuan, ZHANG Hongyuan, et al. Analysis and simulation of oversampling sigma delta modulator [J]. Journal of Tsinghua University (Sci

- & Tech), 2000, 40(7): 89-92.
- [3] JOSE M R, ROCIO R. CMOS Sigma-delta converters [M]. New York, USA: John Wiley & Sons, Inc., 2013: 2-8.
- [4] 陈浩, 孙权, 张鸿, 等. 用于超低频信号测量的高精度低功耗增量式模数转换器 [J]. 西安交通大学学报, 2017, 51(6): 79-85.
CHEN Hao, SUN Quan, ZHANG Hong, et al. Incremental analog-to-digital converter with high resolution and low power for measurement of ultra-low-frequency signals [J]. Journal of Xi'an Jiaotong University, 2017, 51(6): 79-85.
- [5] REX T B, TERRI S F. Linearity enhancement of multibit $\Delta\Sigma$ A/D and D/A converters using data weighted averaging [J]. IEEE Transactions on Circuits and Systems: II Analog and Digital Signal Processing, 1995, 42(12): 753-762.
- [6] RICHARD S. An empirical study of high-order single-bit delta-sigma modulators [J]. IEEE Transactions on Circuits and Systems: II Analog and Digital Signal Processing, 1993, 40(8): 461-466.
- [7] RIO R, MEDEIRO F, PEREZ-VERDU B, et al. CMOS Cascade sigma-delta modulators for sensors and telecom: error analysis and practical design [M]. Berlin Germany: Springer, 2006: 34-43.
- [8] MAGHARI N, KWON S, CABOR C T, et al. Sturdy MASH $\Delta\Sigma$ modulator [J]. Electronic Letters, 2006, 42(22): 1269-1270.
- [9] NAUTA B. A CMOS transconductance-C filter technique for very high frequencies [J]. IEEE Journal of Solid State Circuits, 1992, 27(2): 142-153.
- [10] MAGHARI N, KWON S, MOON U. 74 dB SNDR multi-loop sturdy-MASH delta-sigma modulator using 35 dB open-loop opamp gain [J]. IEEE Journal of Solid State Circuits, 2009, 44(8): 2212-2221.
- [11] UCHIMURA K, HAYASHI T, KIMURA T, et al. Oversampling A-to-D and D-to-A converters with multistage noise shaping modulators [J]. IEEE Transactions on Acoustics, Speech, and Signal Processing, 1988, 36(12): 1899-1905.
- [12] MALOBERTI F. Data converters [M]. Berlin, Germany: Springer, 2007: 13-15.
- [13] YOUNGCHEOL C, GUNHEE H. Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator [J]. IEEE Journal of Solid State Circuits, 2009, 44(2): 458-472.
- [14] MICHEL F, STEYAERT M. A 250 mV 7.5 μ W 61 dB SNDR SC Δ modulator using near-threshold-voltage-biased inverter amplifiers in 130 nm CMOS [J]. IEEE Journal of Solid State Circuits, 2012, 47(3): 709-721.
- [15] LUO H, HAN Y, Cheung R C, et al. A 0.8 V 230 μ W 98 dB DR inverter-based $\Sigma\Delta$ modulator for audio applications [J]. IEEE Journal of Solid State Circuits, 2013, 48(10): 2430-2441.
- [16] CHRISTEN T. A 15 bit 140 μ W scalable-bandwidth inverter-based $\Delta\Sigma$ modulator for mems microphone with digital output [J]. IEEE Journal of Solid State Circuits, 2013, 48(7): 1605-1614.

(编辑 刘杨)

(上接第 36 页)

- [19] MARAFONA J, GHOSAL J A G. A finite element model of EDM based on the Joule effect [J]. International Journal of Machine Tools & Manufacture, 2006, 46(6): 595-602.
- [20] STRASKY J, JANECEK M, HARCUBA P, et al. The effect of microstructure on fatigue performance of Ti-6Al-4V alloy after EDM surface treatment for application in orthopaedics [J]. J Mech Behav Biomed Mater, 2011, 4(8): 1955-1962.
- [21] DAS S, KLOTZ M, KLOCKE F. EDM simulation; finite element-based calculation of deformation, microstructure and residual stresses [J]. Journal of Materials Processing Technology, 2003, 142(2): 434-451.
- [22] SHANKAR P, JAIN V K, SUNDARARAJAN T. Analysis of spark profiles during EDM process [J]. Machining Science & Technology, 1997, 1(2): 195-217.
- [23] 崔景芝, 王振龙. 放电通道的微观模拟及其物理性能研究 [J]. 电加工与模具, 2007(1): 13-16.
CUI Jingzhi, WANG Zhenlong. Microcosmic simulation of discharge channel in EDM [J]. Electromachining & Mould, 2007(1): 13-16.
- [24] 薛锐. 电火花放电通道的理论分析与放电间隙测试研究 [D]. 上海: 上海交通大学, 2011: 23-26.

(编辑 杜秀杰)