

DOI: 10.7652/xjtub202001020

用于高速模数转换器的电荷泵型低抖动时钟管理电路

李楠楠¹, 黄正波¹, 季惠才², 盛炜², 张鸿¹

(1. 西安交通大学微电子学院, 710049, 西安; 2. 中国电子科技集团公司第五十八研究所, 214000, 江苏无锡)

摘要: 针对高速模数转换器(ADC)对时钟信号的占空比以及低抖动的要求,提出了一种电荷泵型的时钟管理电路,利用电荷泵构成两个闭环回路,分别实现占空比稳定和可调双相不交叠时钟产生功能。电荷泵对时钟相位的积分功能可实现宽范围的时钟占空比调节,并能明显抑制电源噪声对时钟下降沿抖动的影响。该时钟管理电路采用 0.18 μm 标准 CMOS 工艺设计。版图寄生参数提取后的仿真结果表明:该时钟管理电路可在 40~200 MHz 频率范围内,将 20%~80% 的输入占空比稳定地调整到 45%~55% 的范围内;在 200 mV 电源干扰的条件下,输出时钟抖动可降低到传统 RC 型占空比稳定电路的 1/10 之下。将该时钟电路应用于一款双通道、200 MSPS、14 位的流水线 ADC 中,测试结果表明 ADC 的信号噪声失真比达到了 73.01 dB。

关键词: 流水线 ADC; 时钟管理电路; 电荷泵; 占空比稳定

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2020)01-0162-07

A Low Jitter Charge Pump Based Clock Management Circuit for High Speed Analog-to-Digital Converters

LI Nannan¹, HUANG Zhengbo¹, JI Huicai², SHENG Wei², ZHANG Hong¹

(1. School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China;

2. No. 58 Research Institute, China Electronic Technology Group Corporation, Wuxi, Jiangsu 214000, China)

Abstract: To fulfil the requirements of wide-range duty cycle adjustment and low jitter for the clock signals of high-speed analog-to-digital converters (ADC), a charge-pump type clock management circuit was proposed, which uses charge pumps to form two closed loops, achieving wide-range duty cycle stabilization and adjustable two-phase non-overlapping clock generation. The charge pump's integral function of the clock phase extends the range of the input clock duty cycle stabilization and significantly suppresses the effect of power supply noise on the falling edge of the clock. Designed in a 0.18 μm standard CMOS process, the post-layout simulation results showed that the input signal frequency range of the proposed clock management circuit is 40-200 MHz, and the clock duty cycle can be stably adjusted into the range of 45%-55% within an input duty cycle of 20%-80%. Under the condition of 200 mV power supply interference, the output clock jitter can be reduced by a factor of ten compared with the traditional RC-type duty cycle stabilization circuit at low frequency. The proposed clock circuit was applied to a dual-channel, 200 MSPS, 14-bit pipeline ADC, and a signal-to-noise-to-distortion ratio of 73.01 dB is achieved.

Keywords: pipeline ADC; clock management circuit; charge pump; duty cycle stabilization

收稿日期: 2019-07-10。 作者简介: 李楠楠(1996—),男,硕士生;张鸿(通信作者),男,教授,博士生导师。 基金项目: 国家自然科学基金资助项目(61974118);模拟集成电路重点实验室基金资助项目(6142802180105)。

网络出版时间: 2019-09-24

网络出版地址: <http://kns.cnki.net/kcms/detail/61.1069.T.20190923.1443.004.html>

在各种类型的模数转换器(ADC)中,流水线 ADC 能同时实现高速和高精度的模数转换,因而广泛应用于图像处理、雷达和射频收发机等系统^[1-5]。流水线 ADC 中的时钟电路主要用来为采样电路、各子级比较器和数模转换器(DAC)提供互补的双相不交叠时钟信号。在高速采样的情况下,流水线 ADC 的精度不仅受运放、比较器等模拟电路的影响,还受到时钟电路占空比变化和时钟沿抖动的严重影响。因此,为了实现高速高精度的 ADC,需要时钟管理电路能在较宽的输入频率范围内,将任意占空比的输入时钟信号处理为具有稳定占空比(通常为 50%)的时钟信号,并使其保持较低的抖动。

文献[6]提出了一种时钟占空比稳定电路,虽然其结构较为简单,但是需要互补时钟信号输入,且其两相不交叠时钟产生电路采用了传统的 RS 触发器结构,不交叠量由逻辑门的延迟决定,不能随输入频率变化而自适应地调整。文献[7]提出了一种采用逐次逼近 ADC 控制器的数字反馈型混合模式占空比稳定电路,虽然实现了较低耗功,但是该电路能处理的占空比范围较小。文献[8]提出了一种采用脉宽调制单元校正方波占空比的时钟电路,同样需要互补输入的时钟信号。更为重要的是,以上几种电路都未在电路设计中考虑电源噪声对时钟抖动的影响,难以保证高速 ADC 对时钟信号低抖动的需求。文献[9]虽然对占空比稳定电路的噪声进行了简单分析,但其采用的占空比稳定电路抗电源噪声能力较差。

本文提出的时钟管理电路采用了基于电荷泵的延迟锁相环结构,利用电荷泵内在的积分功能抑制延时链的噪声,从而降低电源噪声对时钟抖动的影响。文中详细分析了该结构的电源噪声抑制原理,并基于该结构设计了用于流水线 ADC 的时钟管理电路,包含两个电荷泵延迟锁相环(DLL1、DLL2)和一个时钟相位运算电路。DLL1 能够在 40~200

MHz 的时钟频率范围内,将 20%~80% 范围的输入时钟占空比稳定到 50% 左右;DLL2 对 DLL1 的输出时钟进行处理,得到相位可控的一系列等延时时钟,并由时钟相位运算电路产生流水线 ADC 所需的两相不交叠时钟,解决了基于 RS 触发器的传统两相不交叠时钟的不交叠时间固定且受工艺波动影响大的缺陷。

1 电路结构及原理

本文基于电荷泵时钟管理电路主要分为窄脉冲产生电路、两个 DLL 和相位运算电路 4 个模块,如图 1 所示。DLL1 的作用是将不同占空比的输入时钟信号处理为占空比为 50% 的时钟信号;DLL2 再将 DLL1 输出的 50% 占空比时钟信号延迟较短的时间,并产生多个等相位差的时钟信号 $P_1, P_2, P_3, \dots, P_8$,其中 P_n 与 P_{n+1} 为反相时钟信号,且二者之间存在一定的延时;相位运算电路对 DLL2 的输出相位进行运算,产生高速流水线 ADC 所需要的双相不交叠时钟 $CLK_{OUT1}, CLK_{OUT2}, \dots, CLK_{OUTn}$ 信号,其中 CLK_{OUTn} 与 $CLK_{OUT(n+1)}$ 信号为一组两相不交叠时钟信号, n 可以根据实际电路需要的不交叠时钟信号数量确定。下面详细给出各个模块的工作原理。

1.1 窄脉冲产生电路

窄脉冲产生电路由 D 触发器以及反相器和缓冲器组成,如图 2a 所示,其作用是将任意占空比的输入时钟信号转换为一个固定脉宽的窄脉冲时钟信号,方便之后的 DLL 通过延时来调节该时钟信号的占空比,如图 2b 所示。

1.2 电荷泵型 DLL 的结构和原理

图 1 中的两个 DLL 都是电荷泵型 DLL,主要包括可控延时链、鉴相器、电荷泵和单端转互补等模块,可控延时链由多级延时单元电路级联而成。由于两个 DLL 实现的功能不同,因而采用了不同的延

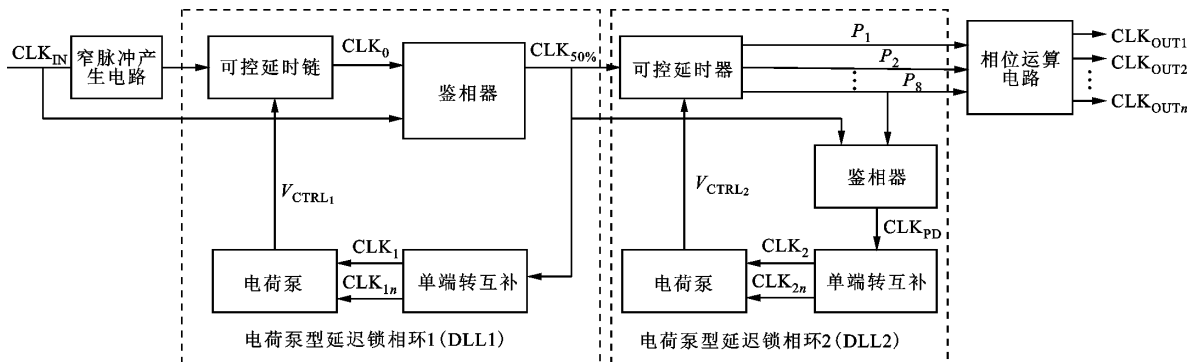


图 1 时钟管理电路整体结构

时单元结构,如图3所示。DLL1的目的是稳定输出时钟的占空比,因而只需对时钟的一个沿的延时进行调节,同时保证对另一个沿不产生影响。为了达到这个目的,本文DLL1的延时链采用了图3a所示的结构,端电压 V_{CTRL} 的值仅影响时钟下降沿的延时量而对上升沿没有影响。DLL2需要同时对时钟信号的上升沿和下降沿产生一个小的可控延时,因此采用了图3b所示的结构,通过改变反相器的等效负载来同时改变输出时钟上升沿和下降沿的延时量。

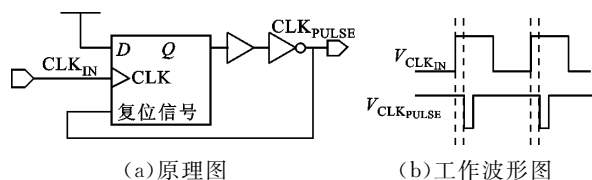


图2 窄脉冲产生电路

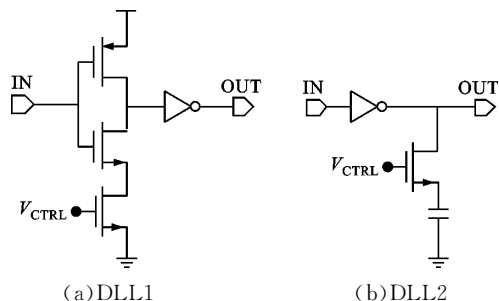


图3 延时单元电路

图4给出了两个DLL中的鉴相器结构。图4a所示的鉴相器结构能够使DLL1的输出时钟的上升沿与输入时钟的上升沿对齐,同时使其下降沿与延时链输出信号的下降沿对齐,这样可以保证时钟上升沿的抖动不受延时链的影响,而下降沿的抖动则由DLL1的反馈环路来抑制。DLL2实现的延迟量较小,因此直接采用一个两输入与非门来实现鉴相,以减小开销。两个鉴相器的输出信号与输入信号的时序关系如图5所示。

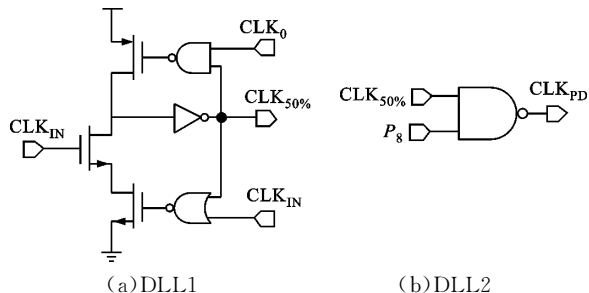


图4 鉴相器结构

两个延迟锁相环中的单端转互补电路由反相器和传输门组成,作用是将时钟信号由单相时钟信号转换为两个互补的时钟信号,为电荷泵提供控制时钟。

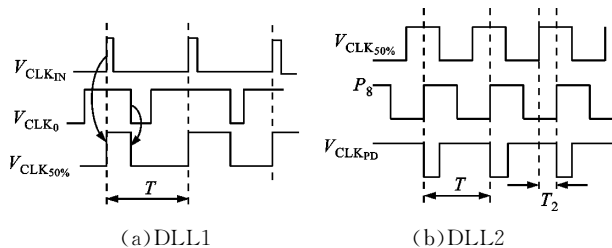


图5 鉴相器工作波形示意图

电荷泵电路的原理如图6所示,其作用是检测时钟CLK信号以及其互补时钟 CLK_n 信号的占空比。除了输出支路的开关和电容外,该电荷泵还增加了一组与输出支路互补工作的开关电容和一个运放,目的是使两个电流源始终保持在开启状态,且保证电流源的端电压始终跟随输出电压,从而避免开关切换时电流源端电压波动引起的相位抖动。

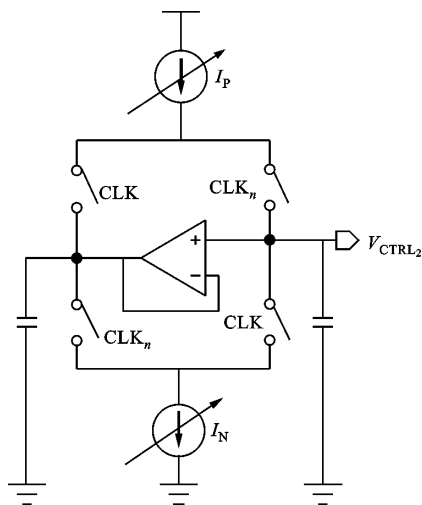


图6 电荷泵电路原理图

需要注意的是,DLL1和DLL2的电荷泵中电流源 I_P 与 I_N 的比例不相等。根据图1和图4,在DLL1稳定后,其鉴相器的输出即为占空比为50%的时钟信号。因此,假设电荷泵输入时钟CLK信号的周期为 T ,高电平时间为 T_1 ,那么从图6所示的电路原理可轻易推得,在DLL1稳定后,其输出的时钟CLK信号的占空比为

$$\frac{T_1}{T} = \frac{I_P}{I_P + I_N} \quad (1)$$

为了保证50%的占空比,需要DLL1电流源 I_P 与 I_N 的比例为1:1。

对于DLL2来说,其鉴相器实现延时链的输出信号 P_8 与50%占空比时钟 $CLK_{50\%}$ 输入信号的与非,这使得控制DLL2电荷泵的时钟信号的占空比为 $(T_2 + T/2)/T$,其中 T_2 为DLL2的延时链的总延时量。因此,DLL2的延时链中相邻延时链输出

时钟之间的延时量为 T_2/N ,其中 N 为 DLL2 的延时链的级数(本文中 N 为 8)。设计时,可根据式(1)和实际所需的延时量来确定 DLL2 电荷泵中 I_P 与 I_N 的比例。

1.3 相位运算电路工作原理

相位运算电路用来产生多组两相不交叠时钟信号,为流水线 ADC 的采样电路以及比较器提供时钟。传统的两相不交叠时钟信号都是基于 RS 触发器产生^[6],不交叠时间由逻辑门的延迟决定,因而难以调节且受工艺波动影响较大。本文用 DLL 结合相位运算电路,可以灵活地产生各种相位可调的时钟信号,且延时量可根据输入信号的频率自适应地调整。

相位运算电路主要由多路选择器、与或非门、缓冲器组成。图 7a 给出了产生一组不交叠时钟信号所需的相位运算电路结构(整个相位运算电路包含多组这样的电路)。首先,DLL2 产生的等延时时钟信号 $P_1, P_2, P_3, \dots, P_8$ 进行缓冲和反相后,产生 16 种 50% 占空比的时钟信号,然后通过控制各个多路选择器将 16 个信号选通到不同的与门和或门中,以产生 ADC 需要的各种两相不交叠时钟信号。例如,图 7a 所示的电路将 P_1 及其反相信号与 P_8 及其反相信号分别进行与运算,得到一组两相不交叠时钟信号,如图 7b 所示,其中 $\sim P_1, \sim P_8$ 分别为时钟信号 P_1, P_8 的反相信号。分析可知,两个与门输出的信号即为一组双相不交叠信号,不交叠量为 $(T - 7T_2/4)$ 。在 DLL2 的控制下, T_2 会随输入频率自适应地调整,以保证占空比不变,从而使得不交叠量也随输入信号频率的变化而自适应地改变。

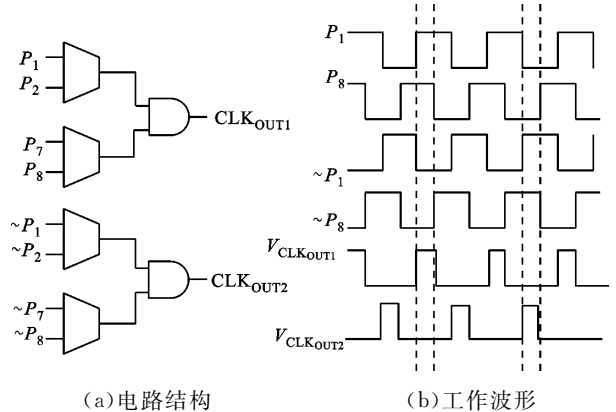


图 7 相位运算电路结构及其工作波形

2 电荷泵型 DLL 的噪声分析

在高速 ADC 中,大多数电路的工作状态随时钟周期性改变,电路消耗的电流也必将呈现周期性

的变化,从而使得电源电压出现周期性的波动,再加上其他随机噪声和干扰的影响,高速 ADC 的电源信号中将出现很大的噪声。大多数模拟电路模块采用差动结构,可以很好地抑制电源噪声的影响。然而,DLL 中的延时链通常为单端结构,其输出时钟受到电源噪声的影响必将会产生严重的时钟沿抖动,从而进一步降低 ADC 转换高频信号的信噪比。因为 DLL 在 ADC 中只是产生时钟信号,其中时钟信号的幅值波动对 ADC 的信噪比几乎没有影响,时钟抖动会对 ADC 的信噪比产生较大的影响,而时钟抖动主要来源于电源噪声,因此建模分析仅考虑了电源噪声引起的时钟信号抖动对 ADC 信噪比的影响。

文献[9]中采用 RC 低通滤波器进行时钟信号占空比的检测,对电源带来的噪声有一定的抑制能力,但是对低频处由电源带来的噪声抑制能力较差。为了对 RC 低通滤波器结构的噪声抑制能力进行分析,将对应的电路框图以及线性化模型简化为如图 8 所示的形式。推导可得该结构的噪声传递函数为

$$\frac{D_O(s)}{N(s)} = \frac{1 + C_1 R_s}{1 + K_{PD} K_{DL} + C_1 R_s} \tag{2}$$

由 RC 低通滤波器结构的噪声传递函数可见,该结构对低频噪声有抑制能力,但是随着频率的降低,抑制能力会趋于定值,因此该结构对电源波动带来的噪声抑制能力有限。

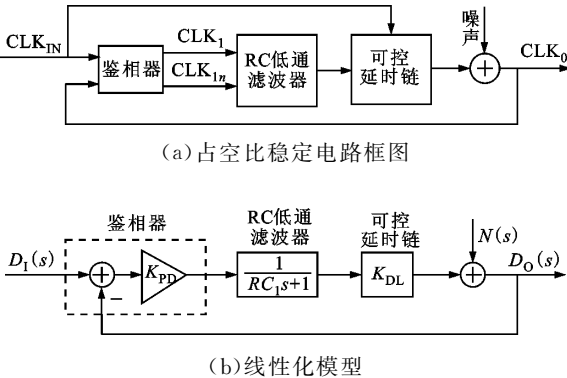


图 8 基于 RC 低通滤波器的占空比稳定电路及线性化模型

本文采用的电荷泵型 DLL 正是利用电荷泵提供的内在积分功能对可控延时链的噪声进行抑制。为了对该结构的电源噪声抑制能力进行量化分析,将延迟锁相环的电路框图以及线性化模型简化为图 9 所示的形式。

设输入时钟的相位为 $D_I(s)$,输出相位为 $D_O(s)$,则图 9 所示系统的闭环响应为

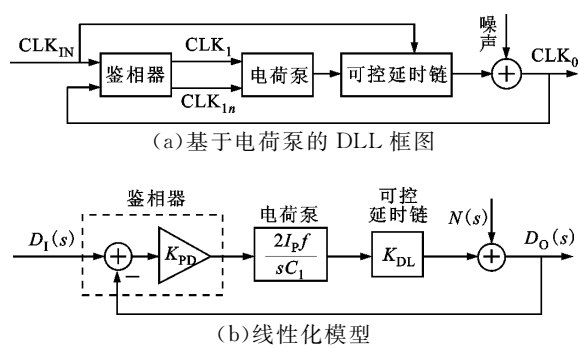


图 9 基于电荷泵的 DLL 及线性化模型

$$\frac{D_O(s)}{D_I(s)} = \frac{2K_{PD}K_{DL}I_Pf}{2K_{PD}K_{DL}I_Pf + C_1s} \tag{3}$$

式中： I_P 为充电电流； C_1 为电荷泵输出端所接的负载电容； f 为时钟输入信号频率。设延时链产生的噪声为 $N(s)$ ，那么噪声传递函数为

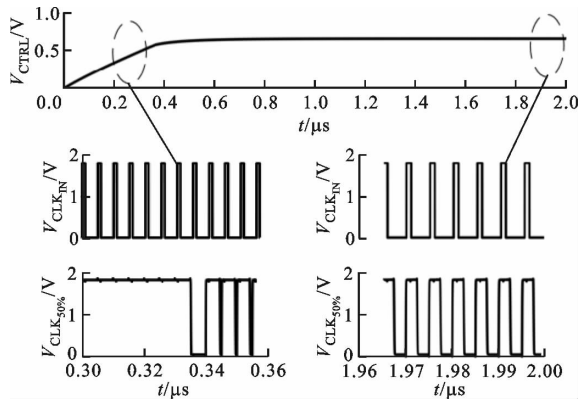
$$\frac{D_O(s)}{N(s)} = \frac{C_1s}{2K_{PD}K_{DL}I_Pf + C_1s} \tag{4}$$

根据输入以及噪声传递函数可以看出，输出信号对输入信号的响应呈现出低通特性，对延时链的噪声呈现出高通特性，且在频率较低时，抑制能力可以达到无穷大。由于电源噪声导致的可控延时链的噪声往往在低频处较大，因此本文电路可以很好地抑制可控延时链的噪声，从而提升 ADC 的性能。

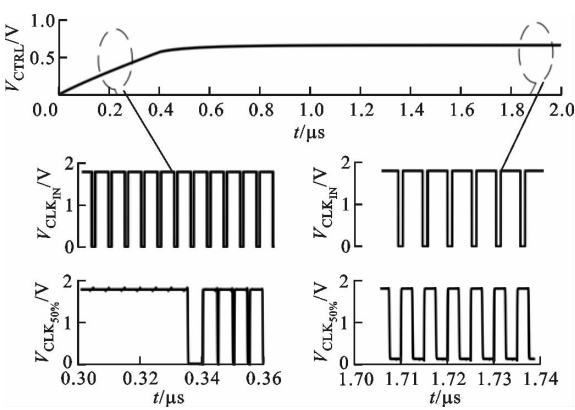
3 仿真和测试

本文的时钟管理电路采用 0.18 μm CMOS 工艺设计，当 DLL1 中的 $I_P = I_N = 101.7 \mu\text{A}$ ，DLL2 中的 $I_P = 24.5 \mu\text{A}$ 、 $I_N = 37.1 \mu\text{A}$ ，时钟输入信号频率为 200 MHz 时，DLL1 可将 20% 与 80% 的时钟输入信号占空比分别稳定到 49.2% 和 49.34%，其占空比稳定模块(DLL1)的仿真波形如图 10 所示。

对 DLL2 来说，当时钟输入信号频率为 200 MHz、占空比为 20% 时，延迟锁相环输出 P_1 、 $\sim P_1$ 、 P_8 、 $\sim P_8$ 、 $\text{CLK}_{\text{OUT}1}$ 和 $\text{CLK}_{\text{OUT}2}$ 信号，如图 11 所示，



(a) 占空比为 20%



(b) 占空比为 80%

图 10 200 MHz 时钟输入信号频率下占空比稳定的仿真波形

明显可见 $\text{CLK}_{\text{OUT}1}$ 、 $\text{CLK}_{\text{OUT}2}$ 信号为一组两相不交叠时钟信号。

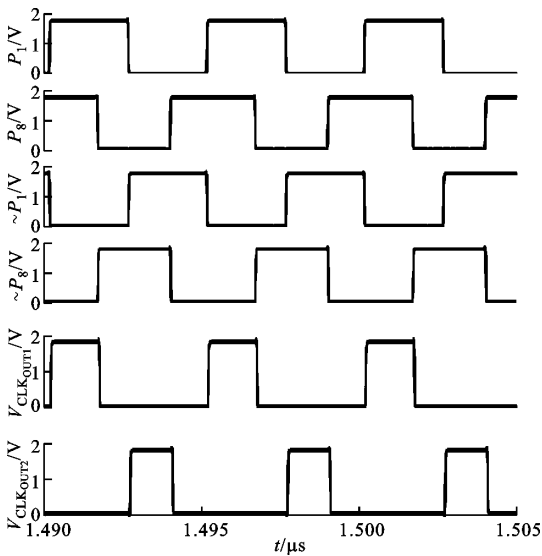
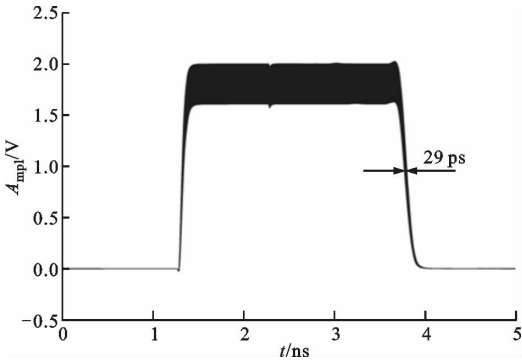
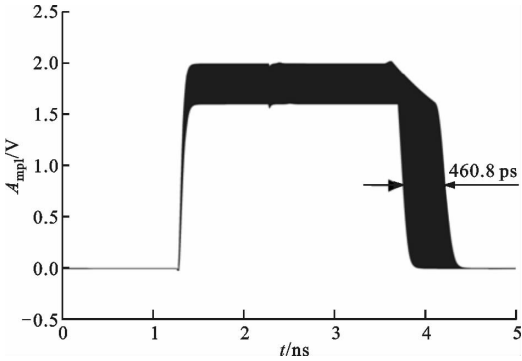


图 11 DLL2 和相位运算电路的输出波形

在实际电路中，可控延时链往往会由于电源的波动产生较大的噪声。为了在仿真中验证本文电路对电源噪声的抑制能力，在电源电压上叠加了幅值为 200 mV、不同频率的正弦波。为了对比噪声抑制性能，还采用文献[9]中的 RC 低通滤波器结构(将电荷泵替换为一阶 RC 低通滤波器，电容为 60 pF，电阻为 1 k Ω)设计了一个对比 DLL 环路。当电源噪声信号频率为 73.2 kHz、幅值为 200 mV 时，两个 DLL 输出信号的眼图如图 12 所示，可见基于 RC 滤波器的 DLL 输出抖动高达 460.8 ps，而本文的 DLL1 的输出抖动仅为 29 ps。不同电源噪声频率下两个 DLL 电路输出时钟抖动对比如图 13 所示，可见本文的电荷泵型 DLL 结构相对于 RC 型 DLL 结构对电源噪声的抑制具有明显优势。



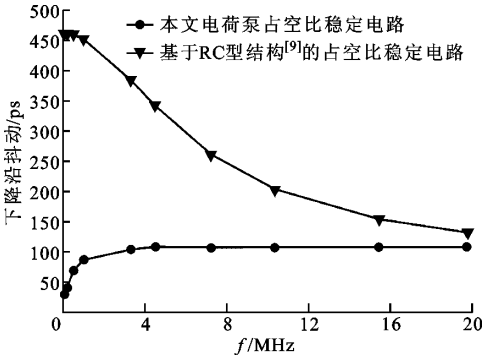
(a) 本文电荷泵占空比稳定电路



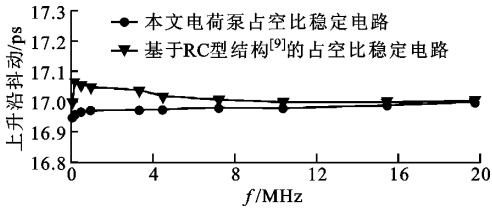
(b) 基于 RC 型结构^[9]的占空比稳定电路

图 12 两个 DLL 输出信号的眼图仿真波形

将本文时钟管理电路应用在一款双通道 200 MSPS、14 位的流水线 ADC 中,其中 ADC 芯片的照片和时钟管理电路版图细节如图 14 所示,时钟管理电路版图尺寸为 830 $\mu\text{m}\times 1\,550\,\mu\text{m}$ 。ADC 采样频

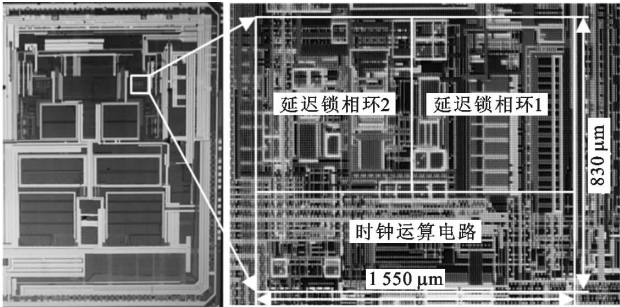


(a) 下降沿



(b) 上升沿

图 13 不同电源噪声频率下输出信号抖动对比



(a) ADC 芯片 (b) 时钟管理电路版图

图 14 ADC 芯片照片和时钟管理电路版图细节

率为 26.17 MHz 时正弦信号的输出频谱如图 15 所示,其信号噪声失真比为 73.01 dB,可以间接地说明本文时钟管理电路的时钟抖动很低,对 ADC 输入高频信号时的性能几乎没有影响。

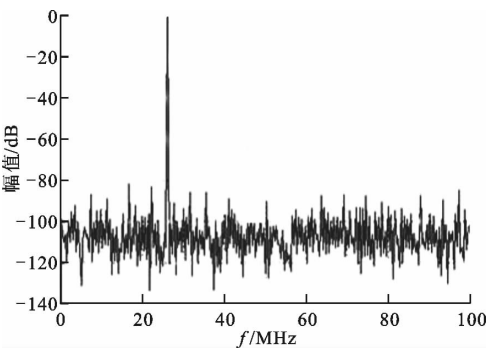


图 15 ADC 测试结果

表 1 列出了本文与其他文献中 ADC 的时钟管理电路的性能对比,可见本文的时钟管理电路实现了较宽范围的占空比稳定功能。

表 1 ADC 时钟管理电路性能对比

电路来源	ADC 类型	工艺特征尺寸/ μm	时钟产生方式	输入信号频率/MHz	占空比/%	信号噪声失真比/dB
文献[10]	流水线	0.18	锁相环	95~145		
文献[6]	流水线	0.18	占空比稳定电路	20~250		
文献[11]	流水线	0.18	延迟锁相环	30~250		56.7
文献[12]	逐次逼近	0.18	异步时钟生成电路	0.01		83.5
文献[13]	时间交织	0.18	时钟恢复电路	500~3 000	30~70	
本文	流水线	0.18	电荷泵型延迟锁相环	40~200	20~80	73.01

4 结 论

本文介绍了一种基于电荷泵型 DLL 的时钟管理电路,利用电荷泵构成两个闭环回路,分别实现占空比稳定和可调双相不交叠时钟产生功能,电荷泵自身的积分特性可显著抑制延时链中的低频电源噪声的影响。仿真结果显示,当电源噪声幅值为 200 mV 时,文中电路的时钟抖动远小于传统基于 RC 低通滤波器的占空比稳定电路的时钟抖动。该电路的工作频率范围为 40~200 MHz,可将 20%~80% 的占空比稳定到 50% 左右,将该电路应用到一款双通道 0.18 μm CMOS 工艺,200MSPS,14 位的流水线 ADC 中,ADC 的信号噪声失真比达到了 73.01 dB。

参考文献:

- [1] 贾华宇,陈贵灿,程军,等. 流水线模数转换器的一种数字校准技术 [J]. 西安交通大学学报, 2008, 42(8): 991-995.
JIA Huayu, CHEN Guican, CHENG Jun, et al. A digital calibration technique of pipelined analog to digital converter [J]. Journal of Xi'an Jiaotong University, 2008, 42(8): 991-995.
- [2] 张鸿,陈贵灿,程军,等. 流水线模数转换器中高速低功耗开环余量放大器的设计 [J]. 西安交通大学学报, 2008, 42(7): 1585-1593.
ZHANG Hong, CHEN Guican, CHENG Jun, et al. Low power and high speed open-loop residue amplifier for pipelined analog-to-digital converters [J]. Journal of Xi'an Jiaotong University, 2008, 42(6): 751-755.
- [3] 张鸿,张牡丹,张杰,等. 用于植入式医疗装置的逐次逼近式模数转换器 [J]. 西安交通大学学报, 2015, 49(2): 43-48.
ZHANG Hong, ZHANG Mudan, ZHANG Jie, et al. A successive approximation register analog-to-digital converter for implantable biomedical device [J]. Journal of Xi'an Jiaotong University, 2015, 49(2): 43-48.
- [4] 陈浩,孙权,张鸿,等. 用于超低频信号测量的高精度低功耗增量式模数转换器 [J]. 西安交通大学学报, 2017, 51(6): 79-85.
CHEN Hao, SUN Quan, ZHANG Hong, et al. Incremental analog-to-digital converter with high resolution and low power for measurement of ultra-low-frequency signals [J]. Journal of Xi'an Jiaotong University, 2017, 51(6): 79-85.
- [5] 王玉伟,张鸿,张瑞智. 一种超低功耗的低电压全金属氧化物半导体基准电压源 [J]. 西安交通大学学报, 2017, 51(8): 47-52.

- WANG Yuwei, ZHANG Hong, ZHANG Ruizhi. A low-voltage all metal oxide semiconductor voltage reference with ultra-low power [J]. Journal of Xi'an Jiaotong University, 2017, 51(8): 47-52.
- [6] ZHANG Mingwen, LIN Quan, CHEN Hongmei, et al. Design of low-jitter clock duty cycle stabilizer in high-performance pipelined ADC [J]. Journal of Huaihua University, 2018(5): 1-5.
- [7] MIN Y J, JEONG C H, KIM K Y, et al. A 0.31-1 GHz fast-corrected duty-cycle corrector with successive approximation register for DDR DRAM applications [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2012, 20(8): 1524-1528.
- [8] RAJA I, BANERJEE G, ZEIDAN M, et al. A 0.1-3.5-GHz duty-cycle measurement and correction technique in 130nm CMOS [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(5): 1975-1983.
- [9] MEHTA RSETH S, SHASHIDHARAN S, et al. A programmable, multi-GHz, wide-range duty cycle correction circuit in 45 nm CMOS process [C] // 2012 Proceedings of the ESSCIRC. Piscataway, NJ, USA: IEEE, 2012: 257-260.
- [10] MOORTHY S, MEGANATHAN D, SHANKAR M, et al. A low-jitter phase-locked loop architecture for clock generation in analog to digital converters [C] // 2011 IEEE Recent Advances in Intelligent Computational Systems. Piscataway, NJ, USA: IEEE, 2011: 081-084.
- [11] CHENG Jun, SI Liang, ZHANG Hong, et al. A low-power clock generator based on digital DLL for high speed pipelined ADCs [C] // 2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology. Piscataway, NJ, USA: IEEE, 2012: 1-3.
- [12] CHEN K, NIELSEN-LÖNNMALVANDPOUR A. Asynchronous clock generator for a 14-bit two-stage pipelined SAR ADC in 0.18 μm CMOS [C] // 2016 IEEE Nordic Circuits and Systems Conference. Piscataway, NJ, USA: IEEE, 2016: 1-4.
- [13] 崔伟,张铁良,杨松. 一种高速低抖动四相位时钟电路的设计 [J]. 电子元件与材料, 2019, 38(1): 67-71.
CUI Wei, ZHANG Tieliang, YANG Song. Design of a high-speed and low-jitter four phase clock [J]. Electronic Components and Materials, 2019, 38(1): 67-71.

(编辑 荆树蓉)