

用于高速模数转换器的非对称全差分 参考电压缓冲器

焦子豪¹, 张瑞智¹, 金锴¹, 盛炜², 张鸿¹

(1. 西安交通大学微电子学院, 710049, 西安; 2. 中国电子科技集团公司第五十八研究所, 214000, 江苏无锡)

摘要: 针对现有高速高精度模数转换器(ADC)芯片内部参考电压缓冲器需要牺牲很大功耗来满足精度和速度要求的问题,提出了一种具有非对称AB类输出级的全差分参考电压缓冲器,能够以较低的运放增益满足缓冲器高精度的需求,从而显著降低缓冲器的功耗。通过引入非对称的输出结构,参考电压缓冲器只需要满足高带宽,不再需要较高的开环增益;输入级采用互补结构进一步降低了功耗;为了消除传统结构所引入的高阻节点,提出了低输出阻抗的AB类驱动电路,提高了带宽。仿真结果表明,在负载为20 pF的片内滤波电容的情况下,参考电压缓冲器的功耗为27 mW,建立时间小于2.5 ns,与相近性能的电路相比,所提电路的功耗更低。其中运放的单位增益带宽为602 MHz,相位裕度为61°。所提出的参考电压缓冲器应用于一款双通道14位200 MHz的流水线ADC中,测试结果表明,ADC的信号噪声失真比达到73 dB,所提出的电路结构能以较低的功耗实现较高的精度和速度。

关键词: 高速模数转换器;参考电压缓冲器;AB类放大器;非对称输出

中图分类号: TN432 **文献标志码:** A

DOI: 10.7652/xjtub202005015 **文章编号:** 0253-987X(2020)05-0109-08



OSID 码

Asymmetric Fully-Differential Reference Voltage Buffer for High Speed Analog-Digital Convertors

JIAO Zihao¹, ZHANG Ruizhi¹, JIN Kai¹, SHENG Wei², ZHANG Hong¹

(1. School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China;

2. China Electronic Technology Group Corporation No. 58 Research Institute, Wuxi, Jiangsu 214000, China)

Abstract: For solving the problem that the internal reference voltage buffer of high-speed analog-to-digital converter (ADC) has to consume large power to achieve high accuracy and high sampling rate, a fully differential reference voltage buffer with an asymmetric class-AB output stage is presented. The voltage buffer achieves high precision with a relatively low op-amp gain, which significantly reduces the power consumption of the buffer. By introducing an asymmetric output structure, the circuit only needs to satisfy large bandwidth but no longer needs a high open-loop gain, and the input stage uses a complementary structure to further reduce power consumption. A class-AB driving circuit with low output impedance eliminates the high-resistance nodes introduced by the common structure and increases the bandwidth. Simulation results show that the power consumption of this reference voltage buffer is 27 mW and the settling time is less than 2.5 ns when driving a 20 pF on-chip filtering capacitor, implying an obvious drop in power

consumption compared with other circuits with similar performance. The operational amplifier in the buffer has an unity-gain bandwidth of 602 MHz and a phase margin of 61 degrees. The proposed reference voltage buffer is used in a two-channel, 200 MHz, 14 b pipelined ADC. The test results of the ADC chip show that the signal-to-noise and distortion ratio (SNDR) of the ADC is 73 dB, which suggests that the proposed circuit can achieve higher accuracy and speed with higher power efficiency.

Keywords: high speed analog-to-digital converter; reference voltage buffer; class-AB amplifier; asymmetric output

宽带无线通信、软件无线电和数字雷达等应用系统飞速发展,对模数转换器(ADC)的速度和精度要求不断提高。高速高精度 ADC 通常采用流水线结构,逐级流水线式的工作原理,使得 ADC 可在较低成本的互补金属氧化物半导体(CMOS)工艺下实现数百兆赫兹的采样频率和近 14 位的精度^[1-5]。较高的工作频率和转换精度对基准电压提出了严苛的需求。由于键合线电感的影响,传统的片外基准^[6]在高速工作时稳定性较差,难以满足 ADC 的需求。片内参考电压缓冲器的实现形式主要有基于复制电路的开环结构^[7-9]和采用全差分运放的闭环结构^[10-11]。开环结构设计简单,功耗较低,但是输出电压范围较小,难以在低电源电压下工作;采用运放的闭环结构需要在较大的电容负载下同时满足高增益和高带宽,必然导致很大的功耗。针对这一问题,本文提出了一种非对称的全差分电压缓冲器,用 AB 类运放来实现单端转差分;同时根据差动基准的实际应用特点,运放的 AB 类输出级采用了非对称输出结构,以相对较低的功耗同时满足高速、高精度的要求。采用该基准缓冲器的一款 14 位 200 MHz 的流水线 ADC,信号噪声失真比(SNDR)达到了 73 dB。

1 ADC 对参考电压的需求分析

1.1 封装寄生电感对片外基准的影响

ADC 的采样频率较低时,通常可采用片外基准,它不仅具有更好的温度特性而且便于在印制电路板(PCB)上进行灵活的配置。当采样频率高达数十兆赫兹甚至更高时,如果仍然采用片外基准,封装键合线引入的电感可能会在片内产生减幅振荡^[6,9],在指定时间内无法达到要求的精度,从而使 ADC 的性能严重恶化。图 1 是片外基准的工作模型,其中假设信号源为 V_s ,其内阻为 R_s ,PCB 上的走线和焊盘之间产生的寄生电容为 C_1 ,键合线引起的寄生电感为 L ,键合线的寄生电阻为 R_1 ,片内的去耦电容和负载电容之和为 C_2 。

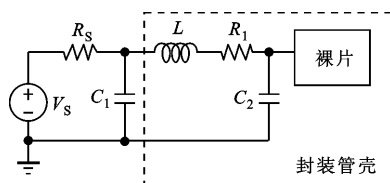


图 1 片外基准的工作模型

在常见的双列直插式和方型扁平式封装结构中,键合线的长度在毫米级,引起的寄生电感 L 约为 $1 \mu\text{H}/\text{m}$,寄生电阻 R_1 一般小于 $100 \text{ m}\Omega$,可以忽略^[6]。因此,从图 1 可以得到信号源到片内电路输入端的传递函数为

$$H(s) = \frac{1}{1 + sR_s(C_1 + C_2) + s^2LC_2 + s^3R_sLC_1C_2} \quad (1)$$

这是一个三阶系统,三阶系统的稳定性一般较差。假设 C_1 较小,趋近于 0,而片内存在的容性负载使传递函数至少为二阶系统,其带宽为 $(LC_2)^{-1/2}$,阻尼因子 $k_1 = 0.5R_sL^{-1/2}C_2^{1/2}$,通过选择合适的 R_s 可以使系统的阻尼因子约为 0.7,获得较稳定的响应。此时, C_2 如果取值较大,系统的带宽低,但是噪声小; C_2 如果取值较小,系统的带宽高但噪声也相应增加,因此封装寄生电感使得片外基准不适合高速高精度的 ADC。

1.2 片内参考电压的系统要求

现有高速高精度 ADC 大多为无采样保持运放的结构,并使用片内参考电压缓冲器为子数模转换器(DAC)提供参考电压^[9],如图 2 所示,其中缓冲器电路一般是一个闭环的运放^[12], C_F 是缓冲器输出端的滤波电容; R_s 是缓冲器的等效输出电阻; C_s 为 ADC 的采样电容,同时也是子 DAC 的单位电容。当 S_{SH} 闭合时, S_{DAC} 断开, C_s 对 V_{IN} 进行跟踪;当 S_{DAC} 闭合时, S_{SH} 断开,此时 C_s 连接到缓冲器的输出 (V_{REF}) 实现 DAC,同时完成与输入信号的求差。

对于图 2 所示的片内参考电压缓冲器,设计时需要考虑噪声、响应速度和精度 3 个方面的因素。

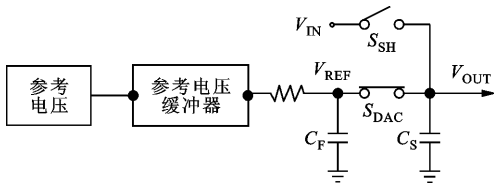


图2 片内参考电压缓冲器模型

在高速工作的ADC内部,除了元器件的噪声外,走线串扰、衬底耦合以及电源引脚的键合线寄生电感等因素将会在缓冲器的输出端引入很大干扰。因此,电路尽可能采用与电源无关的偏置,并且尽可能地提高滤波电容 C_F 的值以滤除参考电压的高频噪声。受到片内电容面积的限制, C_F 难以做得很大,一般在100 pF以下。在本文的ADC中,考虑到面积的限制, C_F 取为20 pF。

对于图2所示的电路,当 S_{DAC} 闭合时,由于 C_F 较大, V_{REF} 只会有一个很小的波动,因此 V_{REF} 的变化是一个小信号过程,完全由 R_S 和 C_F 决定,并且和缓冲器的压摆能力无关。设 $C_F = aC_S$,则 S_{DAC} 闭合的瞬间,由于 C_F 与 C_S 之间的电荷分享, V_{REF} 变为 $V_{REF0}(1 - 1/a)$ 。此时 $t=0$, V_{REF} 电压的变化表示为

$$V_{REF}(t) = V_{REF0} \left(1 - \frac{1}{m} \exp(-t/aR_S C_S) \right) \quad (2)$$

对于一个14位的ADC,假设其采样周期为 t_0 ,系统级的仿真结果表明,参考电压缓冲器只需要在 $t_0/2$ 时间内达到12位的精度(对应 $4V_{LSB}$ 误差, V_{LSB} 是ADC的分辨率),ADC即可实现接近14位的精度^[13]。因此由式(2)可得

$$R_S < \frac{t_0}{2aC_S(\ln(1/V_{LSB}) - \ln(4a))} \quad (3)$$

由式(3)可以看出, a 越大,由于 $C_F = aC_S$,需要越小的 R_S ,因此需要更高的功耗。如果 a 过小,即滤波电容较小,则会导致缓冲器输出端的噪声加重,因此对于片内参考电压缓冲器的设计存在功耗和噪声的矛盾。

当运放接成负反馈形式后,假设其开环增益为 A_X ,反馈系数为 β_X ,则其闭环的放大倍数为 $A_X/(1 + A_X\beta_X)$ 。显然, A_X 越大,闭环增益越精准地等于 $1/\beta_X$ 。因此,运放需要较高增益来保证其精度。

1.3 参考电压缓冲器研究现状

为了避免设计大负载、高增益带宽积的运放,文献[7]提出了基于复制电路的开环参考电压缓冲器结构,如图3所示。 M_{NR} 和 M_{PR} 的宽长比分别是 M_N 和 M_P 的 α 倍,而 R_{1R} 的值是 R_1/α ,该结构可以保证 $V_{REFP} = V_{REFP0} = V_{REFT}$, $V_{REFN} = V_{REFN0} = V_{REFB}$ 。

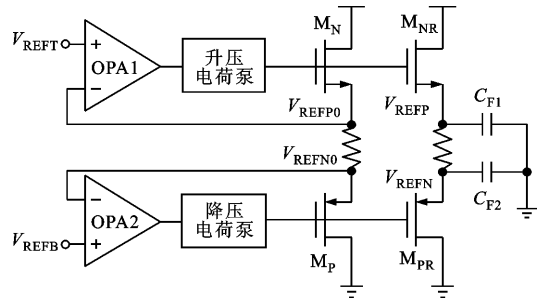


图3 基于复制电路的参考电压缓冲器结构

图3所示电路的优点是OPA1和OPA2并不直接驱动大负载 C_{F1} 和 C_{F2} ,因此只需要满足高增益的需求即可。然而在低电源电压下, M_N 和 M_P 的阈值损失严重限制了差动参考电压($V_{REFP} - V_{REFN}$)能输出的最大值。为了解决这一问题,图3中运放的输出端增加了两个电荷泵,通过持续的开关切换来降低 M_P 的栅压并提升 M_N 的栅压^[6]。然而,持续的开关动作会带来额外的耦合和串扰。另外,文献[8]采用IO电路的2.5 V电源来给参考电压缓冲器供电。由于IO的电源一般噪声较大,也会给参考电压带来更多噪声。

文献[14]采用了一种闭环的缓冲器,通过将运放接成单位增益缓冲器的形式产生差动基准的正端电压 V_{REFP} ,同时将芯片的地电压作为基准负端电压 V_{REFN} 。相比于全差分输出结构,这种结构受到地线上串扰的影响较大,很难实现较高的电源抑制比(PSRR)。文献[10]和[11]采用了全差分的运放来实现闭环的缓冲器,但是该缓冲器没有在输出端接入较大的滤波电容,这样虽然能实现较高的速度,但是不能很好地滤除参考电压缓冲器输出端的噪声。

针对现有结构的不足,本文提出了一种非对称的闭环全差分电压缓冲器,通过采用非对称的输出结构,以较低的增益即可实现较高的反馈精度,降低了缓冲器中放大器的设计难度,同时减小了功耗。输出采用AB类结构能得到差分值更大的参考电压。

2 参考电压缓冲器的电路设计

本文设计的参考电压缓冲器结构如图4所示,其中放大器A通过电阻接成负反馈形式,将 V_{REF0} 转为 V_{REFN} 和 V_{REFP} 来作ADC的差动参考电压。图4中 $R_{IN} = R_F$,即输入电阻和反馈电阻相等,因此整个闭环结构的反馈系数为0.5。由运放输入端的虚短和基尔霍夫电流方程可得, $V_{REFP} - V_{REFN} \approx V_{REF0}$ 。

图4中的参考电压缓冲器被应用在一款14位200 MHz的流水线ADC中,放大器A的性能直接

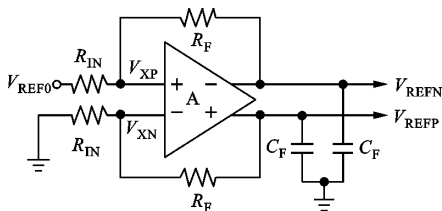


图4 差分运放实现参考电压缓冲器

决定了参考电压缓冲器的精度和速度。该 ADC 的输入信号的电压峰峰值为 2 V, 采样电容 C_S 为 1 pF。以下根据这些 ADC 的设计参数来推算差动参考电压的设计参数。

2.1 带宽需求与放大器结构

假设放大器 A 是单极点运放, 且 $C_F = aC_S$, V_{REF} 电压的阶跃响应表示为

$$V_{REF}(t) = V_{REF0} \left(1 - \frac{1}{a} \exp(-t\beta f_u 2\pi) \right) \quad (4)$$

式中: f_u 是运放的开环单位增益带宽; β 是系统的反馈系数。可得到缓冲器对运放带宽的需求为

$$\beta f_u > \frac{\ln(1/V_{LSB}) - \ln(4a)}{\pi t_0} \quad (5)$$

取 $a=20$, 由式(5)可得 f_u 大于 600 MHz。

实际的运放存在多个极点, 因此会偏离式(4)的单极点分析。对于一个闭环工作的两级运放, 当其非主极点远大于单位增益带宽时, 相位裕度接近 90° , 此时其阶跃响应和单极点运放几乎相同; 当非主极点逐渐降低时, 相位裕度下降, 其阶跃响应速度加快, 但是会产生一定的过冲。系统仿真结果表明, 二阶系统的相位裕度为 72° 时, 达到 $4V_{LSB}$ 误差的时间和一阶系统所需的时间基本相等。更低的相位裕度下, 系统的减幅振荡更加剧烈, 达到 $4V_{LSB}$ 误差需要更长的时间。因此, 系统的环路增益的相位裕度通常不能低于 72° 。在 β 为 0.5 的条件下, 放大器的开环相位裕度不能低于 60° , 非主极点的频率应高于 900 MHz。

两级运放往往比单级运放具有更高的输出摆幅, 因此本文所设计的参考电压缓冲器采用两级运放。为了在 20 pF 负载情况下得到 600 MHz 带宽并尽量减小功耗, 则需要使运放输出级的极点成为主极点。由于中滤波电容 C_F 较大, 主极点基本不随采样电容 C_S 的变化而移动, 因此不存在稳定性问题。

与文献[15]类似, 在本文运放的输入级采用反相器输入结构, 运放的输出级采用 AB 类输出结构, 这样, 输入级和输出级都通过电流复用节省了功耗^[10]。与文献[15]不同的是, 本文的 AB 类输出采

用了不对称结构, 降低了运放对增益的要求, 从而降低了功耗。另外, 由于文献[15]采用了图 5 所示的驱动电路, 除了 V_{OUT} 处的输出极点, 电路会在 X_1 点和 X_2 点产生两个高阻节点, 其对应的极点频率较低, 限制了电路的响应速度; 而本文的 AB 类输出级的驱动电路具有较低的阻抗, 确保主极点位于输出节点, 从而可实现更大的带宽, 以保证缓冲器的速度。

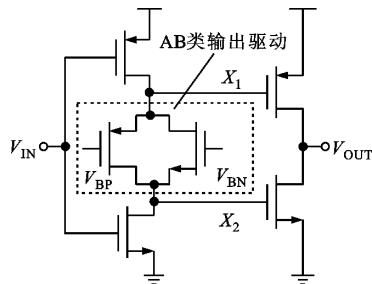


图5 高输出阻抗的 AB 类驱动电路

2.2 不对称的 AB 类输出级

2.1 小节中的分析表明, 为了使参考电压缓冲器能够满足 ADC 的需求, 需要放大器在 20 pF 的负载下实现 600 MHz 的带宽, 并使反馈时的环路增益具有 72° 的相位裕度; 同时, 为了实现较高的精度, 放大器应有较高的开环增益, 较高的增益需要晶体管栅更长, 会引入更多的寄生, 导致整体功耗变大。

假设差动放大器增益为 A_0 , 且开环情况下, 若差动输入为 0 (即 $V_{XP} = V_{XN}$) 时, 正输出端和负输出端的初始电压分别为 V_{P0} 和 V_{N0} , 则将放大器连接成图 4 所示的闭环结构时, 各节点电压应满足

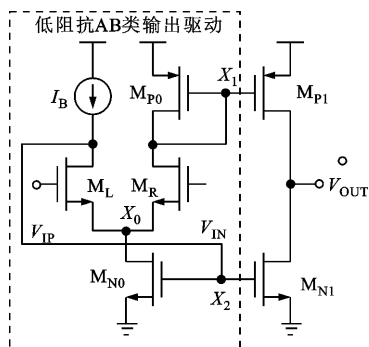
$$\left. \begin{aligned} V_{REFP} - V_{REFN} &= V_{REF0} - 2(V_{XP} - V_{XN}) \\ V_{XP} - V_{XN} &= \frac{(V_{REFP} - V_{P0}) - (V_{REFN} - V_{N0})}{A_0} \end{aligned} \right\} \quad (6)$$

对于一般对称结构的放大器, 开环工作且差动输入为 0 时, $V_{P0} = V_{N0}$ 。由式(6)可知, 要实现高精度, 就需要高增益 A_0 以使 $V_{REFP} - V_{REFN}$ 尽可能接近 V_{REF0} , 这意味着需要消耗很大功耗来保证精度。

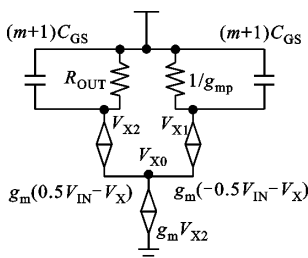
考虑到参考电压缓冲器的工作模式固定, 本文提出了非对称输出结构的思想。假如运放的内部差动两端不对称, 且 $V_{P0} = V_{REFP}$, $V_{N0} = V_{REFN}$, 由式(6)可知, $V_{XP} - V_{XN} = 0$, $V_{REFP} - V_{REFN} = V_{REF0}$, 误差为 0。这意味着运放只需要很低的增益和功耗, 就可以保证缓冲器的精度。

本文所提的低输出阻抗的 AB 类输出级驱动电路图 6 所示, 其电路结构如图 6a 所示。增大图 6a 中 M_{P1} 的宽长比使得电路开环时的输出电压为 V_{REFP} ; 对于另一边电路, 增加 M_{N1} 的宽长比使电路

开环时的输出电压为 V_{REFN} , 此时 $V_{\text{REFP}} - V_{\text{REFN}} = V_{\text{REF0}}$, 误差为 0。因此, 采用不对称的输出结构有效降低了参考电压缓冲器对放大器高增益的需求。



(a) AB 类驱动器的电路结构



(b)小信号模型

图 6 低输出阻抗的 AB 类输出级驱动电路

另一方面,非对称结构使得电源噪声到差分输出的通路不一致,PSRR 有所恶化,因此在 PCB 上需要更加注意电源的滤波和去耦。

图 6 中 M_{P1} 和 M_{N1} 的宽长比分别是 M_{P0} 和 M_{N0} 的 m 倍, g_m 是输入管 M_L 和 M_R 的跨导, g_{mn} 是 M_{N0} 的跨导, g_{mp} 是 M_{P0} 的跨导, R_{OUT} 是 I_B 的小信号输出阻抗, C_{GS} 为 M_{P0} 和 M_{N0} 栅源寄生电容的近似值。

由图 6b 小信号模型可以推导出 V_{x1} 和 V_{x2} 的小信号电压表达式为

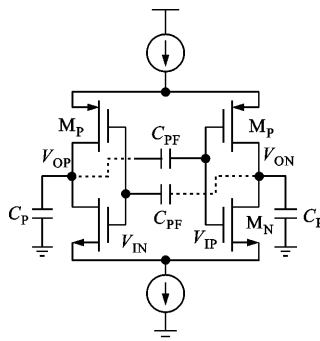
$$\left. \begin{aligned} V_{X2} &= -g_m V_{IN} / (g_{mn} + 2/R_{OUT} + 2s(m+1)C_{GS}) \\ V_{X1} &= g_m V_{IN} / (g_{mn} + 2/R_{OUT} + 2s(m+1)C_{GS}) \\ &(g_{mn} + s(m+1)C_{GS}) / (g_{mp} + s(m+1)C_{GS}) \end{aligned} \right\} \quad (7)$$

在式(7)中, $2/R_{OUT}$ 相对于 g_{mn} 可以忽略, 当 g_{mn} 和 g_{mp} 近似相等时, X_1 点和 X_2 点的放大倍数均为 g_m/g_{mn} , 等效输出阻抗为 $1/g_{mn}$, 因此这是一个低输出阻抗的驱动电路。式(7)也表明, 图 6 所示电路会产生一个位于 $g_m/(2(m+1)C_{GS})$ 的极点, 当 m 较大时该极点频率可能降低到整体运放的单位增益带宽之内, 使电路的相位裕度降低, 从而延长了参考电压的建立时间。

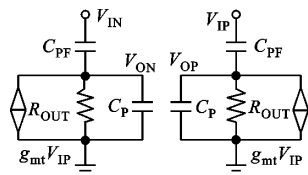
考虑图 6a 中的输出级, X_1 点和 X_2 点是电流镜接法, 因此 M_{P1} 和 M_{N1} 的跨导均为 mg_m , 假设其输出电阻为 R , 则图 6 中放大器的放大倍数是 $mg_m R$, 单位增益带宽为 mg_m / C_F 。当放大器被应用到参考电压缓冲器中, 其单位增益带宽越大, 速度越快。

2.3 零点补偿的反相器输入级

本文的输入级采用反相器输入结构^[16],其电路结构和小信号模型分别如图 7a 和图 7b 所示。其中 $g_{\text{m}t}$ 为 M_{P} 和 M_{N} 的跨导之和, R_{OUT} 为 M_{P} 和 M_{N} 输出阻抗的并联值, C_{P} 为第 2 级放大器输入端的寄生电容, C_{PF} 为额外加入的补偿电容。



(a) 电路结构



(b)小信号模型

图 7 反相器输入结构

由图 7b 中的小信号模型可以得到其传输函数

$$\frac{V_{\text{OP}} - V_{\text{ON}}}{V_{\text{IP}} - V_{\text{IN}}} = g_{\text{mt}} R_{\text{OUT}} \frac{1 + sC_{\text{PF}}/g_{\text{mt}}}{1 + sR_{\text{OUT}}(C_{\text{PF}} + C_{\text{P}})} \quad (8)$$

式(8)说明,图7中的电路存在一个位于 $1/(R_{OUT}(C_{PF}+C_P))$ 的极点和一个 g_{mi}/C_{PF} 的零点。这个由于 C_{PF} 引入的前馈零点补偿了式(7)中产生的高频极点,提高了整体结构的相位裕度,但是当 C_{PF} 过大时,式(8)产生的极点频率会下降,从而降低相位裕度。通过仿真确定最佳的 C_{PF} 为 30 fF。

2.4 运放的整体结构

本文所采用运放的整体电路结构如图 8 所示。设图 8 中 M_i 的跨导为 $g_{m,i}$, 输出电阻为 $R_{OUT,i}$, M_8 、 M_5 、 M_{12} 、 M_{15} 的跨导相等, M_7 、 M_9 、 M_{16} 、 M_{14} 的跨导相等。为了做成非对称的输出级设计, 以降低对高增益的需求, 在 V_{ON} 输出端, M_{10} 的宽长比是 M_7 的

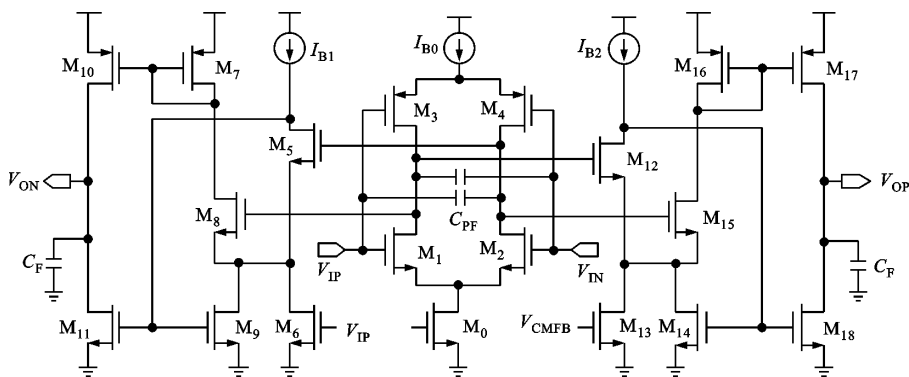


图8 运放的整体电路结构

10倍, M_{11} 的宽长比是 M_9 的30倍;在 V_{OP} 输出端, M_{17} 的宽长比是 M_{16} 的30倍, M_{18} 的宽长比是 M_{14} 的10倍。运放的低频增益为

$$A_0 = 2 g_{m,5} \frac{R_{out,10} R_{out,11}}{R_{out,10} + R_{out,11}} \cdot (g_{m,1} + g_{m,3}) \frac{R_{out,1} R_{out,3}}{R_{out,1} + R_{out,3}} \quad (9)$$

运放的主极点频率为 $(R_{out,10} + R_{out,11}) / (R_{out,10} \cdot R_{out,11} C_F)$, 在第2级运放输入端的寄生电容为 C_P 的情况下, 非主极点的频率为 $(R_{out,1} + R_{out,3}) / (R_{out,1} \cdot R_{out,3} C_P)$ 。由于式(8)的零点和式(7)的极点相互抵消^[17], 因此图8所示的电路近似为一个两极点运放^[18]。对图8电路进行仿真, 在 $C_F = 20$ pF 的负载条件下, 电路消耗 15 mA 电流, 其频率特性如图9所示。可见, 运放的开环增益仅为 64 dB, 单位增益带宽为 602 MHz, 相位裕度为 61° 。考虑到 0.5 的反馈系数, 整个环路的相位裕度约为 72° , 满足 2.1 小节计算出的参数。

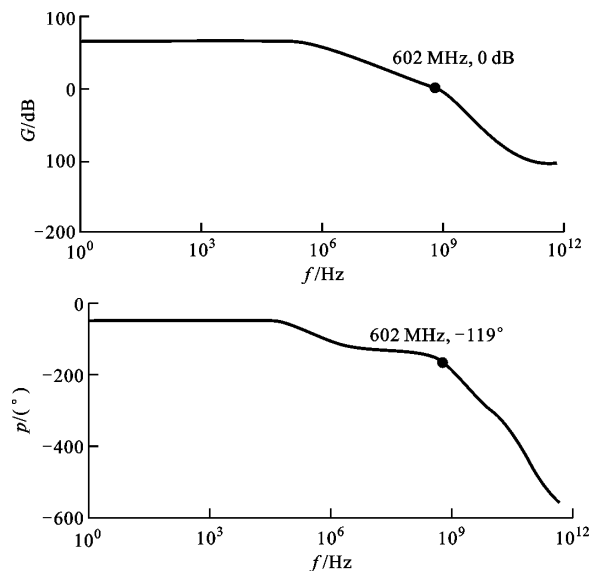


图9 运放的频率特性

3 仿真测试结果

本文的参考电压缓冲器及 ADC 采用 $0.18 \mu\text{m}$ CMOS 工艺设计, 参考电压缓冲器的版图如图 10 所示, 整个参考电压缓冲器的面积为 $150 \times 320 \mu\text{m}^2$, 其中滤波电容 C_F 占了参考电压缓冲器将近 3/4 的面积。由于参考电压缓冲器嵌在 ADC 芯片内部, 无法通过测试来评估其性能, 采用仿真结果来评估。

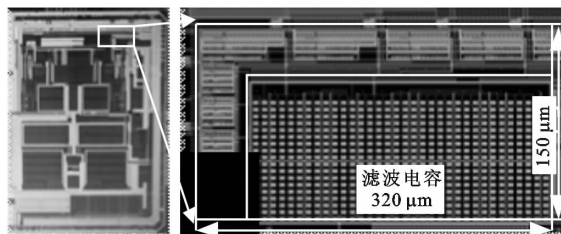
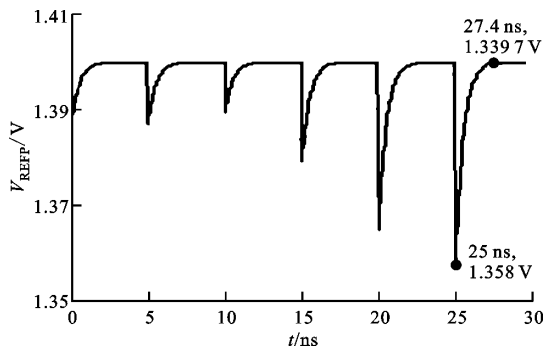
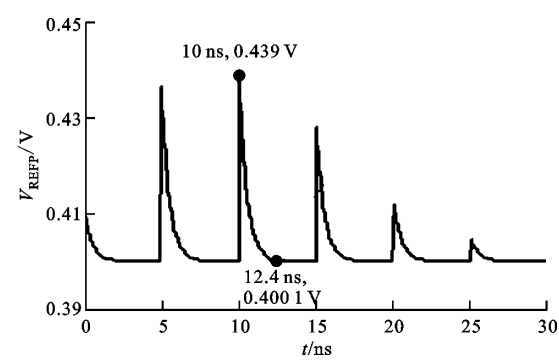


图10 参考电压缓冲器的版图

采用所设计的参考电压缓冲器驱动一个采样频率为 200 MHz、采样电容为 1 pF 的无采样保持电路的流水线 ADC, 缓冲器输出 V_{REFP} 和 V_{REFN} 的设计值分别为 0.4 和 1.4 V, 观测 DAC 阶段的参考电压缓冲器输出电压的时域波形, 如图 11 所示。由图 11 可以看出, 在 2.5 ns 的时间内, 参考电压缓冲器的输出达到了 $4V_{LSB}$ 的精度, 说明所设计的参考电压缓冲



(a) 正端电压



(b)负端电压

图 11 参考电压缓冲器输出电压的时域波形

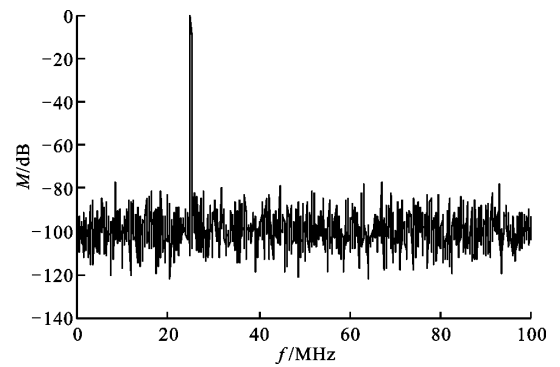


图 12 ADC 在单频正弦输入下的输出频谱

器能够满足 14 位 200 MHz 的 ADC 的工作需求。

对 ADC 芯片在单频正弦输入情况下的输出频谱测试结果如图 12 所示。在采样频率为 200 MHz、输入信号频率为 26.17 MHz 的情况下,ADC 的信号噪声失真比为 73 dB,间接证明本文所设计的电压缓冲器工作正常,能够满足 ADC 的需求。

表 1 给出了本文和其他参考文献参考电压缓冲器参数的对比,为了更好地对比不同精度、速度的 ADC 中参考电压缓冲器的效率,由 2.1 小节中的分析可知,ADC 速度越高,精度越高,需要参考电压缓冲器有更高的增益和带宽,消耗更多的功耗。因此,

表 1 本文与其他文献的参考电压缓冲器参数对比

缓冲器来源	ADC 类型	工艺特征 尺寸/nm	缓冲器结构	S _{NDR} /dB	工作频率 /MHz	缓冲器功耗 /mW	品质因数/ (fJ·步 ⁻¹)
文献[7]	流水线	65	复制电路开环	58.2	150	16.8	168
文献[8]	逐次逼近	65	复制电路开环	57.0	50	0.697	24
文献[9]	流水线	180	复制电路开环	75.5	100	23	47
文献[10]	流水线	180	差分运放闭环	73.1	100	43	116
文献[11]	流水线	180	差分运放闭环	70.0	150	25	64
本文	流水线	180	差分运放闭环	73.0	200	27	37

4 结 论

本文提出了一种用于高速高精度 ADC 的参考电压缓冲器电路,其内部采用了一个 AB 类运放,相比于开环结构的参考电压缓冲器,能输出更大的差分电压。为了补偿电路增益的不足和减小反馈误差,本文提出了不对称的输出级结构,极大地降低了参考电压缓冲器对运放的高增益需求,降低了功耗。该电路被应用到一款采用 0.18 μm CMOS 工艺的 14 位 200 MHz 的流水线 ADC 中,测试结果表明,ADC 的 S_{NDR} 达到 73 dB,证明了参考电压缓冲器的有效性。在更先进的工艺下,一方面沟长减小,沟道

在相同的功耗下,基准电路所能应用的 ADC 精度越高、速度越快,基准电路本身的性能更优越。因此,参照 ADC 的评价指标,定义参考电压缓冲器的品质因数 F_{om} 为 ADC 每步转换过程中参考电压缓冲器的功耗

$$F_{om} = \frac{P_{REF}}{2^{N_E} f_s}$$

(10)

式中:P_{REF} 为参考电压缓冲器的功耗;N_E 为 ADC 的有效位数;f_s 为采样频率。

从表 1 可以看出,与文献[9-11]S_{NDR} 达到 70 dB 以上的 ADC 相比,本文参考电压缓冲器的品质因数最高,证明了非对称结构的有效性。

长度调制效应较弱,放大器的增益无法做到很大,而非对称结构可以避开对高增益的需求;另一方面,供电电压减小,为了能输出较大的参考电压值,AB 类的结构是较好的选择。因此,本文所提出的非对称参考电压缓冲器在先进工艺下具有一定的优越性。

参考文献:

[1] 贾华宇,陈贵灿,程军,等. 流水线模数转换器的一种数字校准技术 [J]. 西安交通大学学报, 2008, 42 (8): 991-995.

JIA Huayu, CHEN Guican, CHENG Jun, et al. A digital calibration technique of pipelined analog to dig-

- ital converter [J]. Journal of Xi'an Jiaotong University, 2008, 42(8): 991-995.
- [2] 张鸿, 陈贵灿, 程军, 等. 流水线模数转换器中高速低功耗开环余量放大器的设计 [J]. 西安交通大学学报, 2008, 47(7): 1585-1593.
- ZHANG Hong, CHEN Guican, CHENG Jun, et al. Low power and high speed open-loop residue amplifier for pipelined analog-to-digital converters [J]. Journal of Xi'an Jiaotong University, 2008, 42(6): 751-755.
- [3] 张鸿, 张牡丹, 张杰, 等. 用于植入式医疗装置的逐次逼近式模数转换器 [J]. 西安交通大学学报, 2015, 49(2): 43-48.
- ZHANG Hong, ZHANG Mudan, ZHANG Jie, et al. A successive approximation register analog-to-digital converter for implantable biomedical device [J]. Journal of Xi'an Jiaotong University, 2015, 49(2): 43-48.
- [4] 陈浩, 孙权, 张鸿, 等. 用于超低频信号测量的高精度低功耗增量式模数转换器 [J]. 西安交通大学学报, 2017, 51(6): 79-85.
- CHEN Hao, SUN Quan, ZHANG Hong, et al. Incremental analog-to-digital converter with high resolution and low power for measurement of ultra-low-frequency signals [J]. Journal of Xi'an Jiaotong University, 2017, 51(6): 79-85.
- [5] 王玉伟, 张鸿, 张瑞智. 一种超低功耗的低电压全金属氧化物半导体基准电压源 [J]. 西安交通大学学报, 2017, 51(8): 47-52.
- WANG Yuwei, ZHANG Hong, ZHANG Ruizhi. A low-voltage all metal oxide semiconductor voltage reference with ultra-low power [J]. Journal of Xi'an Jiaotong University, 2017, 51(8): 47-52.
- [6] MOHAMED E, AMER A, TORRES J, et al. High PSR low drop-out regulator with feed-forward ripple cancellation technique [J]. IEEE Journal of Solid-State Circuits, 2010, 45(3): 565-577.
- [7] LEE C K, KIM W, KANG H, et al. A replica-driving technique for high performance SC circuits and pipelined ADC design [J]. IEEE Transactions on Circuits and Systems: II Express Briefs, 2013, 60(9): 557-561.
- [8] HARIKUMAR P, WIKNER J J. Design of a reference voltage buffer for a 10-bit 50 MS/s SAR ADC in 65 nm CMOS [C]//Proceedings of the IEEE International Symposium on Circuits and Systems. Piscataway, NJ, USA: IEEE, 2015: 249-252.
- [9] 陈珍海, 于宗光. 用于 16 bit 100 MS/s ADC 的高精度参考电压产生电路 [J]. 西安电子科技大学学报, 2017, 44(3): 127: 133.
- CHEN Zhenhai, YU Zongguang. High precision voltage reference generator for 16-bit 100 MS/s ADC [J]. Journal of Xidian University, 2017, 44(3): 127-133.
- [10] CAI Hua, LI Ping. A CMOS switch-capacitor 14-bit 100 Msp/s pipeline ADC with over 90 dB SFDR [J]. International Journal of Electronics, 2012, 100(1): 1-10.
- [11] CAI Hua. A low-power, fast-settling reference circuit for high-speed high-resolution ADC [J]. International Journal of Electronics, 2014, 101(4): 492-499.
- [12] WOLFER S, COMER D T, COMER D J. A high speed, precision voltage buffer in a submicron CMOS process [J]. International Journal of Electronics, 2000, 87(12): 1443-1452.
- [13] 尹勇生, 杨鑫波, 邓红辉. 应用于高速高精度流水线 ADC 中的差分参考源 [J]. 电子测量与仪器学报, 2012, 26(12): 1043-1049.
- YIN Yongsheng, YANG Xinbo, DENG Honghui. A differential reference voltage source used in high-speed high-precision pipelined ADC [J]. Journal of Electronic Measurement and Instrument, 2012, 26(12): 1043-1049.
- [14] HARIKUMAR P, ANGELOV P, HAGGLUND R. Design of a reference voltage buffer for a 10-bit 1-MS/s SAR ADC [C]//Proceedings of the 21st International Conference on Mixed Design of Integrated Circuits and Systems. Piscataway, NJ, USA: IEEE, 2014: 249-252.
- [15] ZHANG Jie, ZHANG Hong, SUN Quan, et al. A low-noise, low-power amplifier with current-reused OTA for ECG recordings [J]. IEEE Transactions on Biomedical Circuits and Systems, 2018, 12(3): 700-708.
- [16] ZHANG Fan, HOLLEMAN J, OTIS B P. Design of ultra-low power biopotential amplifiers for biosignal acquisition applications [J]. IEEE Transactions on Biomedical Circuits and Systems, 2012, 6(4): 344-355.
- [17] CANNIZZARO S O, PALUMBO G, PENNISI S. Accurate estimation of high-frequency harmonic distortion in two-stage miller OTAs [J]. Proceedings of the IEEE Circuits, Devices and Systems, 2005, 152(5): 417-424.
- [18] GRASSO A D, PALUMBO G, PENNISI S. Comparison of the frequency compensation techniques for CMOS two-stage miller OTAs [J]. IEEE Transactions on Circuits and Systems: II Express Briefs, 2008, 55(11): 1099-1103.

(编辑 武红江)