

# 高性能的图像无损压缩知识产权核设计

黄绪, 梁煜, 张为, 郝亚喆

(天津大学微电子学院, 300072, 天津)

**摘要:** 为了解决海量图像数据对存储介质和有限的带宽造成的巨大压力,提出了高性能的图像无损压缩知识产权(IP)核,给出了相应的超大规模集成电路(VLSI)架构。通过对图像预处理模块进行兼容性优化,使其可以灵活处理多种规格的图像;优化离散小波变换(DWT)模块,提出了单加法器延时结构,使离散小波变换模块的最高工作频率达 274 MHz;IP 核整体架构采用串并复用流水线设计思路,图像预处理和离散小波变换模块串行处理数据,算术编码和位平面编码模块并行处理数据,IP 核内的所有模块均采用流水线设计方法,最终大幅提升 IP 核的吞吐率。实验结果表明,设计的 IP 核可直接接收光电耦合器件(CCD)相机的图像数据完成无损压缩并输出码流,该 IP 核在 Xilinx Kintex-7 KC705 开发板上实现,最高工作频率达 171 MHz,最大吞吐率达 1 472 Mb/s,与现有图像无损压缩 VLSI 编码器相比,最高工作频率提升 16%以上,最大吞吐率提升 25%以上。

**关键词:** 图像无损压缩;知识产权核;超大规模集成电路;离散小波变换

**中图分类号:** 510.1035 **文献标志码:** A

**DOI:** 10.7652/xjtuxb202005014 **文章编号:** 0253-987X(2020)05-0102-07



OSID 码

## Design of Intellectual Property Core for High-Performance Image Lossless Compression

HUANG Xu, LIANG Yu, ZHANG Wei, HAO Yazhe

(School of Microelectronics, Tianjin University, Tianjin 300072, China)

**Abstract:** To reduce the heavy burden by the massive image data on the storage medium and limited bandwidth, an intellectual property (IP) core is proposed for high-performance image lossless compression, and the corresponding VLSI circuit structure is given. The image pre-processing structure is optimized for compatibility, so that it can flexibly process images of multiple specifications. The discrete wavelet transform structure is optimized, and a single adder delay structure is proposed, so that the maximum working frequency of the discrete wavelet transform module is 274 MHz. The serial-parallel multiplexing pipeline design is proposed for the overall structure, and discrete wavelet transform module is used as a multiplexing module. The arithmetic coding and bit plane coding modules are used together as parallel modules, so the throughput of IP core is greatly improved. The experimental results show that the IP core of this design can directly receive the image data of the CCD camera to perform lossless compression and output the code stream. The maximum operating clock of this IP core on the Xilinx Kintex-7 KC705 development board is 171 MHz, with a maximum throughput of 1 472 Mb/s. Compared with the existing image lossless compression VLSI structure, the maximum operating frequency

收稿日期: 2019-11-30。 作者简介: 黄绪(1995—),男,硕士生;张为(通信作者),男,教授,博士生导师。 基金项目: 光电信息控制和安全技术重点实验室资助项目(JCKY2019210C053);国家重点研发计划资助项目(2016YFE0100400)。

网络出版时间: 2020-02-11

网络出版地址: <http://kns.cnki.net/kcms/detail/61.1069.T.20200211.0913.002.html>

is increased by more than 16%, and the maximum throughput is increased by more than 25%.

**Keywords:** image lossless compression; intellectual property core; VLSI circuit; discrete wavelet transform

图像无损压缩编码主要有基于预测的编码和基于小波变换的编码两种压缩编码方式。基于预测的压缩编码方式主要包含预测过程和熵编码过程,通过对预测后的残差信息进行熵编码达到压缩目的,但基于预测的压缩编码是一种严格串行的工作机制,不利于硬件并行实现<sup>[1]</sup>,并且基于预测的压缩编码存在固有的误码扩散现象。基于小波变换的压缩编码主要包含变换过程和熵编码过程,通过对小波变换后的小波系数进行熵编码达到压缩目的。JPEG2000<sup>[2]</sup>标准算法是典型的基于小波变换的压缩编码算法,其具有优异的压缩编码性能,众多学者对 JPEG2000 算法进行了深入研究并通过现场可编程门阵列(FPGA)对其进行了优化,主要集中于优化 JPEG2000 算法中的单一模块,如离散小波变换模块<sup>[3-6]</sup>、位平面编码模块<sup>[7-9]</sup>、算术编码模块<sup>[10-12]</sup>、码率控制模块<sup>[13]</sup>等,但是缺乏对硬件整体架构进行优化改进,并且对于无损压缩来说,可以去掉 JPEG2000 标准算法中的码率控制手段,优化 JPEG2000 标准算法复杂的结构,从而便于 FPGA 实现。ADV212<sup>[14]</sup>是依据 JPEG2000 标准算法设计实现的工业级芯片,其无损压缩模式下吞吐率为 520 Mb/s,其数据吞吐率、接口灵活性、图像兼容性都难以进行扩展,不易满足特定功能需求。对 JPEG 2000 标准无损压缩算法整体硬件架构和关键模块进行改进,提出了高性能的图像无损压缩 IP 核。

对 JPEG2000 无损压缩算法整体硬件架构进行优化设计,整体硬件架构采用串并复用流水线设计思路,图像预处理模块和离散小波变换模块以串行方式处理数据,位平面编码模块和算术编码模块以并行方式处理数据,并且所有模块均采用流水线设计方法,最终使 IP 核吞吐率大幅提升,将 IP 核在 Xilinx XC7K325T 芯片上验证,吞吐率可达 1.47 Gb/s。

对图像预处理模块进行兼容性的优化设计,通过对原始图像的分块和分层操作,得到后续压缩编码过程的标准图像块,即 IP 核可以兼容压缩不同规格的图像,只要图像是标准图像块的倍数即可,并且由于设定了较小的标准图像块,一定程度上提升了算法的抗误码的能力。

对离散小波变换模块进行优化设计,提出单加法器延时结构,采用并行双输入/双输出 4 级流水线方

式,大幅提升了离散小波变换模块压缩编码能力,并将最大关键延时路径缩短到只有一个加法器延时,将设计的离散小波变换模块在 Xilinx XC7K325T 芯片上进行验证,最高工作频率达 274 MHz。

实验结果表明,本文提出的高性能图像无损压缩 IP 核相比其他无损压缩 VLSI 编码器有更高的灵活性、通用性和可维护性,且吞吐率更高,工作频率更高,在实践应用中具有一定的优势。

1 JPEG2000 标准算法概述

适用于图像无损压缩的 JPEG2000 标准压缩算法的硬件架构如图 1 所示,由图像预处理、离散小波变换、位平面编码、算术编码和码流组织模块构成。

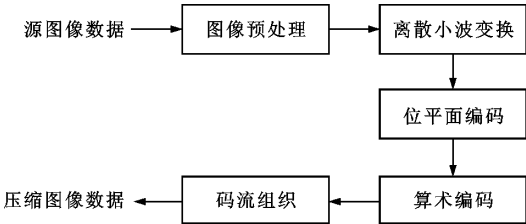


图 1 JPEG2000 标准压缩算法的硬件架构示意图

图像预处理模块负责 JPEG2000 压缩编码的前期准备,包括图像分块、电平平移和分量变换,针对单分量图像,分量变换这一步可以省略。图像分块将原始图像分为相同大小互不重叠的若干个图像块,将每个图像块当作一帧图像进行处理,称这样的图像块为标准图像块,后续压缩编码过程均以标准图像块为基本的处理单元,所有标准图像块压缩编码完成后,对压缩码流重组得到原始图像的压缩码流。电平平移是为了去除信号中的直流偏移分量,使得无符号数转变成有符号数,满足后续编码过程的处理要求。

离散小波变换模块负责对图像数据进行离散小波变换,利用图像样本间的统计相关性,将图像的低频信息与高频信息相分离,为后续位平面编码模块提供小波系数。

位平面编码和算术编码模块是 JPEG2000 算法压缩编码过程中逻辑最复杂、运行时间最长的模块<sup>[15]</sup>。位平面编码模块对离散小波变换模块产生的小波系数扫描 3 次,得到上下文判决对(CXD),为后续算术编码模块做准备;算术编码模块是实现信

息无损压缩的核心模块,通过得到的 CXD,进行上下文自适应二进制算术编码输出码字。

码流组织模块将算术编码模块产生的码字重新组合,并添加必要的图像信息,如原始图像大小、离散变换等级和包头包尾等,输出符合 JPEG2000 标准形式的码流<sup>[16]</sup>,方便对压缩编码后的码流信息进行解压。

## 2 图像无损压缩 IP 核优化设计

### 2.1 串并复用流水线结构

JPEG2000 标准压缩算法的硬件架构中,图像预处理、离散小波变换、位平面编码、算术编码和码流组织模块是串行循环工作的,其中图像预处理和离散小波变换模块处理速度快,而位平面编码和算术编码模块处理速度较慢,编码时间约占整体编码时间的 80% 以上<sup>[10]</sup>,图像预处理和离散小波变换模块必须等待码流组织模块完成后才可以对下一个标准图像块进行压缩编码,由此可知,此架构在位平面编码和算术编码模块工作时,其余模块处于空闲状态,浪费了大量时钟周期,导致 JPEG2000 标准算法通过硬件实现后压缩速度难有很大的提升,若单纯地对整个 JPEG2000 标准算法的硬件架构进行并行处理,会导致存储成本与电路面积大大增加。

本文充分考虑各模块的压缩编码速度与各模块数据传输之间的关系,提出了一种串并复用流水线架构,如图 2 所示,将消耗时间短、处理速度快的图像预处理和离散小波变换模块进行多次复用,将消耗时间长、处理速度慢的位平面编码和算术编码模

块进行并行处理,从而不需要等待位平面编码和算术编码模块处理完成即可开始下一个标准图像块的处理,虽然增加了部分控制电路,但能大幅提升吞吐率。硬件资源充裕的情况下,随并行度的增加,此结构吞吐率成倍提升。

设串行工作的图像预处理和离散小波变换模块单位时间可以处理  $s$  个样点,单路可并行工作的位平面编码和算术编码模块单位时间能处理  $p$  个样点, $n$  路并行工作的位平面编码和算术编码模块单位时间能处理  $np$  个样点。则传统标准算法结构单位时间可以处理  $s+p$  个样点,本文提出的结构单位时间可以处理  $s+np$  个样点,根据 Gustafson 定律<sup>[17]</sup>,并行后吞吐率提升比  $e$  可以由下式得到

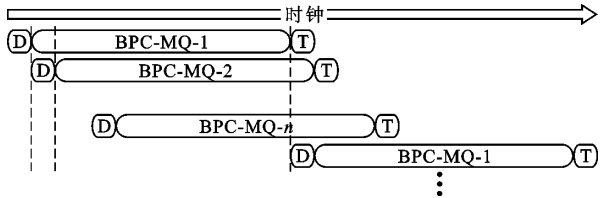
$$e = \frac{s+np}{s+p} \tag{1}$$

令  $s+p=c$ ,  $c$  为常数,则式(1)可以写成

$$e = \frac{n-1}{c}p + 1 \tag{2}$$

由式(2)可知,随着并行度  $n$  的增加,吞吐率提升比呈线性增加,但这是理想情况,假定有无限大的图像需要处理,实际上,原始图像分成有限个标准图像块,并行度不能超过标准图像块数,即需保证每一路位平面编码和算术编码模块都在压缩编码图像。

图像无损压缩 IP 核的具体工作流程如图 3 所示,原始图像数据经过预处理和离散小波变换后,离散小波变换后的系数通过第 1 路位平面编码和算术编码模块进行压缩编码,预处理模块和离散小波变换模块处于空闲状态,它们再次开始工作,处理下一个标准图像块,一直循环此过程,直到所有位平面编码模块和算术编码模块都处于压缩编码状态,循环往复。



D—预处理和离散小波变换;BPC-MQ-1—第 1 路位平面编码和算术编码;T—码流组织;BPC-MQ- $n$ —第  $n$  路位平面编码和算术编码。

图 3 图像无损压缩 IP 核工作流程示意图

本文提出的串并复用流水线结构,采用优化后易于扩展的预处理模块和优化后高效的离散小波变换模块,位平面编码模块和算术编码模块分别采用文献[7]和文献[10]的结构,最终形成图像无损压缩 IP 核。

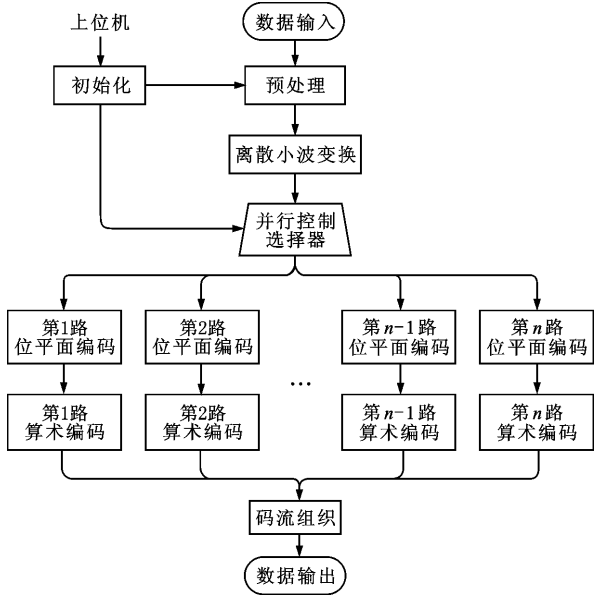


图 2 串并复用流水线架构示意图

## 2.2 预处理模块兼容性优化设计

传统预处理模块中,图像分块操作会尽量将待压缩编码的原始图像分成较大的图像块,这样有利于避免低码率情况下的块效应,但无疑消耗了更多的片上存储,功耗和面积都大幅增加,而本设计采用的是完全无损压缩,即使图像分块很小,也不会产生块效应,并且对图像进行分块几乎不会影响后续图像无损压缩的压缩比,同时在后续处理中能更好的节省片上存储资源,一定程度上提高算法的抗误码能力。目前大多数图像的长和宽都是128像素的倍数、图像像素幅值是8b的倍数,故将标准图像块的长和宽均设为128像素,标准图像块像素幅值设为8b,后续压缩编码过程均以此标准图像块为基本处理单元,循环处理所有标准图像块。

图4给出了预处理模块工作示意图,为避免占用片上缓存资源,将原始图像数据缓存到片外随机存取存储器(RAM),上位机对IP核初始化,通过对原始图像数据进行图像分块和图像分层操作,得到若干标准图像块,若图像像素幅值不足8b,高位置0,补足8b然后对标准图像块进行电平平移,对每一个像素点正向渐进处理,即像素点正值范围缩小到原动态范围的一半,同时向负端扩展原动态范围的一半的值,使原始图像采样数据变换成以0为中心的有极性采样数据,以满足后续压缩编码的处理要求。

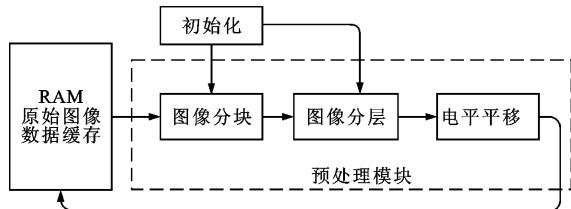


图4 预处理模块工作示意图

## 2.3 离散小波变换模块优化设计

JPEG2000 标准算法规定,有损压缩采用9/7不可逆离散小波变换,无损压缩采用5/3可逆离散小波变换,基于提升方案的一维5/3离散小波变换可以由如下表达式<sup>[4]</sup>实现

$$y(2n+1) = x(2n+1) - \frac{x(2n) + x(2n+2)}{2} \quad (3)$$

$$y(2n) = x(2n) + \frac{y(2n-1) + y(2n+1) + 2}{4} \quad (4)$$

$$\text{令 } D_1(n) = \left\lfloor \frac{x(2n) + x(2n+2)}{2} \right\rfloor \quad (5)$$

$$D_2(n) = \left\lfloor \frac{y(2n-1) + y(2n+1) + 2}{4} \right\rfloor \quad (6)$$

式中: $y(2n+1)$ 为高频小波系数; $y(2n)$ 为低频小波

系数; $D_1(n)$ 和 $D_2(n)$ 为中间变量; $x(n)$ 为原始输入像素值; $n$ 为像素点坐标。

图5给出了IP核的二维离散小波变换模块整体结构示意图,包含串并转换、列变换、行变换、转置模块和双端口RAM 5个部分。本设计中离散小波变换模块是复用模块,必须有较快的数据处理速度,故本文提出单加法器延时结构,使关键路径延时仅有一个加法器延时,并采用并行双输入/双输出设计,将中间数据缓存到双端口RAM中,以提升数据读取效率,边界延拓采用对称延拓,此离散小波变换模块最大工作频率达274 MHz。

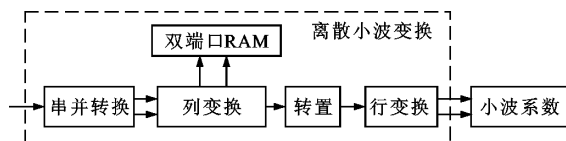


图5 IP核的二维离散小波变换模块整体结构示意图

由于预处理模块输出是串行输出的,需对预处理后的数据进行串并转换,以满足离散小波变换模块输入需求。串并转换结构如图6所示,以列为单位读取图像的奇偶行数据。

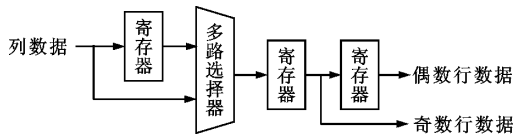


图6 串并转换结构示意图

列变换模块是以图像的列为基本单元进行运算,由基于提升的一维5/3离散小波变换公式可知,列变换的预测过程需要图像前3行的数据进行运算,故需将前两行的数据进行缓存,当扫描到第3行数据时开始列变换。一维列变换4级流水线结构如图7所示,第1级流水线计算得到式(5)中的 $D_1(n)$ ,第2级流水线计算得到式(3)中的高频小波系数 $y(2n+1)$ ,第3级流水线完成预测过程和求得式(6)中的 $D_2(n)$ ,第4级流水线完成更新过程,得到式(4)中的低频分量 $y(2n)$ ,每一级流水线只进行一次加法运算,此列变换结构最大关键路径延时仅有一个加法器延时。

列变换后的高频小波系数和低频小波系数彻底分开,而行变换模块数据读入顺序为交替对低频系数和低频系数读取,列变换后的数据形式不符合行变换模块要求的读入数据的形式,故对列变换后的数据进行转置,传统转置模块需存储列变换产生的所有小波系数,消耗了大量存储资源,本设计仅采用3个寄存器和2个多路选择器调整高频和低频小波

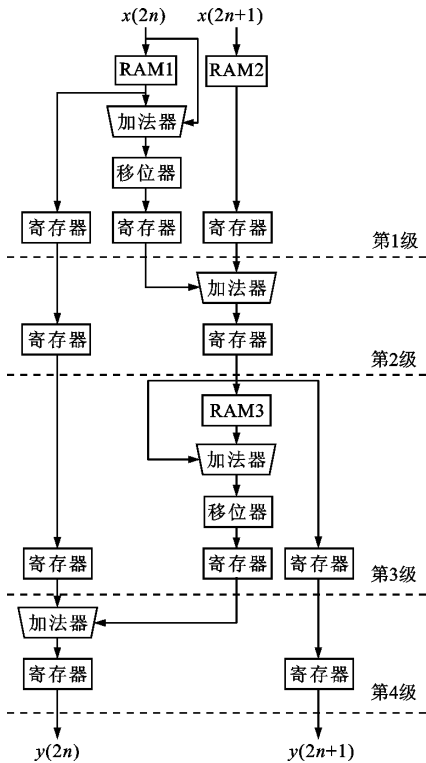


图 7 一维列变换 4 级流水线结构示意图

系数的排列顺序,大幅降低了存储需求。转置模块如图 8 所示,取  $n$  为 0、1、2、3,用 4 个高频系数和 4 个低频系数简单示意。

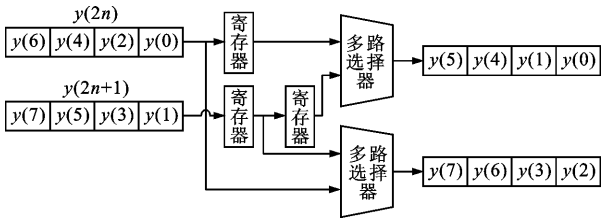


图 8 转置模块示意图

转置后的数据形式符合行变换模块数据输入要求,不需对其缓存,整体设计思路与列变换模块一致。

### 3 结果与分析

将文中提出的二维离散小波变换结构在 Xilinx Kintex7 XC7K325T-FFG900、Virtex5 XC5VLX110 T 和 Virtex6 XC6VLX760 芯片上分别实现,并与其他二维离散小波变换结构进行比较,为合理对比硬件结构的性能,设定二维离散小波变换等级均为 5 级,通过 FPGA 实现,性能对比见表 1。从表 1 可以看出,本文提出的 5 级二维离散小波变换 FPGA 结构逻辑资源占用相较于文献[4-6]结构具有极大优势,时钟频率相较于文献[5-6]结构具有极大优势,存储资源相较于文献[5]结构具有较大优势,整体优于已有其他二维 5/3 离散小波变换通过 FPGA 实现的结构。

将文中提出的高性能图像无损压缩 IP 核通过 vivado2018.3 下载到型号为 Xilinx Kintex7 XC7K325T-FFG900 的 FPGA 上进行验证,对不同规格和不同复杂程度的图像进行无损压缩测试,将压缩编码后的码流数据通过串口传回上位机,用 jasper 软件对码流进行解压恢复得到重构图像,为验证无损压缩功能,利用 matlab 软件计算重构图像和原始图像之间的均方误差( $R_{MSE}$ ),表达式为

$$R_{MSE} = \left( \frac{1}{MN} \sum_{x=1}^M \sum_{y=1}^N [F'(x,y) - F(x,y)]^2 \right)^{1/2} \quad (7)$$

式中: $M$  和  $N$  分别为图像的长和宽; $F'(x,y)$  为重构图像像素值; $F(x,y)$  为原始图像像素值。

表 1 5 级二维 5/3 离散小波变换结构性能对比

| 结构来源  | 器件型号       | 可配置逻辑块数 | 查找表数  | 触发器数  | 时钟频率/MHz | 存储/kb |
|-------|------------|---------|-------|-------|----------|-------|
| 文献[4] | XC5VLX110T | 1 048   |       |       | 269      | 20.00 |
| 文献[5] | XC5VLX110T | 1 052   |       |       | 221      | 97.92 |
| 本文    | XC5VLX110T | 88      | 581   | 345   | 264      | 54.00 |
| 文献[6] | XC6VLX760  | 245     | 1 726 | 1 657 | 198      | 0.00  |
| 本文    | XC6VLX760  | 76      | 432   | 359   | 270      | 54.00 |
| 本文    | XC7K325T   | 76      | 431   | 359   | 274      | 54.00 |

分别计算每一张重构图像和原始图像间的均方误差,结果均为 0,表明设计的高效图像无损压缩 IP 核可以对不同规格的图像进行完全无损压缩。文中提出的 IP 核在不同并行度下 FPGA 资源占用和性能统计见表 2。本文只给出较有代表性的 6 帧灰度

位图作为典型测试图像,如图 9 所示,图像像素幅值均为 8b,其中 3 帧为标准测试图像,3 帧为真实航空红外探测图像。

表 3 给出了本文提出的 IP 核在并行度为 16 的情况下处理典型测试图像性能,实验结果表明,本文

表 2 本文 IP 核的资源占用和性能

| 并行度 | 可配置逻辑块数 | 查找表数   | 触发器数   | 时钟频率/MHz | 存储/kb  | 平均吞吐率/(Mb·s <sup>-1</sup> ) |
|-----|---------|--------|--------|----------|--------|-----------------------------|
| 1   | 1 646   | 6 544  | 4 695  | 171      | 1 008  | 128                         |
| 4   | 5 005   | 21 336 | 14 709 | 171      | 3 384  | 488                         |
| 8   | 9 755   | 40 856 | 28 096 | 171      | 6 552  | 891                         |
| 12  | 13 705  | 60 396 | 41 490 | 171      | 9 576  | 1 237                       |
| 16  | 17 748  | 78 716 | 54 530 | 171      | 12 888 | 1 558                       |

表 3 IP 核压缩典型测试图像性能(并行度为 16)

| 图像   | 分辨率/像素      | 压缩比  | 压缩耗时/ms |
|------|-------------|------|---------|
| 图 9a | 512×512     | 1.86 | 1.75    |
| 图 9b | 512×512     | 1.78 | 1.71    |
| 图 9c | 512×512     | 1.88 | 1.74    |
| 图 9d | 1 024×1 024 | 3.81 | 4.41    |
| 图 9e | 1 024×1 024 | 3.22 | 4.47    |
| 图 9f | 1 024×1 024 | 3.64 | 4.43    |

提出的高效图像无损压缩 IP 核压缩标准测试图像平均压缩比为 1.84,压缩航空红外探测图像平均压缩比为 3.56,工作频率为 171 MHz,最大吞吐率可达 1.47 Gb/s。

由于 CCSDS-123 推荐算法主要应用于无损压缩航空航天探测的多光谱或高光谱图像<sup>[18-20]</sup>, JPEG-LS 标准算法主要应用于无损压缩卫星遥感图像一类的空间通信领域<sup>[21-22]</sup>,故将本文提出的高性能图像无损压缩 IP 核与依据 CCSDS-123 推荐算法和 JPEG-LS 标准算法实现的 VLSI 编码器进行比较,对比结果见表 4,为合理比较性能,设图像像素幅值均为 8b,从表 4 可以看出,本文提出图像无损压缩 IP 核(并行度为 16)较现有图像无损压缩编码器最大吞吐率提升 25%以上,最大工作频率提升 16%以上。

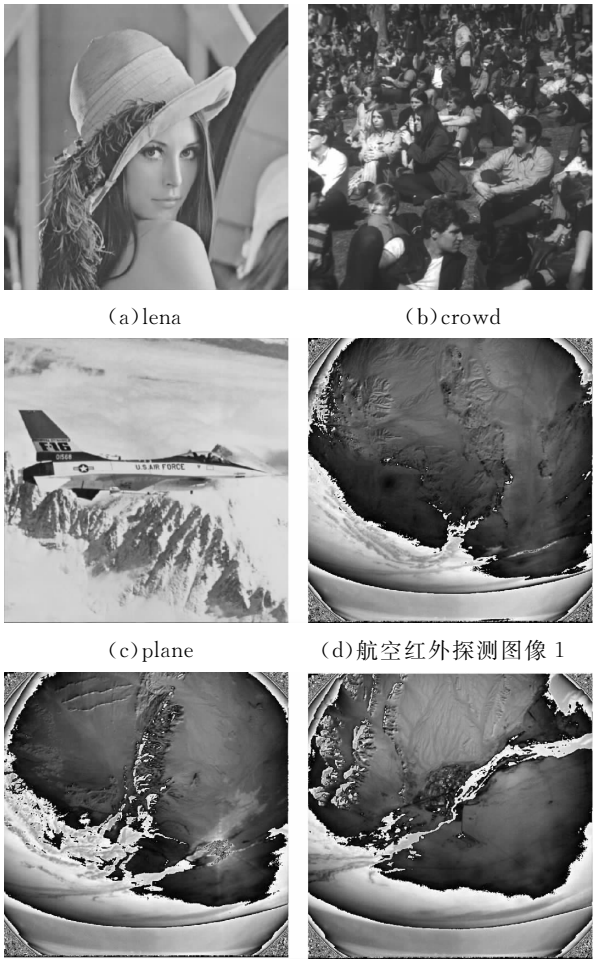


图 9 典型测试图像

表 4 多种无损压缩算法硬件实现后性能对比结果

| 编码器来源  | 算法        | 实现方式 | 实现平台             | 最大吞吐率/(Mb·s <sup>-1</sup> ) | 最高工作频率/MHz | 功耗/mW |
|--------|-----------|------|------------------|-----------------------------|------------|-------|
| 文献[18] | CCSDS-123 | FPGA | Xilinx XC4VLX160 | 89.6                        | 134        | 1 488 |
| 文献[19] | CCSDS-123 | FPGA | Xilinx XC7VX690T | 380.8                       | 50         | 450   |
| 文献[19] | CCSDS-123 | FPGA | Xilinx XQR4VFX60 | 186.4                       | 50         | 450   |
| 文献[20] | CCSDS-123 | FPGA | Xilinx Zynq-7020 | 1 176.0                     | 147        | 295   |
| 文献[21] | JPEG-LS   | FPGA | Xilinx XC2V2000  | 616.0                       | 77         |       |
| 文献[22] | JPEG-LS   | FPGA | Xilinx XC4VSX55  | 528.0                       | 66         |       |
| 文献[14] | JPEG2000  | ASIC |                  | 520.0                       |            |       |
| 本文     | JPEG2000  | FPGA | Xilinx XC7K325T  | 1 472.0                     | 171        | 629   |

## 4 结 论

本文提出一种基于 JPEG2000 算法的高性能图像无损压缩 IP 核,解决了现有 JPEG2000 硬件架构资源复用程度低与压缩编码速度较慢的问题,在尽可能少增加硬件资源消耗的前提下,大幅提升了图像无损压缩吞吐率和工作频率,同时 IP 核的设计能大大减少重复工作量,缩短 FPGA 开发周期。该 IP 核可被用户直接调用,完成多种规格的图像无损压缩功能,非常适合高精度图像无损压缩和超高速图像无损压缩等应用领域,具有较强的实用性。

### 参考文献:

- [1] 粘永健, 万建伟, 何密, 等. 基于分布式信源编码的高光谱图像无损压缩研究进展 [J]. 宇航学报, 2012, 33(7): 860-869.  
ZHAN Yongjian, WAN Jianwei, HE Mi, et al. Research progress of lossless compression for hyperspectral image using distributed source coding [J]. Journal of Astronautics, 2012, 33(7): 860-869.
- [2] CHRISTOPOULOS C, SKODRAS A, EBRAHIMI T. The JPEG2000 still image coding system: an overview [J]. IEEE Transactions on Consumer Electronics, 2000, 46(4): 1103-1127.
- [3] 王鑫, 高家明, 梁煜, 等. 一种高效存储多级二维 9/7 离散小波变换结构 [J]. 西安交通大学学报, 2018, 52(4): 111-116.  
WANG Xin, GAO Jiaming, LIANG Yu, et al. A multi-level 2-D 9/7 DWT architecture with efficient memory [J]. Journal of Xi'an Jiaotong University, 2018, 52(4): 111-116.
- [4] SAVIC G, RAJOVIC V. Novel memory efficient hardware architecture for 5/3 lifting-based 2D inverse DWT [J]. Journal of Circuits Systems and Computers, 2019, 28(7): 1-33.
- [5] AZIZ S M, PHAM D M. Efficient parallel architecture for multi-level forward discrete wavelet transform processors [J]. Computers and Electrical Engineering, 2012, 38(5): 1325-1335.
- [6] AL-AZAWI S, ABBAS Y A, JIDIN R. Low complexity multidimensional CDF 5/3 DWT architecture [C] // Proceedings of the Communication Systems, Networks and Digital Signal Processing. Piscataway, NJ, USA: IEEE, 2014: 804-808.
- [7] 张为, 高志宇, 沈友宝. 一种用于 JPEG2000 的高效位平面编码电路 [J]. 北京理工大学学报, 2011, 31(2): 206-209.  
ZHANG Wei, GAO Zhiyu, SHEN Youbao. A high efficient bit-plane coding circuit for JPEG2000 [J]. Transactions of Beijing Institute of Technology, 2011, 31(2): 206-209.
- [8] AULI-LLINAS F, PABLO E, MOURE J, et al. Bitplane image coding with parallel coefficient processing [J]. IEEE Transactions on Image Processing, 2016, 25(1): 209-219.
- [9] 王勇, 郑南宁, 梅魁志, 等. 一种高效的 JPEG2000 位平面编码器设计 [J]. 西安交通大学学报, 2005, 39(2): 158-161.  
WANG Yong, ZHENG Nanning, MEI Kuizhi, et al. Design of high efficient JPEG2000 bit-plane encoder [J]. Journal of Xi'an Jiaotong University, 2005, 39(2): 158-161.
- [10] 陈超伟, 梁煜, 张为, 等. 应用于 JPEG2000 的高性能 MQ 编码器 VLSI 设计 [J]. 西安电子科技大学学报, 2018, 45(3): 74-79.  
CHEN Chaowei, LIANG Yu, ZHANG Wei, et al. VLSI design of an efficient MQ encoder for JPEG2000 [J]. Journal of Xidian University, 2018, 45(3): 74-79.
- [11] JAYAVATHI S D, SHENBAGAVALLI A. FPGA-based auxiliary minutest MQ-coder architecture of JPEG2000 [J]. Journal of Real-Time Image Processing, 2019, 16(5): 1765-1779.
- [12] SAIDANI T, ATRI M, KHRIJI L, et al. An efficient hardware implementation of parallel EBCOT algorithm for JPEG2000 [J]. Journal of Real-Time Image Processing, 2016, 11(1): 63-74.
- [13] ETESAMINIA A, MAZINAN A. An efficient rate control algorithm for JPEG2000 based on reverse order [J]. Journal of Central South University, 2017, 24(6): 1396-1405.
- [14] Analog Devices Inc. ADV212 \_ UserGuide \_ Rev1.1 [EB/OL]. (2012-03-20) [2019-11-16]. [ftp://ftp.analog.com/pub/Digital\\_Imaging/ADV212\\_UserGuide\\_PG\\_Datasheet/](ftp://ftp.analog.com/pub/Digital_Imaging/ADV212_UserGuide_PG_Datasheet/).
- [15] ZHANG Yizhen, XU Chao, WANG Wentao, et al. Performance analysis and architecture design for parallel EBCOT encoder of JPEG2000 [J]. IEEE Transactions on Circuits and Systems for Video Technology, 2007, 17(10): 1336-1347.
- [16] LIU Leibo, CHEN Ning, MENG Hongying, et al. A VLSI architecture of JPEG2000 encoder [J]. IEEE Journal of Solid-State Circuits, 2004, 39(11): 2032-2040.
- [17] GUSTAFSON J L. Reevaluating Amdahl's law [J]. Communications of the ACM, 1988, 31(5): 532-533.

(下转第 123 页)

ulation analysis between rough rectangular waveguide flanges [J]. IEEE Transactions on Microwave Theory and Techniques, 2005, 53(8): 2515-2525.

[9] VICENTE C, WOLK D, HARTNAGEL H L, et al. Experimental analysis of passive intermodulation at waveguide flange bolted connections [J]. IEEE Transactions on Microwave Theory and Techniques, 2007, 55(5): 1018-1028.

[10] 李霄泉, 崔万照, 胡天存, 等. 无源互调抑制技术研究现状及发展趋势 [J]. 空间电子技术, 2017, 14(4): 1-6.

LI Xiaoxiao, CUI Wanzhao, HU Tiancun, et al. Review of passive intermodulation techniques and development trend [J]. Space Electronic Technology, 2017, 14(4): 1-6.

[11] CHEN Xiang, SUN Dongquan, CUI Wanzhao, et al. A folded contactless waveguide flange for low passive-intermodulation applications [J]. IEEE Microwave and Wireless Components Letters, 2018, 28(10): 864-866.

[12] 陈翔, 孙冬全, 崔万照, 等. 一种低无源互调波导法兰及设计方法: 201810267061.2 [P]. 2018-10-12.

[13] 陈翔, 孙冬全, 崔万照, 等. 一种非接触型低无源互调波导连接结构及设计方法: 201810267070.1 [P]. 2018-10-16.

[14] 陈翔, 孙冬全, 崔万照, 等. 一种低无源互调波导法兰转换装置: 201910329798.7 [P]. 2019-08-16.

[15] 陈翔, 孙冬全, 崔万照, 等. 一种基片集成式低无源互调波导法兰垫片: 201910329837.3 [P]. 2019-08-02.

[16] CHEN Xiang, SUN Dongquan, CUI Wanzhao, et al. Low passive-intermodulation contactless waveguide adapter based on gap waveguide technology [C]//Proceedings of the 13th European Conference on Antennas and Propagation. Piscataway, NJ, USA: IEEE, 2019: 1-3.

[17] PUCCI E, KILDAL P S. Contactless non-leaking waveguide flange realized by bed of nails for millimeter wave applications [C]//Proceedings of the European Conference on Antennas and Propagation. Piscataway, NJ, USA: IEEE, 2012: 3533-3536.

[18] SUN Dongquan, XU Jinping. A novel iris waveguide band-pass filter using air gapped waveguide technology [J]. IEEE Microwave and Wireless Components Letters, 2016, 26(7): 475-477.

(编辑 武红江)

(上接第 108 页)

[18] SANTOS L, BERROJO L, MORENO J, et al. Multi-spectral and hyperspectral lossless compressor for space applications (HyLoC): a low-complexity FPGA implementation of the CCSDS 123 standard [J]. IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing, 2016, 9(2): 757-770.

[19] BASCONES D, GONZALEZ C, MOZOS D. FPGA implementation of the CCSDS 123 standard for real-time hyperspectral lossless compression [J]. IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing, 2018, 11(4): 1158-1165.

[20] FJELDTVEDT J, ORLANDIC M, JOHANSEN T A. An efficient real-time FPGA implementation of the CCSDS-123 compression standard for hyperspectral images [J]. IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing, 2018, 11(10): 3841-3852.

[21] WEI W, LEI J, LI Y S. Onboard optimized hardware implementation of JPEG-LS encoder based on FPGA [M]//Proceedings of the SPIE: vol. 8514. Bellingham, WA, USA: SPIE, 2012: 851406.

[22] 聂永康, 雷杰, 李云松, 等. JPEG-LS 近无损图像编码器 VLSI 结构设计 [J]. 西安电子科技大学学报, 2016, 43(4): 75-80.

NIE Yongkang, LEI Jie, LI Yunsong, et al. VLSI design of the JPEG-LS near-lossless image encoder [J]. Journal of Xidian University, 2016, 43(4): 75-80.

(编辑 武红江)