

寄生电容自适应抑制的飞法级 电容传感器读出电路

李致铭, 兰哲冲, 金楷越, 张杰, 张鸿

(西安交通大学微电子学院, 710049, 西安)

摘要: 针对芯片制造和应用环境引入的大寄生电容严重降低飞法级电容传感器读出电路输出动态范围的问题,提出了一种带有自动增益控制的电容传感器全差分读出电路。该电路采用基于开关电容电路实现电容电压转换,利用带3位自动增益控制的全差分放大器放大传感器信号并自适应地抑制大寄生电容产生的电压;放大器输出的差分电压信号由一个12位逐次逼近型模数转换器转换为数字量并输出。该电路采用 $0.18\ \mu\text{m}$ CMOS工艺设计实现,电源电压为 $3.3\ \text{V}$ 。仿真结果表明,该电路的电容检测范围大于 $1\ \text{pF}$,检测精度小于 $1\ \text{fF}$,能容忍的寄生电容范围为 $2\sim 10\ \text{pF}$,单次测量时间为 $1.2\ \text{ms}$ 。该电路的功耗为 $1.8\ \text{mW}$,版图面积为 $1.2\ \text{mm}\times 0.89\ \text{mm}$,可应用在电容型触摸屏和微型加速度计等设备中以提高电容测量的精度。

关键词: 电容传感器;寄生电容;读出电路;自动增益控制;逐次逼近型模数转换器;电容电压转换
中图分类号: TN432 **文献标志码:** A

DOI: 10.7652/xjtuxb202105017 **文章编号:** 0253-987X(2021)05-0154-08



OSID 码

A Readout Circuit for Femtofarad-Level Capacitive Sensors with Parasitic Capacitance Suppression

LI Zhiming, LAN Zhechong, JIN Kaiyue, ZHANG Jie, ZHANG Hong

(School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: In order to resolve the problem that the dynamic range of the readout circuit for femto-level capacitive sensors is severely decreased by the relatively large parasitic capacitance caused by chip fabrication process and application environment, this paper proposes a fully differential readout circuit for capacitive sensors with automatic gain control. A switched capacitor sensing circuit is employed to realize capacitance-voltage conversion and a fully differential amplifier with 3-bit automatic gain control is then adopted to amplify the sensor signal while adaptively suppressing the voltage generated by the large parasitic capacitance. The differential output voltage of the amplifier is converted into digital output by a 12-bit successive approximation AD converter. This circuit is designed by $0.18\ \mu\text{m}$ CMOS technology with $3.3\ \text{V}$ power supply. Simulation results show that the proposed readout circuit achieves detection range larger than $1\ \text{pF}$, detection accuracy less than $1\ \text{fF}$, parasitic capacitance tolerance range of $2\sim 10\ \text{pF}$, and measurement time of $1.2\ \text{ms}$. The circuit has $1.8\ \text{mW}$ power consumption and $1.2\ \text{mm}\times 0.89\ \text{mm}$ silicon area, and can be applied in applications such as capacitive touch screens and mini-

accelerators to improve the measurement accuracy.

Keywords: capacitive sensor; parasitic capacitance; readout circuit; automatic gain control; successive approximation AD converter; capacitance-voltage conversion

电容传感器具有高灵敏度和易于集成的优势,广泛应用在触摸屏、加速度计、指纹识别及声音识别等领域。物联网和可穿戴设备等应用系统对电容传感器集成度要求推动传感器工艺尺寸不断缩减至微米(10^{-6} m)量级,这使得传感器的电容变化量随着工艺尺寸缩减至飞法(10^{-15} F)量级。传感器应用环境中的键合线、焊盘、印制电路板(PCB)与静电防护器件带来的寄生电容通常达到皮法(10^{-12} F)量级。在此情况下,大寄生电容上产生的寄生电荷可以轻易干扰甚至吞没传感器电容上的信号电荷,从而严重限制了电容传感器读出电路的信号处理范围和精度^[1-6]。

传统的电容传感器读出电路通常采用周期调制方式^[7]或双斜坡变换方式^[8-9]。前者将传感器的电容变化量转换为方波信号周期的变化量,再用时间数字转换器(TDC)得到数字输出;后者通过积分实现电容-电压(C-V)转换,再通过模数转换器(ADC)得到数字输出。这两种方案都需要在片上集成额外的固定电容来抵消寄生电容的影响,难以适应不同应用场景寄生电容可能出现较大变化的情况。为了在不同寄生电容情况下实现精确的电容测量,文献^[10]采用了可变的参考电容 C_{REF} 阵列,并用 ADC 的输出结果反馈选择不同大小 C_{REF} 来适应寄生电容的变化。这种方案本质上也是采用自动增益控制的思想,但其整体结构的反馈必然大大降低读出电路的转换速度。

本文提出了一种基于开关电容 C-V 转换且带有自动增益控制的全差分电容传感器读出电路。通过设置合理的开关频率,开关电容 C-V 转换电路可以实现比传统方案更宽的电容测量范围,而全差分结构能抑制寄生电容对电容测量的影响。电路中设有 3 位 ADC 的自动增益控制放大器,以自适应地调整不同寄生情况下有用信号的放大倍数,提高整个读出电路的动态范围。放大器的输出由一个带动态元件匹配(DEM)的 12 位逐次逼近(SAR)ADC 量化。为了抑制噪声的影响,在数字后端采用了对多次转换结果进行平均的降噪方法。所提出的读出电路在 2~10 pF 的寄生电容下,能够实现 1 fF 的测量精度,单次测量时间为 1.2 ms,总功耗为 1.8 mW。

1 读出电路结构和原理

本文提出的飞法级电容传感器读出电路主要包括开关电容 C-V 转换前端、带自动增益控制的放大器、SAR ADC 等模块,其整体电路拓扑结构如图 1 所示。由图可见,电路中包含两路相同的 C-V 转换电路,其中一路接电容传感器,另一路空置。通过匹配性设计保证两路具有相同的结构,从而具有相同的寄生电容。两个 C-V 转换电路将寄生电容与传感器电容一起转换成电压信号,再通过全差分的可变增益放大器将两路的差值电压放大。在两路完全匹配的情况下,这种结构可实现寄生电容的完全抑制。实际情况下,即使两路存在其他环境因素带来的失配,也可以通过两步测量法轻易地消除寄生电容的影响。在该结构中,若应用场景使寄生电容发生变化,则 C-V 输出的有用电压与总电压的比值将发生大的变化。若采用固定的放大倍数,则难以适应大的寄生电容变化范围。为了解决该问题,本文利用 3 位的 SAR ADC 对参考通路的电压进行量化,利用量化结果选择放大器的档位,以合理的倍数对信号进行放大,从而自动适应寄生电容的变化。可变增益放大器的输出由 12 位的 SAR ADC 进行量化。一次测量中进行多次采样和量化,并对结果取平均值,从而显著降低电路和环境中噪声的影响。

1.1 前端开关电容 C-V 转换电路

本文的 C-V 转换电路基于开关电容周期性充放电可等效为电阻的基本原理来实现^[11]。将一个一定值的参考电流 I_{BIAS} 流入开关电容结构,即可将

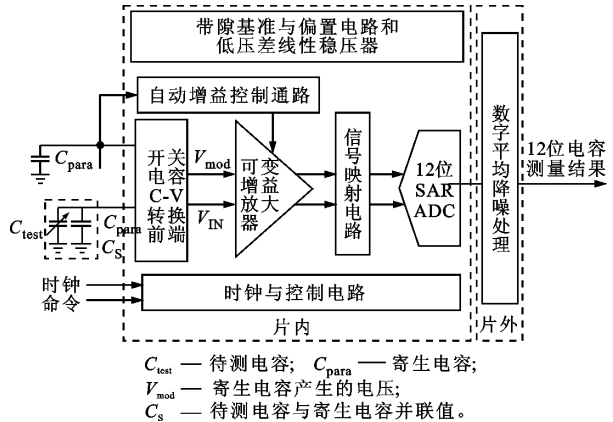


图 1 整体电路拓扑结构

Fig. 1 System architecture

电容转换为电压, C-V 转换电路前端基本原理如图 2 所示。

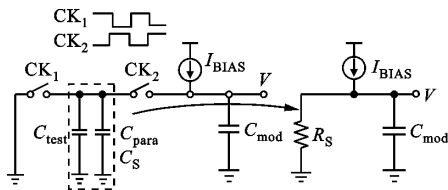


图 2 C-V 转换电路前端基本原理图

Fig. 2 Schematic of frontend C-V converter

可以证明, 当周期为 f_s 的两相不交叠时钟 CK_1 和 CK_2 控制电流 I_{BIAS} 对寄生电容 C_{para} 与待测电容 C_{test} 之和 C_s 进行充电和放电时, 其平均电荷消耗与时间的关系可以用一个电阻 R_s 来等效

$$R_s = \frac{T_s}{C_s} = \frac{1}{f_s C_s} \quad (1)$$

整个结构的平均输出电压可以表示为

$$V = \frac{I_{BIAS}}{f_s C_s} \quad (2)$$

式(2)表明, 等效电阻与电容和控制时钟的频率积成反比。可以用一个高精度的电流对该开关电容结构进行充电, 通过产生的电压大小, 对待测电容和寄生电容之和进行测量转换。本文中, 电流源采用片上的基准电路实现^[12]。同时为了稳定转出的电压, 需要一个片外的大电容 C_{mod} 来滤除纹波。

式(1)还表明该电路具有可配置性强的特点, 通过适当改变时钟的频率以及电流源的大小, 即可用于具有不同总电容的应用场景, 使输出电压保持在后续电路能处理的合理范围。

1.2 全差分寄生电容抑制电路

在寄生电容较大的应用场景中, 待测电容 C_{test} 的值相对于 C_{para} 过小, C_{test} 引起的电压变化仅是叠加在寄生电容产生的电压 V_{mod} 上的一个微小电压。以典型电路参数为例, 若寄生电容为 10 pF, 时钟频率为 20 MHz, I_{BIAS} 为 40 μ A, 则可算出仅寄生电容输出的电压为 0.2 V。被测电容 1 fF 的输出电压变化仅约为 20 微伏 (10^{-5} V) 量级, 也就是说有用的电容信号完全淹没在寄生电容产生的电压中。如果直接测量, 在 1.8 V 的供电下, 需要 ADC 位数达到 20 位以上才能分辨 1 fF 电容的电压变化, 这大大增加了 ADC 的设计难度和整体电路开销。为了解决这一问题, 通常的做法是对信号进行放大。然而, 不同的应用环境寄生电容可能产生较大的变化。例如, 基于上述例子的参数, 寄生电容 2~10 pF 的变化对

应直流电压 V_{mod} 的变化范围为 0.2~1.0 V。若直接对信号进行放大, 必然受到电源电压的限制。如果降低 I_{BIAS} 或增大 f_s , 又会严重衰减信号。因此, 如何消除寄生电容引起的直流电压的影响是飞法级高精度电容传感器读出电路设计的难点。

针对这一问题, 本文提出了如图 3 所示的全差分放大结构处理 C-V 转换得到的差值放大信号, 并且通过开关电容运算来抵消寄生电容产生的共模电压。图中的 V_{IN} 为主通路寄生电容与待测电容产生的电压; V_{CM} 为运放的共模电压; V_{OP} 和 V_{ON} 分别为运放的正负输出电压; φ_1 与 φ_2 为可变增益放大器的控制时钟; C_c 与 C_f 分别为输入电容与反馈电容。本设计设置了一路完全对称的空载通路作为对照, 其寄生电容与主通路一致。相同条件下空载通道充电产生的电压即等于主通道的寄生电容产生的直流电压。这一对电压由全差分可变增益放大器处理后, 输出的差值就是放大后的传感器电压。如图 3 所示, 在 φ_1 为高的相位, V_{IN} 与 V_{mod} 对 C_c 进行充电, 运放正负输入端的电容积累的总电荷分别为

$$Q_{P1} = (V_{mod} - V_{CM}) C_c \quad (3)$$

$$Q_{N1} = (V_{IN} + V_{mod} - V_{CM}) C_c \quad (4)$$

在 φ_2 为高的相位, 电容阵列 C_c 的左极板复位为 V_{mod} 。电荷分享完成后, 运放输入节点虚短, 且电压为 V_X , 可得运放输入节点电荷为

$$Q_{P2} = (V_{mod} - V_X) C_c + (V_X - V_{ON}) C_f \quad (5)$$

$$Q_{N2} = (V_{mod} - V_X) C_c + (V_X - V_{OP}) C_f \quad (6)$$

由电荷守恒即 $Q_{P1} = Q_{P2}$, $Q_{N1} = Q_{N2}$, 可得到输出电压与传感器对应的输入电压的比值为

$$\frac{V_{ON} - V_{OP}}{V_{IN}} = \frac{C_c}{C_f} \quad (7)$$

由上述推导可以看出, 寄生电容产生的电压 V_{mod} 被完全消除了, 同时放大增益由 C_c 与 C_f 的比值确定, 可以设计得很准确。本设计中, 近 40 倍的增益就能够将 20 微伏 (10^{-5} V) 量级的信号放大到

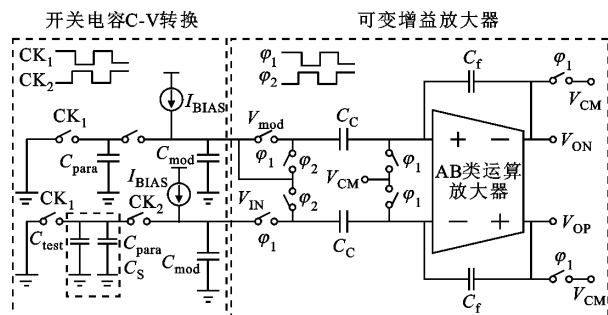


图 3 全差分放大结构

Fig. 3 Fully differential amplifier circuit

0.5 mV 以上,因此后端用一个 12 位的 SAR ADC 即可进行量化。

该设计的优势在于可以通过差分运算消除寄生电容的影响,从而大大提升读出电路对寄生电容的容忍能力,同时有效利用较低的工作电压范围。另外,全差分结构设计相对于单端 C-V 电路,能更好地抑制其他共模干扰。

1.3 自动增益控制

虽然上述的全差分电路能够消除寄生电容产生的共模电压,但是不同寄生电容条件下有用信号 V_{IN} 的值与寄生电容 C_{para} 有关

$$V_{IN} = \frac{I_{BIAS}}{f_s(C_{para} + C_{test})} \quad (8)$$

由式(8)可以看出,当寄生电容较大的时候,电容变化引起的电压变化更小,因此对不同寄生电容情况下,增益的处理是不同的。本文设计了一个自动增益控制方案,通过检测 V_{mod} 的大小来选择放大器的放大倍数,从而能在寄生电容不同的情况下,自适应地将传感器电压放大到合适的输出范围。为了能自适应地选取增益档位,本文采用如图 4 所示的自动增益控制电路实现档位自适应控制,该支路包括一个简单的 3 位 ADC 与相应的译码电路。图中的 C_C 由电容阵列 $C_0 \sim C_4$ 实现,并由开关 $S_0 \sim S_3$ 进行控制。

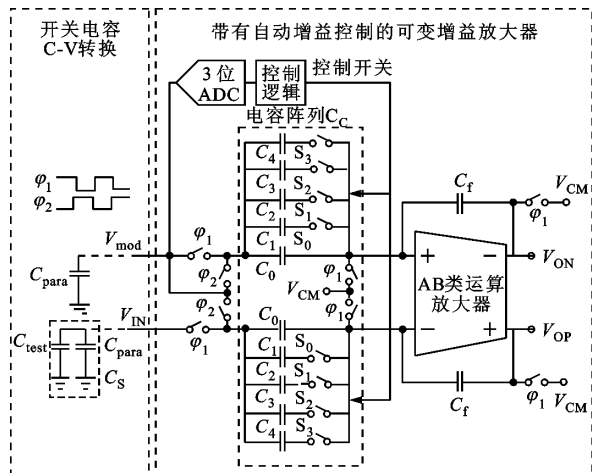


图 4 自动增益控制的实现电路

Fig. 4 Automatic gain control circuit

考虑到功耗和转换速度的要求,3 位 ADC 选择 SAR ADC 结构来实现。由分析可知,寄生电容在 2~10 pF 时,前端检测电路输出的直流电压范围为 0.2~1.0 V,该 SAR ADC 在面对 0.2~1.0 V 的输入信号时可以产生 8 个码值的变化。通过这 8 个不同的量化码值则可以设置 5 个调节增益档位,可覆

盖 2~10 pF 寄生电容范围内 1 fF~1 pF 电容的测量需求。

上述方案以较小的面积和功耗实现了自适应增益控制,并且由于是开环结构,相对于文献[10]具有测量时间短的优势。

1.4 信号范围映射电路

通过前面的推导,由式(7)可知该前端输出的信号始终有 V_{ON} 大于 V_{OP} ,为了有效利用全差分 ADC 的动态范围,并且降低对 ADC 的性能要求,本文设计了一个信号映射电路^[13],将 $V_{ON} - V_{OP}$ 变为双极性信号,从而有效利用 ADC 的转换范围。信号映射电路的结构如图 5 所示。

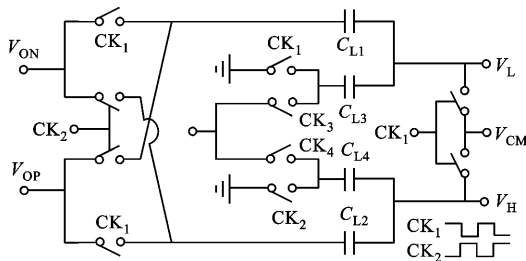


图 5 信号映射电路的结构

Fig. 5 Signal mapping circuit

可以看出, V_{OP} 和 V_{ON} 通过 4 个开关在不交叠时钟信号的控制下传递到 C_{L1} 和 C_{L2} 的左极板。在 CK1 和 CK2 两个相位, C_{L1} 和 C_{L3} 以及 C_{L2} 和 C_{L4} 保持电荷守恒。因此,如果 $C_{L1} \sim C_{L4}$ 具有相等的值,则可以得出 CK2 时的差分 and 共模输出分别为

$$\left. \begin{aligned} V_{out,diff} &= V_H - V_L = (V_{ON} - V_{OP}) - V_{CM} \\ V_{out,cm} &= (V_H + V_L)/2 = V_{CM} \end{aligned} \right\} \quad (9)$$

为了让 V_{ON} 与 V_{OP} 在转换过程中保持稳定,信号映射电路的时钟 CK1 与 CK2 的频率快于可变增益放大器的工作频率,在 φ_2 为高的相位实现信号映射。ADC 在 CK2 相对信号进行采样和量化,即可得到电容测量结果。

1.5 基于 DEM 校准算法的 12 位 SAR ADC

为了降低功耗并缩短转换时间,本文选择 SAR ADC 来对前端的输出电压进行模数转换。ADC 的设计精度为 12 位,采样时钟为 200 kHz。

为了尽可能地降低 ADC 中电容阵列失配产生的误差,本文采用了 DEM 校准的技术对电容失配进行补偿。该结构将传统的 3 位二进制权重电容阵列转化成如图 6 所示的 7 位温度计编码的单位电容阵列,并用基于交换原则的 DEM 校正算法来选择相应的电容^[14-15]。采用 DEM 算法可提高 ADC 的无失真动态范围(S_{FDR}),进而提高 ADC 的有效精度。

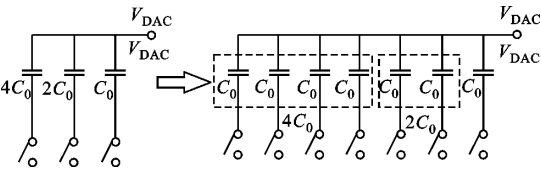


图 6 DEM 的电容映射示意图

Fig. 6 Capacitor mapping diagram of the DEM method

整个 SAR ADC 的基本电路结构如图 7 所示, 数模转换器 (DAC) 阵列采用电容复用的切换策略^[16-17], 这种切换策略能复用电容阵列, 从而使总电容减小一半。采样开关采用栅压自举开关, 以提高 SAR ADC 的线性度和信噪比。

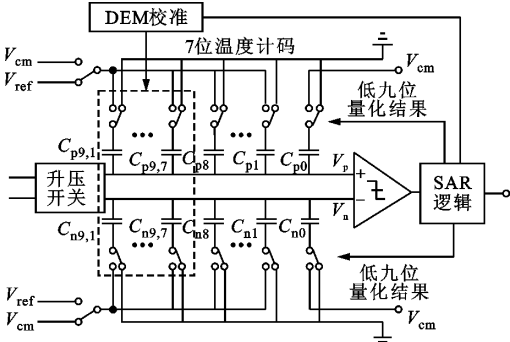


图 7 本设计 SAR ADC 基本电路结构图

Fig. 7 SAR ADC structure in the proposed circuit

在输入信号为 3.3 kHz 的正弦输入信号的条件 下, ADC 输出的动态频谱图如图 8 所示, 从频谱图可以计算得到, ADC 的信噪失真比 (S_{NDR}) 为 70.82 dB, S_{FDR} 为 87.55 dB, 有效位数 E_{NOB} 为 11.47 位。

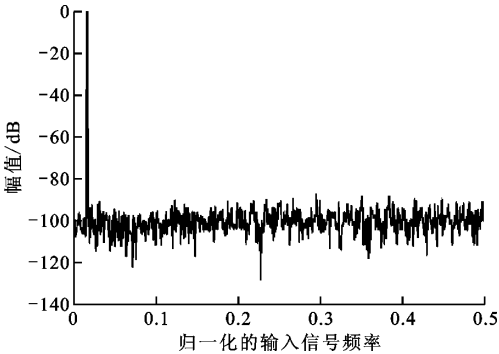


图 8 输入信号为 3.3 kHz、采样频率为 200 kHz 时 ADC 的动态频谱

Fig. 8 ADC output spectrum for 3.3 kHz sinusoid input signal at 200 kHz sampling rate

2 噪声分析

所设计的读出电路的等效输入噪声主要由前端电路的 KT/C 噪声、运放噪声以及 ADC 产生的量化噪声 3 部分组成, 总噪声的表达式如下

$$\overline{N_{\text{total}}^2} = \overline{N_{\text{KT/C}}^2} + \overline{N_{\text{opamp}}^2} + \left(\frac{\overline{N_{\text{ADC}}^2}}{A_{\text{PGA}}^2} \right) \quad (10)$$

其中 ADC 的噪声由可变增益放大器的放大倍数进行抑制。在传感器寄生电容为 2 pF 时, 提供增益的电容 (C_0) 大小为 32 pF, 对于开关电容结构, kT/C 噪声均方电压为 11.4 μV 。

运算放大器的等效输入噪声频谱仿真结果如图 9 所示。噪声在 200 kHz 处为 273.24 aW/Hz (假设以 1 Ω 电阻为负载), 对测量的影响非常小。ADC 的噪声经过可变增益放大器放大倍数的抑制, 可以忽略不记。

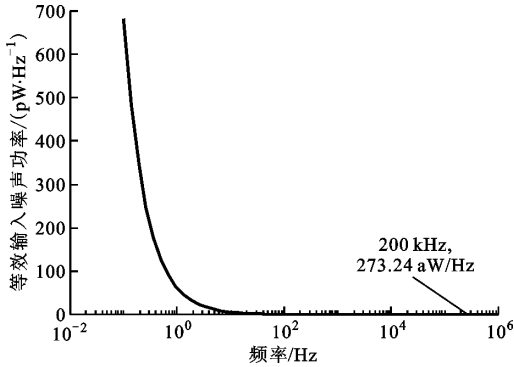


图 9 等效输入噪声频谱仿真结果

Fig. 9 Input-referred noise spectrum

相对于 Sigma-Delta ADC 过采样方案, SAR ADC 的缺点在于容易受到噪声以及采样时刻各种干扰的影响。为了进一步消除噪声以及其他干扰对测量精度的影响, 本文在片外采取多次测量求平均值的方法, 能够显著地降低噪声和干扰的影响。

3 仿真结果

本文的读出电路采用 0.18 μm CMOS 工艺设计, 整体版图结构如图 10 所示, 核心电路面积为 1.2 mm $\times$ 0.89 mm。整个电路采用 3.3 V 供电, 内

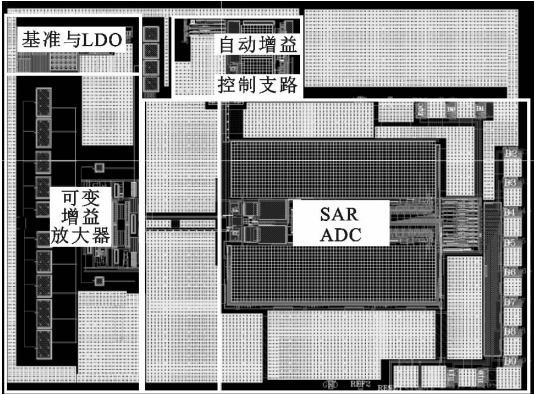


图 10 整体版图结构

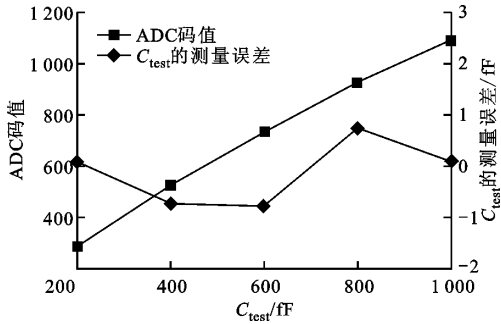
Fig. 10 Layout structure

部各模块的电压由片上的基准与片上电源供电,整体功耗仿真结果为 1.8 mW,测量时间为 1.2 ms。若定义转换能量为功耗与测量时间的乘积,可以算出本设计转换能量为 2.16 μ J。

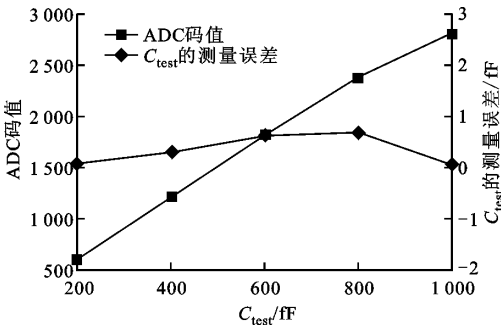
由前文可知,整体电路对电容的量化表达式为

$$C_{out} = G \frac{C_{test}}{(C_{para} + C_{test})C_{para}} \approx G \frac{C_{test}}{C_{para}^2} \quad (11)$$

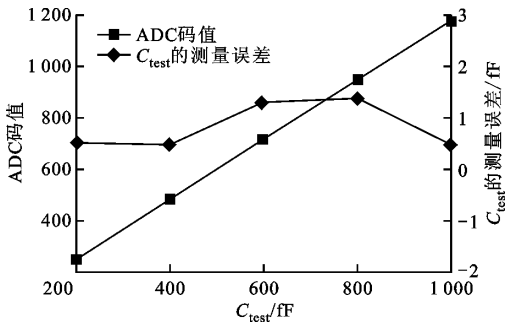
式中: C_{out} 为量化结果, G 为整个系统的增益。对应的测量曲线经过处理如图 11 所示。 C_{para} 值较大时,



(a) C_{para} 为 2 pF



(b) C_{para} 为 5 pF



(c) C_{para} 为 10 pF

图 11 电容测量曲线

Fig. 11 Capacitance measurement curves

可看出测量曲线的线性度更好, C_{para} 值较小时则线性度差,这是因为测量曲线在 C_{para} 值较小时,近似关系不够理想,但是这一问题对测量并没有造成影响。通过拟合曲线对测量结果进行误差标定可以得到如图 11 的结果,可以看出本文所提出的结构测量精度小于 1 fF。

为了与国际同类电容测量电路的性能进行对比,电容测量电路的信噪失真比定义为

$$S_{NDR} = 20\lg \frac{D_R}{2^{3/2}A} \quad (12)$$

式中:输入范围为 D_R ,测量精度为 A 。品质因数为

$$F = \frac{W_T}{2^{(S_{NDR}-1.76)/6.02}} \quad (13)$$

式中 W_T 为转换能量。计算出整体 S_{NDR} 为 70.05 dB,品质因数为 842.182 pJ·步⁻¹。表 1 中列出了本文设计的读出电路与其他文献的性能对比,可以

表 1 电容数字转换电路性能对比表

Table 1 Capacitance-to-digital converter performance summary and comparison

性能参数	数值						
	本设计	文献[7]	文献[8]	文献[10]	文献[18]	文献[19]	文献[20]
工艺特征尺寸/nm	180	350	180	180	180	180	40
结构	开关电容 C-V +SAR ADC	周期调制	双斜转换	双相关采样 +SAR ADC	C-V 转换 +单斜 ADC	TDC	Zoom ADC
应用领域	电容型触摸屏		压力传感器	生物医疗	触觉传感器	生物医疗	压力传感器
输入范围/pF	2~11	1~6.8	5.3~30.7	2.5~75.3	1~4	6.4~9.7	0~5
寄生电容/pF	2~10	0~6.8①	0~22②	7.5~70③		6.4~9.7④	1~4③
测量时间/ms	1.2	7.6	6.4	4	0.001 6	17.5	0.012 5
精度/fF	1	0.2	8.7	6	0.85	2.05	0.29
功耗/mW	1.8	0.21	0.000 11	0.000 16	0.313	0.018 4	0.006 64
转换能量/pJ	2.16×10 ⁶	1.596×10 ⁶	704	640	500.8	3.22×10 ⁵	83
信噪失真比/dB	70.05	80.22	44.20	72.65	61.92	55.26	75.80
面积/mm ²	0.96	0.51	⑤	0.49	0.90	0.102	0.06
品质因子/pJ·步 ⁻¹	842.180	190.450	5.300	63.900	0.490	680.120	0.016

① 利用片外电容进行寄生电容抑制;② 通过修调片内电容大小调整抑制寄生电容的范围;③ 利用片上电容抑制寄生电容;④ 采用可调电容芯片 MAX1474 抑制寄生电容;⑤ 该芯片通过堆叠结构实现,总体积为 1.4 mm×2.8 mm×1.6 mm。

看出本设计的测量时间较短,测量精度和能容忍的最大寄生电容也有一定的优势。

4 结 论

本文提出了一种能自适应抑制寄生电容的飞法级电容传感器读出电路,其电容-电压转换基于开关电容电路实现,从而可通过设置合理的时钟频率增大电容检测范围。电路采用带3位自动增益控制的全差分放大器放大传感器信号,同时自适应地抑制大寄生电容产生的电压的影响。与现有文献相比,本文的电路消除寄生电容的代价较小,而且具有很强的适应性,在大寄生、高精度电容测量和传感器模数转换领域有较好的应用前景。

参考文献:

- [1] 钟龙杰. 飞法级 MEMS 电容型传感器读出技术研究 [D]. 西安: 西安电子科技大学, 2019: 1-31.
- [2] 杨洋, 张瑞智, 张杰, 等. 植入式医疗装置的无线通信和能量收集电路 [J]. 西安交通大学学报, 2018, 52(7): 160-166.
YANG Yang, ZHANG Ruizhi, ZHANG Jie, et al. A wireless communication and energy harvesting circuit for implantable medical devices [J]. Journal of Xi'an Jiaotong University, 2018, 52(7): 160-166.
- [3] 陈阳, 张瑞智, 金锴, 等. 采用电荷平衡模数转换器的高精度 CMOS 温度传感器 [J]. 西安交通大学学报, 2018, 52(10): 124-131.
CHEN Yang, ZHANG Ruizhi, JIN Kai, et al. A CMOS temperature sensor with high precision using a charge balance analog-to-digital converter [J]. Journal of Xi'an Jiaotong University, 2018, 52(10): 124-131.
- [4] 陈浩, 孙权, 张鸿, 等. 用于超低频信号测量的高精度低功耗增量式模数转换器 [J]. 西安交通大学学报, 2017, 51(6): 79-85.
CHEN Hao, SUN Quan, ZHANG Hong, et al. Incremental analog-to-digital converter with high resolution and low power for measurement of ultra-low-frequency signals [J]. Journal of Xi'an Jiaotong University, 2017, 51(6): 79-85.
- [5] SHIAH J, RASHTIAN H, MIRABBASI S. A low-noise parasitic-insensitive switched-capacitor CMOS interface circuit for MEMS capacitive sensors [C]//Proceedings of the 2011 9th IEEE International New Circuits and Systems Conference. Piscataway, NJ, USA: IEEE, 2011: 470-473.
- [6] PARK J, HWANG Y, OH J, et al. A compact self-capacitance sensing analog front-end for a touch detection in low-power mode [C]//Proceedings of the 2019 IEEE/ACM International Symposium on Low Power Electronics and Design. Piscataway, NJ, USA: IEEE, 2019: 1-6.
- [7] TAN Z, SHALMANY S, MEIJER G, et al. An energy-efficient 15-bit capacitive-sensor interface based on period modulation [J]. IEEE Journal of Solid-State Circuits, 2012, 47(7): 1703-1711.
- [8] OH S, LEE Y, WANG J, et al. A dual-slope capacitance-to-digital converter integrated in an implantable pressure-sensing system [J]. IEEE Journal of Solid-State Circuits, 2015, 50(7): 1581-1591.
- [9] GEORGE B, KUMAR J. Analysis of the switched-capacitor dual-slope capacitance-to-digital converter [J]. IEEE Transactions on Instrumentation and Measurement, 2010, 59(5): 997-1006.
- [10] HA H, SYLVESTER D, BLAAUW D, et al. A 160nW 63.9fJ/conversion-step capacitance-to-digital converter for ultra-low-power wireless sensor nodes [C]//Proceedings of the 2014 IEEE International Solid-State Circuits Conference: Digest of Technical Papers. Piscataway, NJ, USA: IEEE, 2014: 220-221.
- [11] LI Bing, MA Linfa, WANG Wei, et al. A high-sensitivity signal conditioning interface for capacitive touch key using $\Delta\Sigma$ modulation [C]//Proceedings of the 2017 International SoC Design Conference. Piscataway, NJ, USA: IEEE, 2017: 99-100.
- [12] 王玉伟, 张鸿, 张瑞智. 一种超低功耗的低电压全 MOS 基准电压源 [J]. 西安交通大学学报, 2017, 51(8): 47-52.
WANG Yuwei, ZHANG Hong, ZHANG Ruizhi. A low-voltage all-metal oxide semiconductor voltage reference with ultra-low power [J]. Journal of Xi'an Jiaotong University, 2017, 51(8): 47-52.
- [13] WANG X, ZHANG H, ZHANG J, et al. A multi-cell battery pack monitoring chip based on 0.35- μm BCD technology for electric vehicles [J]. IEICE Electronics Express, 2015, 12(12): 1-12.
- [14] CELIN A, GEROSA A. Optimal DWA design in scaled CMOS technologies for mismatch cancellation in multibit $\Sigma\Delta$ ADCs [C]//Proceedings of the 2015 IEEE International Symposium on Circuits and Systems. Piscataway, NJ, USA: IEEE, 2015: 1454-1457.
- [15] DONG L, LAN Z, GUI X, et al. A multi-channel 1.52 μV_{rms} front end with orthogonal frequency chopping for neural recording applications [C]//Proceedings of the 2019 IEEE Asia Pacific Conference on Circuits and Systems. Piscataway, NJ, USA: IEEE,

2019; 389-392.

- [16] 张鸿, 张牡丹, 张杰, 等. 用于植入式医疗装置的逐次逼近式模数转换器 [J]. 西安交通大学学报, 2015, 49(2): 43-48.
- ZHANG Hong, ZHANG Mudan, ZHANG Jie, et al. A successive approximation register analog-to-digital converter for implantable biomedical device [J]. Journal of Xi'an Jiaotong University, 2015, 49(2): 43-48.
- [17] ZHANG Hongshuai, ZHANG Hong, SUN Quan, et al. A 0.6-V 10-bit 200-kS/s SAR ADC with higher side-reset-and-set switching scheme and hybrid CAP-MOS DAC [J]. IEEE Transactions on Circuits and Systems: I Regular Papers, 2018, 65(11): 3639-3650.
- [18] LI Y, WANG R, LIU X, et al. A front-end integrated circuit design for tactile sensors [C]// Proceedings of the 2019 IEEE International Conference on Integrated Circuits, Technologies and Applications. Piscataway, NJ, USA: IEEE, 2019: 146-147.
- [19] GEORGE A, LEE J, KONG Z, et al. A 0.8 V supply and temperature-insensitive capacitance-to-digital converter in 0.18 μm CMOS [J]. IEEE Sensors Journal, 2016, 16(13): 5354-5364.
- [20] TANG X, LI S, YANG X, et al. An energy-efficient time-domain incremental zoom capacitance-to-digital converter [J]. IEEE Journal of Solid-State Circuits, 2020, 55(11): 3064-3075.

[本刊相关文献链接]

- 刘青, 查虹丽, 马龙雄, 等. 采用多目标离散粒子群算法的地磁感应电流抑制措施的优化和效果评价. 2021, 55(3): 90-98. [doi:10.7652/xjtuxb202103011]
- 倪娜, 薛晓敏, 张陵, 等. 高灵敏度离子皮肤手指关节角度传感器的设计. 2021, 55(3): 164-174. [doi:10.7652/xjtuxb202103019]
- 朱瑞芳, 张国梅, 曹艳梅. 三维信道模型约束下的大规模 MIMO 信道估计方法. 2021, 55(2): 150-157. [doi:10.7652/xjtuxb202102018]
- 焦子豪, 张瑞智, 金锴, 等. 用于高速模数转换器的非对称全差分参考电压缓冲器. 2020, 54(5): 109-116. [doi:10.7652/xjtuxb202005015]
- 许江涛, 闫创, 段颖哲, 等. 用于植入式医疗设备的低功耗低位逐次逼近型模数转换器. 2020, 54(3): 12-19. [doi:10.7652/xjtuxb202003002]
- 李楠楠, 黄正波, 季惠才, 等. 用于高速模数转换器的电荷泵型低抖动时钟管理电路. 2020, 54(1): 162-168. [doi:10.7652/xjtuxb202001020]
- 陈猛, 乌江, 焦朝勇, 等. 锂离子电池健康状态多因子在线估计方法. 2020, 54(1): 169-175. [doi:10.7652/xjtuxb202002021]
- 付远明, 孟现阳, 吴江涛. 多路温度同步测量系统开发与实现. 2017, 51(3): 62-67. [doi:10.7652/xjtuxb201703011]
- 严飞, 李国兵, 张国梅, 等. 大规模 MIMO 系统中单精度模数转换器的量化门限设置方案. 2016, 50(8): 45-51. [doi:10.7652/xjtuxb201608008]

(编辑 武红江)