

真空栅介质场效应晶体管自热效应模型

苏亚丽¹, 赖俊桦², 钱俊杰², 叶雨欣³, 张国和²

(1. 西安石油大学机械工程学院, 710065, 西安; 2. 西安交通大学电信学部微电子学院, 710049, 西安;

3. 中国科学院微电子研究所, 100029, 北京)

摘要: 针对纳米尺度金属氧化物半导体场效应晶体管(MOSFET)热传输尺度效应对自热效应影响加剧的问题,提出一种考虑尺度影响的真空栅介质垂直堆叠硅纳米线(SiNWs)环栅场效应晶体管(GAA FET)自热效应模型。首先,分析硅薄膜与SiNWs内声子散射自由程之间的关系,量化用于衡量声子边界散射的SiNW热导率衰减因子;然后,根据国际上现阶段关于纳米硅薄膜热导率的解析模型,推导得到考虑尺度效应影响的SiNW热导率解析模型;最后,结合纳尺度器件热传输的关键路径,建立起考虑尺度影响的GAA SiNWs FET自热效应模型。在TCAD软件中采用所提自热效应模型实现了GAA SiNWs FET自热效应的数值计算。仿真结果表明:低热导率真空栅介质、垂直堆叠多热源与热传输尺度效应将导致真空栅介质GAA SiNWs FET热生成与扩散过程更加复杂,加剧器件自热效应;通过真空栅介质间隙与环绕气体压强之间的折中设计能够最大化栅极热传输能力,达到抑制器件自热效应以改善器件性能及其可靠性的目的;与传统自热效应模型估算的热点温度值相比,所提出的自热效应模型预测的真空栅器件内热点温度提高了30%,表明该自热效应模型能够有效的揭示GAA FET内SiNW热传输尺度效应对自热效应的影响机制。

关键词: 场效应晶体管;热导率;热传输;硅纳米线;自热效应

中图分类号: TN386.1 **文献标志码:** A

DOI: 10.7652/xjtuxb202108011 **文章编号:** 0253-987X(2021)08-0085-08



OSID 码

Self-Heating Effect Model for Vacuum Gate Dielectric Field-Effect Transistors

SU Yali¹, LAI Junhua², QIAN Junjie², YE Yuxin³, ZHANG Guohe²

(1. School of Mechanical Engineering, Xi'an Shiyou University, Xi'an 710065, China;

2. School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China;

3. Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A self-heating effect model for vacuum gate dielectric vertical-stacked silicon nanowires (SiNWs) gate-all-around field-effect transistors (GAA FETs) considering scale effect is proposed to address intensified influences of thermal transport scale effect on self-heating effect in nanoscale MOSFETs. Firstly, the relationships between phonon scattering free paths in silicon film and SiNW are analyzed, and the SiNW thermal conductivity attenuation factor used to measure the revealing phonon boundary scattering is quantified. Then an analytical model of the thermal conductivity of SiNW considering the influence of scale effect is derived based on the current international analytical model for nanoscale silicon films. Finally, the self-heating effect model considering the scale effect is established for GAA SiNWs FET by combining with the

收稿日期: 2021-04-07。 作者简介: 苏亚丽(1980—),女,博士,副教授;张国和(通信作者),男,教授,博士生导师。 基金项目: 陕西省自然科学基金基础研究计划资助项目(2021JM-409)。

网络出版时间: 2021-04-27

网络出版地址: <http://kns.cnki.net/kcms/detail/61.1069.T.20210427.1029.002.html>

critical path of heat transfer in nanoscale devices. The proposed model is used to realize numerical simulation of the self-heating effect of GAA SiNWs FET in TCAD software. Simulation results show that the vacuum gate dielectric with low thermal conductivity, vertical stacked multiple heat sources and thermal transport scale effect lead to more complex heat generation and diffusion processes in vacuum gate dielectric GAA SiNWs FET, and aggravate the self-heating effect of devices. The thermal transport capacity of gate can be maximized through the compromise design between vacuum gate gap and surrounding gas pressure and the self-heating effect of the device can be inhibited to improve the performance and reliability of device. Compared with the hot spot temperature estimated by the traditional self-heating effect model, the hot spot temperature in the vacuum gate device predicted by the proposed model increases by 30%, indicating that the proposed model can effectively reveal the thermal transport scale effect of SiNW in GAA FET.

Keywords: field-effect transistor; thermal conductivity; thermal transport; silicon nanowires; self-heating effect

受到高功率密度、低热导率材料、紧凑几何结构与高表面积与体积比等因素的影响^[1-2],沟道内热量无法及时散出,晶格温度迅速上升,导致在 20 nm 及以下工艺节点被广泛运用的三维立体器件^[3-5]环栅硅纳米线场效应晶体管(GAA SiNWs FET)存在严重的自热效应,诱发热载流子注入(HCI)和偏置温度不稳定性(BTI)等二级物理效应,严重威胁器件和电路的性能与可靠性。因此,纳米器件自热效应导致性能衰退的机制和改善热特性的新器件结构设计成为了近年来研究的重点和难点。

真空栅介质鳍式场效应晶体管(FinFET)是将传统 FinFET^[6-8]的固态栅氧化层通过刻蚀工艺去除后所形成一种新型 FinFET 结构,有效地改善了纳米器件 HCI 和 BTI 等物理效应^[9]。但是,鳍形沟道与底部埋氧层(BOX)存在大面积接触使得 BOX 层仍然能够俘获高能热载流子进而影响沟道内电势分布,导致 HCI 和 BTI 等可靠性问题无法从根本上解决。Han 等采用悬空硅纳米线作为沟道提出了一种气体环绕的真空栅介质 GAA SiNWs FET^[10],有效地解决了 HCI 和 BTI 对器件性能影响的问题。然而,真空气体作为栅介质层,其热导率($0.025 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$)不足固态栅介质 SiO_2 热导率($1.4 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$)的 2%,真空栅介质 GAA SiNWs FET 将具有更明显的自热效应。因此,需要深入分析器件内复杂的热生成与热扩散过程以揭示真空栅介质 GAA SiNWs FET 的自热效应机理。

目前,国内外在数值模拟预测自热效应引起的纳米器件性能衰退的方面进行了大量的研究^[11],但是,在这些数值模拟研究中尚未见采用硅纳米线热导率解析模型用于修正三维纳米器件的热电数值模

拟仿真模型。硅纳米线热导率存在严重的尺度效应和温度依赖关系^[12],采用与温度和尺寸无关的热导率模型,如 Park 和 Chung 等在 3D V-NAND flash 存储器自热效应分析^[13]和 FinFET 热 SPICE 建模研究^[14]中采用的常数热导率,已无法衡量微纳尺度材料热输运能力^[15]。这将导致所建立的数值模拟模型在结构参数设计优化过程中无法准确表征尺寸和温度变化给热传输性能带来的影响,在纳米器件热传输特性预测中造成较大误差。

本文将通过考虑温度与结构尺寸对热导率的影响,量化表达声子散色平均自由程与截面尺寸的依赖关系,建立起硅纳米线沟道的热导率模型。通过对真空栅介质 GAA SiNW FET 自热效应数值模拟分析,揭示器件内复杂的热生成与热扩散机制,探讨真空栅介质导热间隙与气体压强对纳米器件热传输能力的影响,为发展真空栅介质器件自热效应抑制方法和模型预测理论奠定基础。

1 器件结构与关键参数设定

图 1 为垂直堆叠 GAA SiNWs FET 器件结构示意图,GAA SiNWs FET 器件三维结构、YZ 截面和俯视图分别如图 1a、1b 和 1c 所示,其中 X 轴平行沟道方向,Y 轴水平垂直沟道方向,Z 轴竖直垂直沟道方向。器件沟道由 Ch1、Ch2 和 Ch3 这 3 根硅纳米线垂直堆叠而成。传统的固态栅介质垂直堆叠 GAA SiNWs FET 器件一般采用 HfO_2 作为栅氧化层介质。为方便对比分析两种器件结构散热能力,本文在保证其他参数不变的情况下,将固态栅介质器件的 HfO_2 栅氧化层替换为气体材料来构建真空栅介质场效应晶体管的器件结构模型。

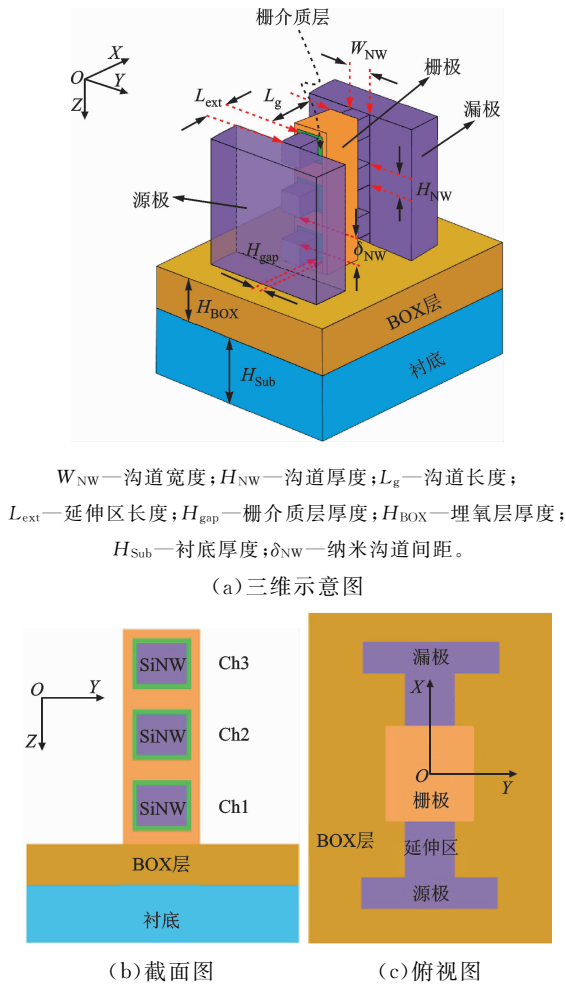


图 1 垂直堆叠 GAA SiNWs FET 器件结构
Fig. 1 Device structures of vertical-stacked GAA SiNWs FET

在 TCAD 数值模拟仿真中,沟道和源漏分别进行原子浓度为 $5 \times 10^{16} \text{ cm}^{-3}$ 的 p 型本征掺杂和 10^{20} cm^{-3} 的 n 型重掺杂。源、栅和漏热电极表面接触热阻为 $2 \times 10^{-8} \text{ m} \cdot \text{K} \cdot \text{W}^{-1}$ [16]。纳米尺度界面热阻对器件热传输特性有着极为重要的影响,因此在 GAA SiNWs FET 的高精度自热效应研究中需要考虑硅/二氧化硅界面热阻,其大小为 $9.09 \times 10^{-9} \text{ cm}^2 \cdot \text{K} \cdot \text{W}^{-1}$ [14]。源漏硅热导率为 $62 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ [17],BOX 层二氧化硅热导率为 $1.4 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ 。器件尺寸参数为: $L_g = 40 \text{ nm}$, $L_{\text{ext}} = 25 \text{ nm}$, $W_{\text{NW}} = 4 \text{ nm}$, $H_{\text{NW}} = 4 \text{ nm}$, $H_{\text{gap}} = 5 \text{ nm}$ 。

结合器件物理参数与材料电学与热学特性,考虑纳米尺度载流子波动特性与载流子弹道输运效应,采用密度梯度量子修正模型(Density Gradient Model)、考虑温度与载流子散射的 Philips 载流子模型、高电场饱和模型和考虑载流子界面散射的薄层模型,修正 TCAD 中描述半导体器件行为的基本

物理方程,包括,漂移-扩散方程以及热力学模型等,实现 GAA SiNWs FET TCAD 热电数值模拟仿真。

2 硅纳米线热导率模型推导

为在 GAA SiNWs FET 热电数值模拟仿真中能够精确预测器件内温度场分布与准确评估器件自热效应,需要建立起可用于器件仿真的温度和尺寸依赖的、基于物理参数的有源区硅热导率解析模型。GAA SiNWs FET 内声子平均自由程要远大于器件有源区尺寸,声子热传输过程呈现强烈的弹道输运现象导致经典的傅里叶热扩散定律已无法揭示纳米沟道的热传输机制。通过捕捉影响声子弹道输运过程最基本的物理信息,考虑纵向和横向声子模对热导率的贡献,Holland 提出了热导率的修正模型[18]。将声子弛豫时间、声子运动速度和材料尺寸等与声子弹道输运紧密相关的物理量包含于材料热导率模型,表示如下

$$\lambda = \frac{1}{3} \sum_i v_i^2 \int_0^{\Theta/T} C_{V,i}(T) \tau_i(T, N_A) \eta(H/\ell) d\chi \quad (1)$$

式中:下标 $i = L, T, TU$ 分别表示为单个纵向声子模态和两个横向声子模态; Θ 为德拜温度; T 为材料温度; v_i 为不同声子模态对应的声子速度; $C_{V,i}(T)$ 为温度依赖的比热容; $\tau_i(T, N_A)$ 为温度 T 和掺杂浓度 N_A 依赖的声子弛豫时间; η 是考虑声子边界散射后用于修正声子弛豫时间的系数,该参数和材料特征尺寸与声子平均自由程的比值(H/ℓ)相关; $\chi = h\omega/(2\pi k_B T)$ 是声子振动频率,其中 h 和 ω 分别是普朗克常量和声子振动角频率。

Holland 热导率模型过于复杂,难以植入 TCAD 软件以进行三维电热耦合数值模拟分析,因而针对立方晶体结构硅材料,本文引入声子平均速度进一步简化热导率模型,其表示如下

$$\lambda = \frac{1}{3} \bar{v}^2 \int_0^{\Theta/T} C_V(T) \tau(T, N_A) \eta(H/\ell) d\chi \approx \left(\frac{1}{3} C_V \bar{v}^2 \tau \right) \eta \quad (2)$$

从式(2)可以看出,通过近似之后,Holland 模型的热导率与声子弛豫时间、材料尺寸与热容呈正比关系。考虑热传输的尺度效应,通过 $\eta(H/\ell)$ 系数修正声子弛豫时间,结合已有的体硅材料热导率模型,即可建立起微纳尺度硅热导率模型。Vasileska 等对体硅材料热导率模型进行了深入的研究与探讨[19],结果表明在 $250 \sim 1\,000 \text{ K}$ 宽温度范围内硅热导率的温度依赖关系可以表示为

$$\lambda_{\text{Bulk}} = \frac{135}{a + bT + cT^2} \quad (3)$$

式中: $a=0.03$; $b=1.56 \times 10^{-3} \text{ K}^{-1}$; $c=1.65 \times 10^{-6} \text{ K}^{-2}$ 。因此,立方晶体结构的微尺度单晶硅热导率模型可以简单方便的表示成体硅热导率与衰减因子的乘积形式,表达式如下

$$\lambda = \lambda_{\text{Bulk}} \eta \quad (4)$$

纳米硅薄膜平面内尺寸要远大于垂直平面内厚度,揭示纳米硅薄膜传热机制是纳米全耗尽绝缘体上硅 MOSFET 自热效应研究的基础。硅薄膜厚度对声子散射的限制占据主导地位,热导率呈现出很强的厚度依赖关系。McGaughey 等对厚度依赖的纳米硅薄膜热导率进行了深入的研究,提出基于体硅模型的纳米硅薄膜热导率的修正模型^[20]。修正系数 η_{FM} 是硅薄膜厚度的函数,表示如下

$$\eta_{\text{FM}} = \frac{4}{7} - \frac{3}{28}\xi + \frac{3}{14}\xi^2 + \frac{1}{2}\xi \ln\left(1 + \frac{1}{\xi}\right) - \frac{3}{14}\xi^3 \ln\left(1 + \frac{1}{\xi}\right) - \frac{4}{7\sqrt{\xi}} \arctan(\sqrt{\xi}) \quad (5)$$

式中: $\xi = 3k_{\text{B}}vH_{\text{FM}}/(2\lambda_{\text{Bulk}}\Omega)$ 是无量纲长度,其中 Ω 是晶胞体积, H_{FM} 为硅薄膜厚度。此时,纳米硅薄膜热导率模型可以表示为 $\lambda_{\text{FM}} = \lambda_{\text{Bulk}} \eta_{\text{FM}}$ 。

不同于纳米硅薄膜内声子散射机制, GAA SiNWs FET 中声子散射同时受纳米线沟道截面高度与宽度等尺寸的限制,热导率在厚度限制的基础上将会进一步降低。为得到适用于修正硅纳米线热导率的修正系数(η_{NW}),本文通过求解 Gray 近似下的硅薄膜与硅纳米线热导率修正系数的关系,结合表达式(5)得到硅纳米线热导率的修正系数。在 Gray 近似下,硅薄膜热导率的修正系数如下

$$\eta_{\text{FM,G}} = \left(1 + \frac{\epsilon_{\text{FM,MFP}}}{\alpha_{\text{FM}} H_{\text{FM}}}\right)^{-1} \quad (6)$$

硅纳米线的热导率修正系数可表示为

$$\eta_{\text{NW,G}} = \left(1 + \frac{\epsilon_{\text{NW,MFP}}}{\alpha_{\text{NW}} H_{\text{NW}}}\right)^{-1} \quad (7)$$

式中: $\epsilon_{\text{NW,MFP}}$ 为硅纳米线中声子平均声子自由程; H_{NW} 为硅纳米线的高度; α_{FM} 与 α_{NW} 为拟合参数, $\alpha_{\text{FM}} = 2\alpha_{\text{NW}}$; $\epsilon_{\text{FM,MFP}}$ 与 $\epsilon_{\text{NW,MFP}}$ 分别为硅薄膜与硅纳米线中平均声子自由程,可以表示如下

$$\left. \begin{aligned} \epsilon_{\text{FM,MFP}} &= \frac{H_{\text{FM}}}{2} \\ \epsilon_{\text{NW,MFP}} &= \frac{H_{\text{NW}}}{2(\sin\varphi_0 + \cos\varphi_0)} \end{aligned} \right\} \quad (8)$$

其中 φ_0 为常数,当声子传播方向与边界平行时 $\varphi_0 = 0$ 。结合表达式(6)~(8),可得硅薄膜和硅纳米线

中的热导率修正系数关系

$$\eta_{\text{NW}} = \frac{\eta_{\text{FM}}}{2 - \eta_{\text{FM}}} \quad (9)$$

因此,计入截面横向与纵向尺寸限制的硅纳米线热导率模型可利用纳米硅薄膜的修正系数得到,表示如下

$$\lambda_{\text{NW}} = \lambda_{\text{Bulk}} \frac{\eta_{\text{FM}}}{2 - \eta_{\text{FM}}} \quad (10)$$

3 结果与讨论

图 2 给出了量子效应修正模型下的特征尺寸为 40 nm 与 5 nm 的 GAA SiNWs FET 输出特性曲线。由图 2 可见,短栅与长栅器件都具有较好的性能,但是短沟道效应使得 5 nm 器件关态电流上升了 2 个数量级。40 nm 器件的等效氧化层厚度(EOT,用符号 t_{EOT} 表示)为 5 nm,5 nm 器件 EOT 为 0.6 nm。本文为了更好地研究真空栅间隙对真空栅介质环栅纳米线场效应晶体管自热效应的影响,选用 EOT 更厚的 40 nm 器件作为本文的基准参考器件。

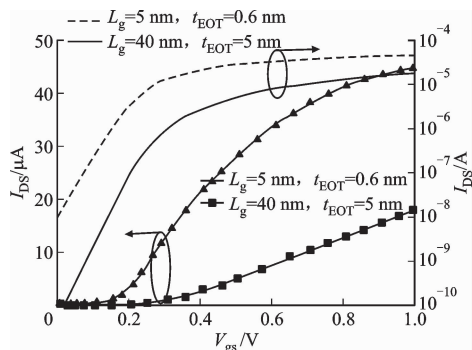


图 2 5 nm 与 40 nm GAA SiNWs FETs 器件输出特性曲线

Fig. 2 Output characteristics of 5-nm and 40-nm GAA SiNWs FETs

图 3 所示为纳米硅薄膜与硅纳米线热导率相对于薄膜厚度(用符号 H_{F} 表示)与纳米线宽度的变化关系。McGaughey 等在工作中只给出了硅薄膜热导率的解析模型^[17],而对于硅纳米线只给出了数值解。从图 3 中可以看出,本文所提出的硅纳米线热导率解析模型与 McGaughey 所计算的数值模型结果吻合得很好。本文模型通过纳米尺度下弹道输运过程的硅纳米线与纳米硅薄膜之间的自由程近似关系得到硅纳米线热导率,当特征尺寸大于 100 nm 时,声子弹道输运过程将会减弱,模型中的弹道输运过程自由程的近似在大尺寸下将会产生一定的偏

差。随着硅尺寸不断减小,硅热导率由于急剧增加的声子边界散射而不断的降低。同样是 10 nm 的尺寸,硅薄膜热导率将衰减至体硅材料的 20%。硅纳米线由于声子散射同时受截面内两个维度尺寸的限制,热导率进一步降低至体硅材料的 10%。可见,边界效应对硅纳米线内热传导有着重要的影响,要实现对 GAA SiNWs FET 自热效应的精确模拟分析,就需要在热电仿真中考虑器件边界对沟道热导率空间限制而产生的尺度效应。

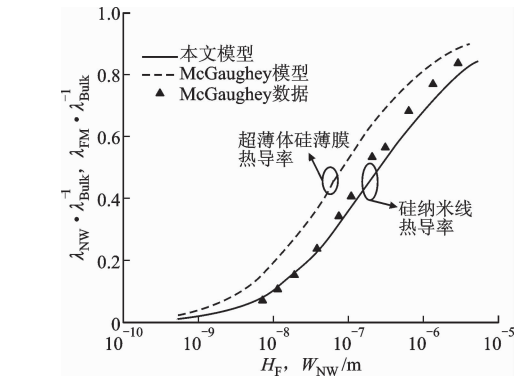


图 3 纳米硅薄膜与硅纳米线热导率随尺寸变化关系
Fig. 3 Relationships between nanoscale silicon film and SiNW thermal conductivities and size

图 4 所示为固态栅介质 GAA SiNW FET 漏端延伸区内沿 Z 轴方向的温度分布及热生成结果。GAA SiNWs FET 中 3 根垂直堆叠纳米线沟道 Ch1、Ch2、Ch3 都存在与之对应的热生成尖峰,这意味着相比于 FinFET 等单沟道器件,GAA SiNWs FET 有着多个等效热源。多个热源的热量积累分别在纳米线沟道中产生了 3 个温度极高的热点。可见,多热源将会导致 GAA SiNWs FET 有源区内产生的热量更容易积聚,使得热生成与扩散过程变得

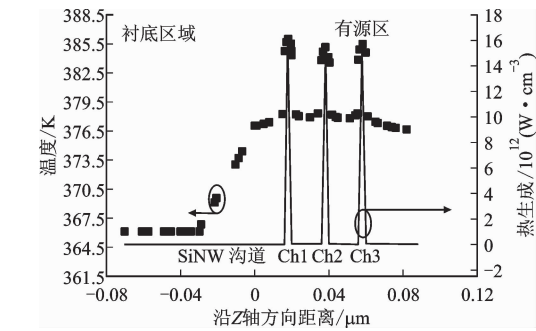


图 4 固态栅介质 GAA SiNW FET 漏端延伸区内沿 Z 轴方向的温度分布与热生成
Fig. 4 Temperature distribution and heat generation along the Z direction in drain extension region of solid gate dielectric GAA SiNW FET

更加复杂。
沿纳米线长度方向的热传输特性决定了 GAA SiNWs FET 对自热效应的抑制能力。图 5 给出了真空与固态栅介质 GAA SiNWs FET 纳米线沟道热导率沿长度方向的变化关系。从图 5 可知:热导率随空间位置的变化而变化;真空栅介质 GAA SiNWs FET 遭受着更加严重的自热效应,从而导致固态栅介质 GAA SiNWs FET 硅纳米线热导率在沟道区域整体比真空栅介质 GAA SiNWs FET 硅纳米线热导率要高。受到温度和尺寸的双重限制,沿沟道硅热导率将从体硅的 $145 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ 降低至 $8 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ 。纳米尺度下温度与尺寸效应对硅纳米线热导率的影响不可忽略,只有将热导率这种依赖关系完整的考虑进数值模拟分析才能够实现更高精度的纳米半导体器件自热效应分析预测。

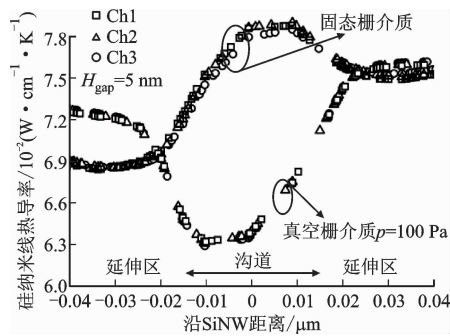


图 5 真空与固态栅介质 GAA SiNWs FET 纳米线沟道热导率分布
Fig. 5 Thermal conductivity distribution of SiNW for vacuum and solid gate dielectric GAA SiNW FETs

图 6 给出了栅介质种类、气体压强和界面热阻对 GAA SiNWs FET 自热效应的影响。图 6 结果表明,真空栅介质器件存在更为严重的自热效应,将真空栅介质替换成固态栅介质能够迅速地降低器件热阻,在考虑硅/二氧化硅界面热阻(ITR)后,固态栅介质 GAA SiNWs FET 的热阻在栅极和源极偏压 V_{gs} 为 0 时增加了 25%,界面热阻的引入进一步恶化了器件的自热效应。随着 V_{gs} 继续增加,沿着纳米线横向扩散的热量占总热量的比重增加,弱化了界面热阻对器件的作用,最终使得有界面热阻 2 种情况下的器件热阻趋于相同。真空栅介质的气体压强由 10^2 Pa 增加到 10^6 Pa ,在栅源偏压 $V_{gs} = 1 \text{ V}$ 偏置时的真空栅介质器件热阻由 $2.2 \times 10^7 \text{ K} \cdot \text{W}^{-1}$ 下降至 $1.6 \times 10^7 \text{ K} \cdot \text{W}^{-1}$ 。这表明一定程度上增加气体压强,能够不影响器件驱动能力的情

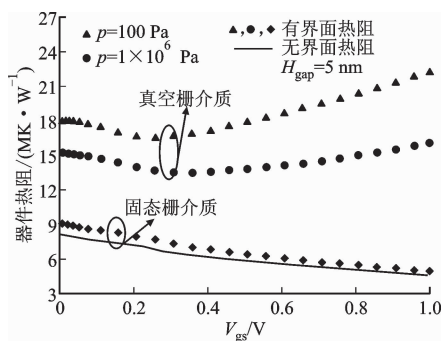


图6 真空栅介质气压和界面热阻对 GAA SiNWs FET 自热效应的影响

Fig. 6 Influences of gas pressure and interfacial thermal resistance on self-heating effect in GAA SiNWs FET

下抑制器件自热效应。因为增加气体压强将提升间隙内气体热导率,其表达式如下

$$\lambda_{\text{gas}} = \lambda_{p0} \left(1 + \frac{19(2-\zeta)\kappa_B T}{6\sqrt{2}\zeta p H_{\text{gap}}^3} \right)^{-1} \quad (11)$$

式中: λ_{p0} 为一个大气压下气体的热导率; ζ 为氮气的能量调节系数; p 表示气体压强; H_{gap} 为栅氧化层间隙。纳米间隙内气体分子热传输是弹道热运输,因此,不仅压强会影响气体热导率,栅氧化层导热间隙对气体热导率的影响同样很大。

图7所示为在不同气体压强下导热间隙对 GAA SiNWs FET 栅极热导的影响。图7表明:压强增加使得栅间隙内气体热导率增加,真空栅介质层热导随之上升;在气体压强不变的情况下,随着 H_{gap} 增加,真空栅介质的热导先增加后减小。这是由于 H_{gap} 的增加会增长热传输路径的同时,也会增加气体弹道运输的热导率,从而使得热导率不减反增。最大热导处栅氧化层厚度 H_{gap} 与气体压强相关,随着气压增加而不断减小。因此,为了能够更好地抑制器件自热效应,需要在器件的工作环境气压和栅介质层间隙之间折中考虑。最大化器件的散热

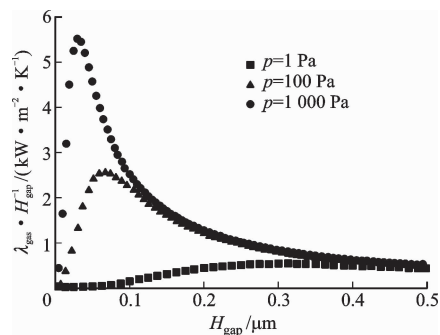


图7 不同气压下栅介质热导与导热间隙的关系

Fig. 7 Relationships between thermal conduction and gap in different gas pressure

能力,有助于提高器件性能与增强器件可靠性。

图8给出了导热间隙 H_{gap} 对 GAA SiNWs FET 整个器件热传导能力的影响。从图8可知:增加导热间隙 H_{gap} ,器件热阻减小,热传输能力增加;随着 V_{gs} 偏压由0上升到0.3 V左右,器件热阻随着偏压增加而减小。在低气压真空栅介质 GAA SiNWs FET 中,受栅介质的极低热导率的影响,热源产生的热量主要沿纳米线沟道向环境传输,纳米线热导率的大小决定了器件的热传输能力。这是由于: V_{gs} 增加使得沟道内电子浓度增加,电-声子耦合增强了器件的散热能力,热阻从而减小;当栅压偏置进一步增加,GAA SiNWs FET 的功率增加,温度急速上升,硅纳米线沟道的热导率迅速降低,导致器件热阻反而增加。结合图6可以更进一步证明,气体压强越高,栅氧层热导率越高,0.3 V 之后热阻上升的趋势越小,在固体栅氧层中该趋势消失并反向减小。

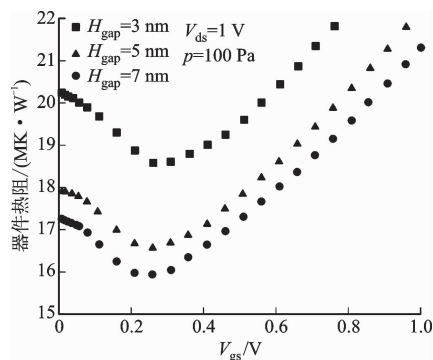


图8 不同导热间隙下 GAA SiNWs FET 热阻随 V_{gs} 偏置的变化

Fig. 8 Variation of GAA SiNWs FET thermal resistance with V_{gs} in different thermal conduction gap

图9所示为栅、源和漏极接触热阻与器件热阻的关系。由图9可知:接触热阻增加使得 GAA SiNWs FET 中主要散热通道热阻增加,从而导致器件整体热阻增加;当栅接触热阻增加到一定程度时,由热源向栅接触的热扩散通道的热阻急剧增加并远大于热源-源极,热源-漏极和热源-衬底等三路散热路径的热阻。此时,器件的热阻由源、漏和衬底等通道的热阻决定。继续增加接触热阻,对器件的整体热阻的贡献将会很小,器件整体热阻保持不变。对比发现,增加栅极接触热阻导致器件热阻变化最快。从中可以推测出器件热源位置距栅极热接触最近,器件散热能力与栅接触热阻最为相关。因此,器件热设计工程师可以通过优化栅极热接触结构与材料来降低接触热阻,从而达到对 GAA SiNWs FET 器件自热效应抑制的效果。

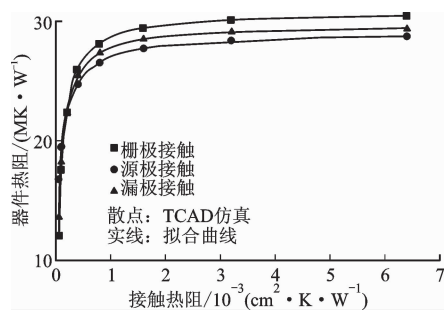


图 9 接触热阻与器件热阻的关系

Fig. 9 Relationship between contact thermal resistance and device thermal resistance

4 结 论

本文考虑硅纳米线截面高度与宽度同时对声子散射的限制,建立了温度与尺寸依赖的硅纳米线沟道热导率解析模型,能够有效评估 GAA SiNWs FET 中存在的自热效应。通过对比分析固态栅介质和真空栅介质对 GAA SiNWs FET 热传输能力的影响,发现真空栅介质器件由于受低热导率气体的影响遭受着更加严重的自热效应,器件内热源位置离栅极区域最近,对栅极材料与结构的热特性最为敏感。在器件设计时,可以通过折中考虑气体压强和栅极介质层间隙距离等参数,采用高热导率栅材料和设计大面积栅等方法最大化真空栅介质 GAA SiNWs FET 散热能力,以达到有效抑制器件自热效应的目的。

参考文献:

[1] SHRIVASTAVA M, AGRAWAL M, MAHAJAN S, et al. Physical insight toward heat transport and an improved electrothermal modeling framework for FinFET architectures [J]. IEEE Transactions on Electron Devices, 2012, 59(5): 1353-1363.

[2] MYEONG I, SON D, KIM H, et al. Thermal-aware shallow trench isolation design optimization for minimizing IOFF in various sub-10-nm 3-D transistors [J]. IEEE Transactions on Electron Devices, 2018, 66(1): 647-654.

[3] 刘一婷, 宫兴, 闫娜. 围栅硅纳米线 MOSFET 器件的仿真研究 [J]. 微处理机, 2018, 39(2): 1-4.

LIU Yiting, GONG Xing, YAN Na. Simulation study on gate-all-around MOSFET [J]. Microprocessors, 2018, 39(2): 1-4.

[4] 李尊朝, 罗诚, 王闯, 等. 部分耗尽异质环栅场效应晶体管阈值电压模型 [J]. 西安交通大学学报, 2013,

47(12): 50-54.

LI Zunchao, LUO Cheng, WANG Chuang, et al. Threshold voltage modeling of partially-depleted dual-material surrounding gate field-effect transistor [J]. Journal of Xi'an Jiaotong University, 2013, 47(12): 50-54.

[5] 尤一龙, 李尊朝, 刘林林, 等. 一种围栅金属氧化物半导体场效应管阈值电压模型 [J]. 西安交通大学学报, 2010, 44(2): 77-81.

YOU Yilong, LI Zunchao, LIU Linlin, et al. A threshold voltage model for surrounding gate metal-oxide-semiconductor field-effect transistor [J]. Journal of Xi'an Jiaotong University, 2010, 44(2): 77-81.

[6] 张战刚, 雷志锋, 童腾, 等. 14 nm FinFET 和 65 nm 平面工艺静态随机存取存储器中子单粒子翻转对比 [J]. 物理学报, 2020, 69(5): 056101.

ZHANG Zhangang, LEI Zhifeng, TONG Teng, et al. Comparison of neutron induced single event upsets in 14 nm FinFET and 65 nm planar static random access memory devices [J]. Acta Physica Sinica, 2020, 69(5): 056101.

[7] LEE Y M, NA M H, CHU A, et al. Accurate performance evaluation for the horizontal nanosheet standard-cell design space beyond 7nm technology [C] // 63rd IEEE International Electron Devices Meeting. Piscataway, NJ, USA: IEEE, 2017: 29.

[8] 徐进朋, 尤一龙, 李尊朝, 等. 围栅金属氧化物半导体场效应管电流模型 [J]. 西安交通大学学报, 2010, 44(10): 57-61.

XU Jinpeng, YOU Yilong, LI Zunchao, et al. A current model for surrounding gate metal-oxide-semiconductor field-effect transistor [J]. Journal of Xi'an Jiaotong University, 2010, 44(10): 57-61.

[9] HAN J W, AHN J H, CHOI Y K. Damage immune field effect transistors with vacuum gate dielectric [J]. Journal of Vacuum Science & Technology: B, 2011, 29(1): 011014.

[10] HAN J W, MOON D I, SUB O J, et al. Vacuum gate dielectric gate-all-around nanowire for hot carrier injection and bias temperature instability free transistor [J]. Applied Physics Letters, 2014, 104(25): 253506.

[11] 黄宁, 赵婉婉, 刘伟景, 等. 环栅纳米线 FET 自热效应及微尺度空间效应研究 [J]. 半导体技术, 2019(12): 7.

HUANG Ning, ZHAO Wangwang, LIU Jingwei, et al. Investigation of self-heating effect and microscale spatial effect for gate-all-around nanowire FET [J].

- Semiconductor Technology, 2019(12): 7.
- [12] PARK W, SHIN D D, KIM S J, et al. Phonon conduction in silicon nanobeams [J]. Applied Physics Letters, 2017, 110(21): 213102.
- [13] PARK J Y, YUN D H, KIM S Y, et al. Suppression of self-heating effects in 3-D V-NAND flash memory using a plugged pillar-shaped heat sink [J]. IEEE Electron Device Letters, 2018, 40(2): 212-215.
- [14] CHUNG C C, LIN H H, WAN W K, et al. Thermal SPICE modeling of FinFET and BEOL considering frequency-dependent transient response, 3-D heat flow, boundary/alloy scattering, and interfacial thermal resistance [J]. IEEE Transactions on Electron Devices, 2019, 66(6): 2710-2714.
- [15] HUANG N, LIU W, LI Q, et al. Investigation and optimization of electrical and thermal performance for 5-nm GAA vertically stacked nanowire FETs [J]. Microelectronics Journal, 2020, 95: 104679.
- [16] CAI L, CHEN W, DU G, et al. Layout design correlated with self-heating effect in stacked nanosheet transistors [J]. IEEE Transactions on Electron Devices, 2018, 65(6): 2647-2653.
- [17] XU C, KOLLURI S K, ENDO K, et al. Analytical thermal model for self-heating in advanced FinFET devices with implications for design and reliability [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2013, 32(7): 1045-1058.
- [18] LIU W, ASHEGHI M. Phonon-boundary scattering in ultrathin single-crystal silicon layers [J]. Applied Physics Letters, 2004, 84(19): 3819-3821.
- [19] VASILESKA D, RALEVA K, GOODNICK S M. Electrothermal studies of FD SOI devices that utilize a new theoretical model for the temperature and thickness dependence of the thermal conductivity [J]. IEEE Transactions on Electron Devices, 2010, 57(3): 726-728.
- [20] MCGAUGHEY A J H, LANDRY E S, SELLAN D P, et al. Size-dependent model for thin film and nanowire thermal conductivity [J]. Applied Physics Letters, 2011, 99(13): 131904.

(编辑 刘杨)