

二维离散小波变换低存储结构设计

郝亚喆¹, 张远², 张为¹

(1. 天津大学微电子学院, 300072, 天津; 2. 秦皇岛市公安局科技信息化处, 066000, 河北秦皇岛)

摘要: 针对二维 9/7 离散小波变换硬件架构中数据缓存需求高的问题, 提出了一种基于提升算法的低存储架构。通过调整提升算法数据计算顺序, 设计了一种动态计算二维小波变换的新型迭代分步计算方法。根据行、列变换的不同, 对其分别做一维变换架构设计, 其中行滤波器结构通过将输入数据进行三序列分裂, 有效减少了寄存器数; 列滤波器结构通过单行输入处理消除转置存储器, 同时实现了乘法器和加法器的复用。整体二维变换采用并行和流水线混合架构设计, 关键路径延时减小到一个乘法器延迟。实验结果表明, 对于 1 024 像素×1 024 像素的图像, 与其他提升结构相比, 本结构片上内存使用减少了 11.1%, 硬件效率提高了 8.2% 以上; 与基于卷积的迭代计算方法相比, 计算周期减少为现有结构的 1/9。在型号为 Xilinx Kintex7 XC7K325T 的现场可编程逻辑门阵列上实现, 吞吐率达到 460 MB/s, 且具有明显的硬件资源优势。

关键词: 离散小波变换; 低存储架构; 转置存储器; 现场可编程逻辑门阵列

中图分类号: TN47 **文献标志码:** A

DOI: 10.7652/xjtuxb202201020 **文章编号:** 0253-987X(2022)01-0177-07



OSID 码

Memory-Efficient Architecture of 2-D Discrete Wavelet Transform

HAO Yazhe¹, ZHANG Yuan², ZHANG Wei¹

(1. School of Microelectronics, Tianjin University, Tianjin 300072, China; 2. Science and Technology Information Department of Qinhuangdao Public Security Bureau, Qinhuangdao, Hebei 066000, China)

Abstract: In the two-dimensional 9/7 discrete wavelet transform hardware architecture, high data storage requirements is always the problem to be solved. A lifting-based memory-efficient architecture is proposed. First, the data calculation sequence of the lifting algorithm is modified, and a new iterative step-by-step calculation method is designed to dynamically calculate the two-dimensional wavelet transform. According to the difference of row and column transforms, one-dimensional transform architecture design is performed on them. The row filter structure effectively reduces the number of registers by splitting the input data into three sequences. The column filter structure eliminates the data buffer of the transposed module through single-line input processing. At the same time, the multiplexing of multipliers and adders is realized. With parallel and pipeline hybrid architecture, the critical path delay of two-dimensional transform structure is reduced to a multiplier delay. Experimental results show that for an image of 1 024 pixel × 1 024 pixel, the on-chip memory requirement is reduced by 11.1%, and the hardware efficiency is raised by 8.24% in contrast to the existing lifting-based architectures. Compared with the iterative calculation method based on convolution, the calculation time is reduced to 1/9

of the existing structure. The proposed architecture is implemented on Xilinx FPGA Kintex7 XC7K325T, achieving a throughput of 460 MB/s and obvious hardware resource advantages.

Keywords: discrete wavelet transform; memory-efficient architecture; transposition memory; field programmable gate array

离散小波变换(DWT)能够适应时频信号分析的要求,可聚焦到信号的任意细节,具有多分辨率分析的特性,在信号处理、图像压缩等领域受到广泛欢迎^[1-3]。目前 9/7 DWT 硬件实现主要包括基于卷积^[4-5]和基于提升^[6-9]两种结构。两种类型的二维体系结构都由一维行变换和一维列变换两个阶段执行,其中行变换使用寄存器缓存数据;列变换由于按列计算,需转置存储器存储行变换后的多行输出数据。此外,列变换计算中的中间变量也需要临时存储器进行暂存。随着图像分辨率越来越高,硬件实现内存需求显著增高。如何减少内存使用且提高硬件效率,成为了国内外众多学者研究的焦点。

因为执行原位计算,基于提升的 DWT 对内存需求有所降低。文献[10]通过优化内存设计方案将转置存储器降低到 $1.5N$ 个存储单元, N 为图像每行的像素数,临时存储器降低到 $4N$ 。为进一步减少内存,文献[7-8]采用并行扫描两行图像数据的方式优先进行列滤波器处理,且只需少许寄存器就能完成列滤波器输出到行滤波器输入的转置,转置存储器显著减小。但这种并行扫描方式仍需要 $2N$ 大小的输入存储器对原始像素点进行存储。Zhang 等提出的三输入数据扫描方案,临时存储器减少到 $3N$,但是以增加输入存储器为代价^[9]。近年来也有一些研究提出了基于条带以及基于图像块的并行处理方法^[11-12],但都需要更多内存资源存储整幅图像像素值。文献[13]的并行结构同时处理整幅图像,对于尺寸较大的图像,消耗过多计算资源。

相较于提升算法,卷积算法计算速度快,但是也消耗更多内存资源。Rein 等为在内存很小的低复杂性传感器节点上实现二维卷积方案,提出了分数小波滤波(FrWF)算法^[14]。每次选择 9 行的垂直滤波区域,其中每行数据完成行滤波后,其结果同时乘以对应的列滤波器的系数,得到列变换结果的一部分;当第 9 行数据完成行滤波,同时列滤波也通过每部分结果的累加得到最终计算值。将垂直滤波区域下移两行,重复上述操作计算新的列滤波值。通过这种迭代更新列变换结果的方法,整体二维架构内存只需 $2.5N$ 。Tausif 等实现了基于 5/3 小波的 FrWF 硬件架构,片上内存减少到 $2N$,但是其基于

垂直滤波区域的数据扫描方式,大量行数据被重复计算,计算时间达到 $5N^2/2$,是提升结构的 5 倍^[15]。

FrWF 结构的确为一种低内存有效的实现方法,但基于卷积公式,对 9/7 小波则需重叠 7 行数据,计算周期显著增加。本文提出了基于提升公式的 FrWF 算法,依赖提升结构就地计算的特点,无需基于垂直滤波区域重复计算。设计的二维提升小波变换硬件架构,专注于内存需求和关键路径延时的优化,有效提高了硬件效率。

1 提升算法及分析

1.1 翻转结构

提升结构分为分裂、预测、更新 3 个步骤。Huang 等在原有结构上改变乘法系数位置提出了翻转结构,最长延迟路径中的乘法器被转移,有效缩短了关键路径^[16]。9/7 小波变换的翻转结构如下。

首次预测

$$\frac{1}{\alpha}y(2n+1) = \frac{1}{\alpha}x(2n+1) + x(2n) + x(2n+2) \quad (1)$$

首次更新

$$\frac{1}{\alpha\beta}y(2n) = \frac{1}{\alpha\beta}x(2n) + \frac{1}{\alpha}y(2n-1) + \frac{1}{\alpha}y(2n+1) \quad (2)$$

二次预测

$$\frac{1}{\alpha\beta\gamma}H(2n+1) = \frac{1}{\alpha\beta\gamma}y(2n+1) + \frac{1}{\alpha\beta}y(2n) + \frac{1}{\alpha\beta}y(2n+2) \quad (3)$$

二次更新

$$\frac{1}{\alpha\beta\gamma\delta}L(2n) = \frac{1}{\alpha\beta\gamma\delta}y(2n) + \frac{1}{\alpha\beta\gamma}H(2n-1) + \frac{1}{\alpha\beta\gamma}H(2n+1) \quad (4)$$

缩放

$$S_H(2n+1) = \alpha\beta\gamma K \frac{1}{\alpha\beta\gamma}H(2n+1) \quad (5)$$

$$S_L(2n) = \frac{\alpha\beta\gamma\delta}{K} \frac{1}{\alpha\beta\gamma\delta}L(2n) \quad (6)$$

式中: α 、 β 、 γ 、 δ 为提升系数, $\alpha=1.586\ 134\ 342$, $\beta=0.052\ 980\ 118$, $\gamma=0.882\ 911\ 075$, $\delta=0.443\ 506\ 852$;

K 为缩放系数, $K=1.230\ 174\ 105$; $x(n)$ 是图像输入的原始像素值; $y(n)$ 为一次提升中间变量; $H(2n+1)$ 、 $L(2n)$ 为两次提升后变量; $S_H(2n+1)$ 、 $S_L(2n)$ 是滤波最终得到的高频分量和低频分量。图像数据输入后首先分裂成奇数序列 $x(2n+1)$ 和偶数序列 $x(2n)$, 经过两次提升, 再乘以归一化系数缩放后得到高频分量和低频分量。图 1 给出了基于提升的 9 点序列一维 DWT 小波变换信号流图, 其中边沿数据计算采用对称延拓。行滤波器结构将按照翻转公式设计。

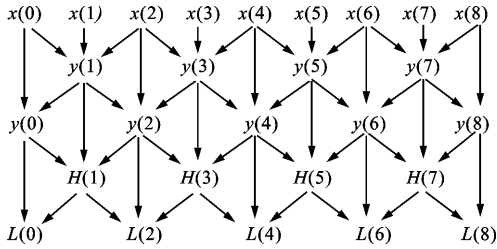


图 1 基于提升的 9 点序列一维小波变换信号流图

Fig. 1 The flow graph of lifting-based 1D-DWT of 9-point sequence

1.2 基于 FrWF 的提升结构

从翻转结构看出, 每个公式都通过一次乘法运算和两次加法运算完成。基于 FrWF 算法的提升方案, 每个公式都分 3 次迭代累加完成, 输入数据逐行到来, 逐次累加更新中间变量并在得到第 3 次输入后计算出最终结果。以首次提升过程为例, 当 $x(0)$ 输入, 更新 $y(1)$; 当 $x(1)$ 输入, 更新 $y(1)$ 和 $y(0)$; 当 $x(2)$ 输入, 得到 $y(1)$ 和 $y(0)$ 结果, 并更新 $y(3)$ 和 $y(2)$ 。以翻转公式实现上述算法时, 每行数据到来时的运算都有两次加法, 但两次乘法运算都在奇数行到来时进行。所以本研究对翻转公式中乘法系数所在位置进行了调整, 以便在奇数行或偶数行分别到来时实现乘法器复用。首次预测的公式不变, 如式(1)所示, 式(2)~(6)调整系数后如下式。

首次更新

$$y(2n) = x(2n) + \alpha\beta \frac{1}{\alpha} y(2n-1) + \alpha\beta \frac{1}{\alpha} y(2n+1) \quad (7)$$

二次预测

$$\frac{1}{\gamma} H(2n+1) = \frac{1}{\beta\gamma} \beta y(2n+1) + y(2n) + y(2n+2) \quad (8)$$

二次更新

$$L(2n) = y(2n) + \gamma\delta \frac{1}{\gamma} H(2n-1) +$$

$$\gamma\delta \frac{1}{\gamma} H(2n+1) \quad (9)$$

缩放

$$S_H(2n+1) = \gamma K \frac{1}{\gamma} H(2n+1) \quad (10)$$

$$S_L(2n) = \frac{1}{K} L(2n) \quad (11)$$

具体的乘法器复用结构将在下一节说明。

2 硬件实现架构

2.1 二维变换整体架构

二维离散小波变换的硬件架构如图 2 所示。图像数据串行进入行滤波器, 三序列分裂后进行一维行变换, 行滤波器输出低频分量 S_L 和低频分量 S_H , 双通道并行进入单输入的列滤波器完成一维列变换, 其输出经过缩放模块后得到 S_{LL} 、 S_{LH} 、 S_{HL} 、 S_{HH} 这 4 个子带的小波系数结果。

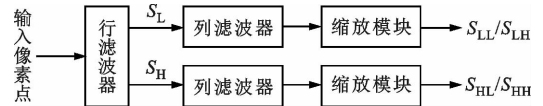


图 2 二维离散小波变换硬件整体架构

Fig. 2 Proposed overall architecture of 2-D DWT

2.2 行滤波器结构

行滤波器输入直接逐行逐点进入, 传统结构一般通过奇偶计数等方式实现奇偶两序列的分裂。但预测和更新过程都是通过 3 个输入数据计算得到。本文选择将输入图像数据分裂成三序列, 三输入序列分裂情况如图 3 所示, 其中 clk 为图像数据输入的时钟信号, $Image_data$ 为输入的图像数据, $Data_vld$ 是三路数据有效信号, 可以用作后续行滤波器工作的时钟信号。当 $Data_vld$ 信号为高电平时, 三路输入数据 $x(2n)$ 、 $x(2n+1)$ 和 $x(2n+1)$ 同时进入后续行滤波器电路, 可以在一个时钟周期内完成第一次预测过程的公式计算。避免了传统奇偶两序列

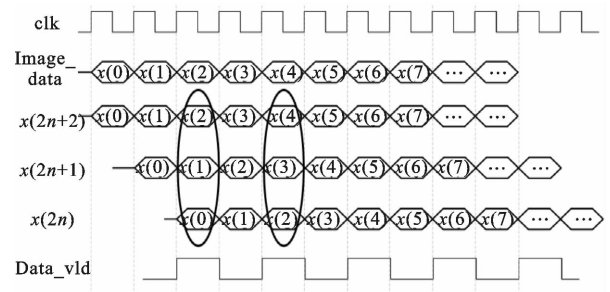


图 3 三输入序列分裂示例

Fig. 3 Three-input sequence split example

输入时需要等待第 3 个输入数据所造成的寄存器消耗。文献[9]提出的三输入结构是针对列滤波器,反而增加了输入存储器。

三输入行滤波器电路硬件结构如图 4 所示,乘法器延迟与两个加法器延迟时间之和基本一致,所以将乘法运算和两次加法运算并行执行。在第一级

流水线开始前、偶数序列数据输入后增加了必要的寄存器以满足时序的正确性。每级流水线都实现一个三输入二输出单元,电路中缓冲器由寄存器完成,四级流水线分别计算 4 个公式结果。整体一维行滤波器只用到了 13 个寄存器,比文献[8]中的一维行变换架构减少了 8 个寄存器。

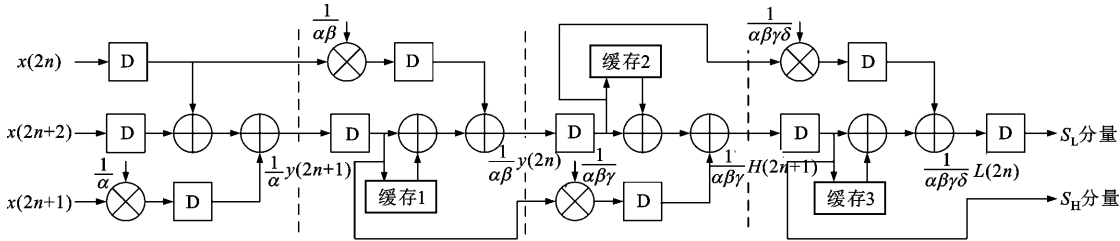


图 4 一维行滤波器电路结构
Fig. 4 1-D row filters circuit architecture

2.3 列滤波器结构

行滤波器输出的 S_L 和 S_H 分量直接进入列滤波器处理。图 5 给出了基于 FrWF 方案列变换首次提升过程数据流动, T 为当前计算的时钟周期, $x_k(n)$ 为第 k 列的输入数据,进入列滤波器的 S_L 、 S_H 分量每行为 $N/2$ 个数据。采用随机存取存储器 (RAM) 存储中间变量, RAM1 和 RAM2 分别承担 $y(2n+1)$ 和 $y(2n)$ 计算时中间变量的缓存。当奇数行数据到来, RAM 输出存储的中间变量与当前输

入数据进行运算得到新的中间量再次存储到 RAM 中;当偶数行数据到来, RAM 输出与当前输入数据进行运算得到 $y(2n+1)$ 和 $y(2n)$,同时 RAM 重新存储下次计算所需变量。在运算过程中充分利用双端口 RAM 同时读写的特点以实现最终结果计算和中间变量更新。这种迭代累加的计算方式无需等待多行数据同时计算,消除了二维变换中的转置存储器。

从图 5 可以看出在每个时钟周期下的计算都只需要一个乘法器和两个加法器,以此实现在奇数行和偶数行数据计算时乘法器和加法器的复用,提高硬件利用率。基于数据流动图,推导出提升步骤的基本处理单元 (PE),如图 6 所示。单输入列滤波器电路的关键问题在于通过控制奇偶行标识为乘法器和加法器选择合适的输入源和输出目的地,通过加入多个选择器来控制整体数据路径。

9/7 小波变换两次预测和更新过程具有相同的计算数据路径,可以通过级联两个基本处理单元实现。一维列滤波器及缩放模块架构如图 7 所示,行滤波器输出的 S_H 、 S_L 分量两路并行完成列变换,分别再乘以对应归一化系数得到二维变换的小波系数,其中 K_1 、 K_2 、 K_3 、 K_4 分别为 4 个分量对应的缩放系数。在偶数行到来时输出 S_{LL} 和 S_{HL} 分量,在奇数行到来时输出 S_{LH} 和 S_{HH} 分量。

3 硬件开销分析

表 1 给出了本文结构与其他提升结构硬件开销对比结果,其中乘法器、加法器、寄存器均为 16 bit, S 为并行度, T_m 为一个乘法器延时, T_a 为一个加法

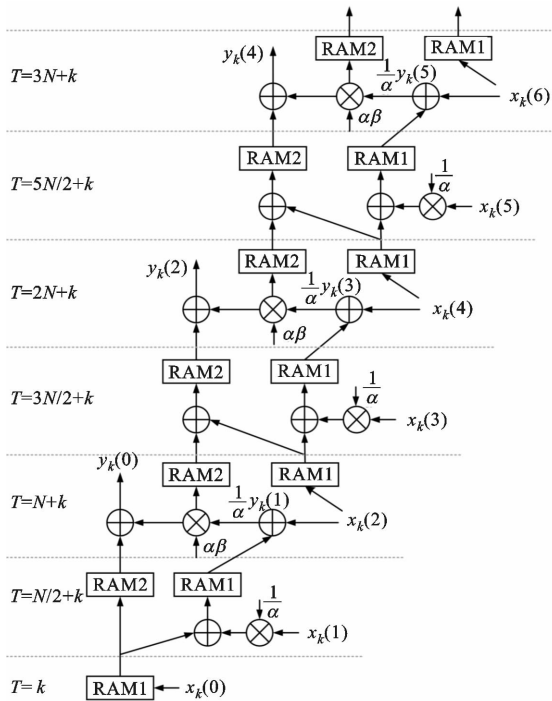


图 5 基于 FrWF 方案列变换首次提升的数据流动
Fig. 5 Data flow of the first lifting step of column transform based on FrWF formula

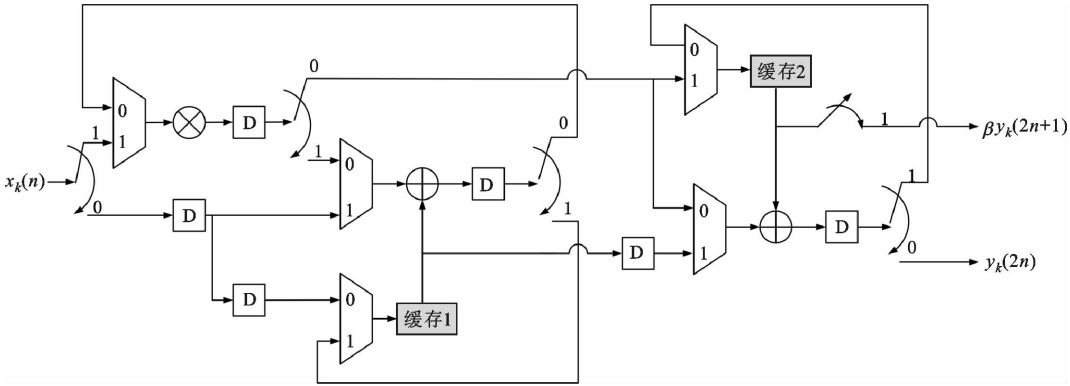


图 6 列滤波器首次预测和更新的基本处理单元

Fig. 6 Processing element of the first prediction and update step in column transform

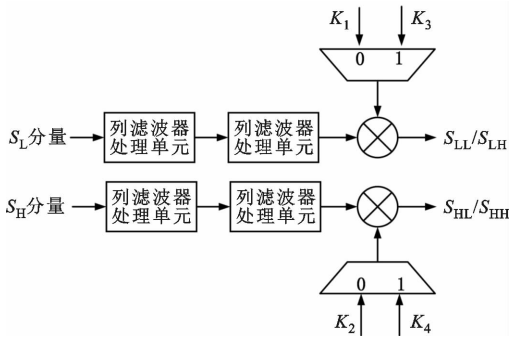


图 7 一维列滤波器及缩放模块架构

Fig. 7 1-D column filter and scaling module architecture

器延时。与本文相比,文献[7-10]均利用输入存储器或转置存储器为列变换计算提前存储数据。文献[11]和文献[13]设计的并行架构输入缓存消耗较大。文献[19]的单输入二维结构吞吐量较低。综合对比,本文所提架构片上内存使用减少了 11.1%,硬件资源和吞吐量上均有较大提升。

文献[20]提出的晶体管数-延时-吞吐量(TDP)避免了约束条件、工艺因素等对不同架构效率的影响,可以更直观地评估架构的硬件效率。 R_{TDP} 由晶

体管总数 R_{TC} 、关键路径延时 T_{CPD} 以及活动周期数 R_{ACT} 三者相乘所得。架构的 R_{TDP} 越低,表征对于一个确定的数据吞吐量,时间和硬件开销的综合需求越低,硬件效率越高。文献[20]给出了基于阵列乘法器和加法器的晶体管总数计算方法,8 位 RAM 的晶体管数为 48,16 位乘法器、加法器、寄存器、RAM 和选择器的晶体管数分别为 5 084、504、256、96 和 96。表 2 给出了 N 为 1 024 时各结构的预估硬件效率的对比,其中 η 表示本文架构相对其他架构提升的硬件效率,综合比较硬件资源和处理速度,本文硬件效率至少提高 8.24%,其中文献[9]采用时钟错位方法实现三输入按列扫描结构,控制逻辑更为复杂。

表 3 给出了本文结构与其他卷积 FrWF 结构从内存需求和计算周期方面的对比结果。文献[14]首次提出了卷积 FrWF 算法,计算周期达到 $9N^2/2$ 。文献[17]、[18]分别提出了基于分段的分数小波滤波(SFrWF)和基于块的分数小波滤波(BFrWF)结构,其中 k 为分段数, b 为数据块数,两种结构进一步减少了内存需求,但计算周期没有减少,且增加了

表 1 本文结构与其他提升结构的性能对比

Table 1 Performance comparison of the proposed architecture with other lifting architectures

架构	乘法器数	加法器数	寄存器数	临时存储单元数 (16 bit)	输入存储单元数 (8 bit)	转置存储单元数 (16 bit)	关键路径 延时	吞吐量
文献[10]				$4N$	0	$1.5N$		2
文献[7]	10	16	40	$4N$	$2N$	5	T_m	2
文献[8]	10	16	42	$4N$	$2N$	3	T_m	2
文献[9]	10	16	28	$3N$	$3N$	4	T_m	2
文献[11]	$4.5S$	$8S$	$8S$	$4N+16$	N^2	0	T_m+2T_a	S
文献[13]	$4N$	$3N$			N^2	0	T_m+T_a	$N/2$
文献[19]	8	8	35	$4N$	0	0	T_m	1
本文	10	16	34	$4N$	0	0	T_m	2

表 2 N 为 1 024 时不同结构硬件效率的对比

Table 2 Comparison of hardware efficiency among different architectures with N of 1 024

架构	S	R_{TC}	T_{CPD}/ns	R_{ACT}	R_{TDP}/s^{-1}	$\eta/\%$
文献[8]	16	561 944	6. 79	524 288	2 000	21. 43
文献[9]		504 344	6. 79	524 288	1 795	8. 24
文献[11]		5 119 288	12. 81	65 536	4 297	61. 67
文献[19]		450 720	6. 79	1 048 576	3 209	48. 67
本文		462 744	6. 79	524 288	1 647	

表 3 与其他 FrWF 结构的内存需求和计算周期对比

Table 3 Comparison of memory requirements and calculation cycle with other FrWF structure

架构	内存需求	计算周期
FrWF	$5N/2$	$9N^2/2$
SFrWF	$5N/2k$	$9N^2/2$
BFrWF	$5N/(b/2)$	$9N^2/2$
本文	$4N$	$N^2/2$

表 4 FPGA 实现结果对比

Table 4 Comparison of FPGA implementation results

架构	器件型号	寄存器数	查找表数	BRAM 数	工作频率/MHz	图像大小(像素×像素)
文献[21]	XC4VFX100	1 072	1 263		272	256×256
文献[22]	XC5VLX110T	1 091	1 008		210	256×256
文献[23]	XC7Z045	1 098	2 758	112	330	512×512
本文	XC4VFX100	967	824	8	181	256×256
	XC5VLX110T	961	671	8	205	256×256
	XC7Z045	934	523	8	207	512×512
	XC7K325T	934	523	8	232	512×512

替乘法器以提高时钟频率,但消耗更多的逻辑资源和块随机存储器(BRAM)。文献[22]用到了片外存储器存储转置数据。本文结构消耗 FPGA 资源最少,且无需片外存储,具有明显的硬件资源优势。

4 结 论

本文提出基于提升公式的 FrWF 结构,并给出新的乘法器复用计算公式。针对行、列变换分别设计的两种一维变换架构有效降低了存储器需求。通过并行和流水线方法实现二维变换硬件架构,在保证处理速度的前提下将片上内存降低到 $4N$ 。与其他架构相比,在计算周期和内存资源使用上均有较大改进,硬件效率提高 8. 24% 以上。FPGA 实现结果也表明,本结构具有明显的硬件资源优势。

参考文献:

[1] 王鑫,高家明,梁煜,等. 一种高效存储多级二维 9/7 离散小波变换结构 [J]. 西安交通大学学报,2018, 52

片外存储资源。本文采用提升结构,基于行而不基于条带,无需重复计算。内存需求有所增加,但计算时间只有 $N^2/2$,相比其他卷积 FrWF 结构减少到 1/9。

将本文结构在型号为 Xilinx Kintex7 XC7K325T 的现场可编程门阵列(FPGA)上实现,吞吐率达到 460 MB/s。在 Virtex4 XC4VFX100、Virtex5 XC5VLX110T 和 Zynq XC7Z045 上的实现结果对比见表 4。文献[21]和[23] 利用加法器和移位器代

(4): 111-116.
WANG Xin, GAO Jiaming, LIANG Yu, et al. A multi-level 2-D 9/7 DWT architecture with efficient memory [J]. Journal of Xi'an Jiaotong University, 2018, 52(4): 111-116.
[2] IBRAHEEM M S, HACHICHA K, AHMED S Z, et al. High-throughput parallel DWT hardware architecture implemented on an FPGA-based platform [J]. Journal of Real-Time Image Processing, 2019, 16(6): 2043-2057.
[3] 黄绪,梁煜,张为,等. 高性能的图像无损压缩知识产权核设计 [J]. 西安交通大学学报,2020, 54(5): 102-108.
HUANG Xu, LIANG Yu, ZHANG Wei, et al. Design of intellectual property core for high-performance image lossless compression [J]. Journal of Xi'an Jiaotong University, 2020, 54(5): 102-108.
[4] MOHANTY B K, MEHER P K. Memory-efficient high-speed convolution-based generic structure for

- multilevel 2-D DWT [J]. IEEE Transactions on Circuits and Systems for Video Technology, 2013, 23(2): 353-363.
- [5] CHAKRABORTY A, BANERJEE A. Area and memory efficient tunable VLSI implementation of DWT filters for image decomposition using distributed arithmetic [J]. International Journal of Electronics, 2020, 107(12): 1913-1939.
- [6] HEGDE G, REDDY K S, RAMESH T S. A new approach for 1-D and 2-D DWT architectures using LUT based lifting and flipping cell [J]. International Journal of Electronics and Communications, 2018, 97: 165-177.
- [7] DARJI A, AGRAWAL S, OZA A, et al. Dual-scan parallel flipping architecture for a lifting-based 2-D discrete wavelet transform [J]. IEEE Transactions on Circuits and Systems: II Express Briefs, 2014, 61(6): 433-437.
- [8] PINTO R, SHAMA K. An efficient architecture for modified lifting-based discrete wavelet transform [J]. Sensing and Imaging, 2020, 21(1): 53.
- [9] ZHANG Wei, WU Changkun, ZHANG Pan, et al. An internal folded hardware-efficient architecture for lifting-based multi-level 2-D 9/7 DWT [J]. Applied Sciences, 2019, 9(21): 4635.
- [10] HUANG C T, TSENG P C, CHEN L G. Generic RAM-based architectures for two-dimensional discrete wavelet transform with line-based method [J]. IEEE Transactions on Circuits and Systems for Video Technology, 2005, 15(7): 910-920.
- [11] CHOUBEY A, MOHANTY B K. Novel data-access scheme and efficient parallel architecture for multi-level lifting 2-D DWT [J]. Circuits Systems and Signal Processing, 2018, 37(10): 4482-4503.
- [12] YE Linning, HOU Zujun. Memory efficient multilevel discrete wavelet transform schemes for JPEG2000 [J]. IEEE Transactions on Circuits and Systems for Video Technology, 2015, 25(11): 1773-1785.
- [13] BASIRI M A M, MAHAMMAD N S. An efficient VLSI architecture for lifting based 1D/2D discrete wavelet transform [J]. Microprocessors and Microsystems, 2016, 47: 404-418.
- [14] REIN S, REISSLEIN M. Performance evaluation of the fractional wavelet filter: a low-memory image wavelet transform for multimedia sensor networks [J]. Ad Hoc Networks, 2011, 9(4): 482-496.
- [15] TAUSIF M, JAIN A, KHAN E, et al. Low memory architectures of fractional wavelet filter for low-cost visual sensors and wearable devices [J]. IEEE Sensors Journal, 2020, 20(13): 6863-6871.
- [16] HUANG C T, TSENG P C, CHEN L G. Flipping structure: an efficient VLSI architecture for lifting-based discrete wavelet transform [J]. IEEE Transactions on Signal Processing, 2004, 52(4): 1080-1089.
- [17] TAUSIF M, KHAN E, HASAN M, et al. SFrWF: segmented fractional wavelet filter based DWT for low memory image coders [C] // Proceedings of the 2017 4th IEEE Uttar Pradesh Section International Conference on Electrical, Computer and Electronics. Piscataway, NJ, USA: IEEE, 2017: 593-597.
- [18] TAUSIF M, KHAN E, HASAN M. BFrWF: block-based FrWF for coding of high-resolution images with memory-complexity constrained devices [C] // Proceedings of the 2018 5th IEEE Uttar Pradesh Section International Conference on Electrical, Electronics and Computer Engineering. Piscataway, NJ, USA: IEEE, 2018: 1-5.
- [19] 董明岩, 雷杰, 王柯俨, 等. 高效低存储 DWT 的 VLSI 结构设计 [J]. 西安电子科技大学学报(自然科学版), 2016, 43(2): 35-40.
- DONG Mingyan, LEI Jie, WANG Keyan, et al. Highly efficient VLSI architecture for DWT with low-storage implementation [J]. Journal of Xidian University(Natural Science), 2016, 43(2): 35-40.
- [20] WU Changkun, ZHANG Wei, JIA Qi, et al. Hardware efficient multiplier-less multi-level 2D DWT architecture without off-chip RAM [J]. IET Image Processing, 2017, 11(6): 362-369.
- [21] TODKAR S, SHASTRY P V S. Flipping based high performance pipelined VLSI architecture for 2-D discrete wavelet transform [C] // Proceedings of the 2015 International Conference on Applied and Theoretical Computing and Communication Technology. Piscataway, NJ, USA: IEEE, 2015: 832-836.
- [22] DARJI A D, KUSHWAH S S, MERCHANT S N, et al. High-performance hardware architectures for multi-level lifting-based discrete wavelet transform [J]. EURASIP Journal on Image and Video Processing, 2014, 2014(1): 47.
- [23] PADMAVATI S, MESHRAM V, JAYADEVAPPA R. A hardware implementation of discrete wavelet transform for compression of a natural image [C] // Proceedings of the 2017 International Conference on Algorithms, Methodology, Models and Applications in Emerging Technologies. Piscataway, NJ, USA: IEEE, 2017: 1-5.

(编辑 武红江)