

用于稀疏信号采集的纳瓦级跟踪-量化型逐次逼近模数转换器

郑聪裕, 王煜元, 孙傲然, 郝韵, 许江涛, 张杰, 王瑞涛, 张鸿

(西安交通大学微电子学院, 710049, 西安)

摘要: 针对低频稀疏信号采集传感器中模数转换器(ADC)以固定速率采样导致的数据冗余和能量浪费的问题,提出了一种跟踪-量化型10 bit逐次逼近模数转换器(SAR-ADC)。该SAR-ADC由跟踪、启动和量化三部分组成:跟踪部分通过电容型数模转换器(CDAC)以近零功耗跟踪输入信号;启动部分采用脉冲转换器将传感器系统产生的触发脉冲转换为异步控制信号,从而控制CDAC完成采样并启动量化过程;量化部分由CDAC、比较器、基准缓冲器和逻辑电路一同完成10 bit逐次逼近量化,量化完成后SAR-ADC返回跟踪状态。该SAR-ADC支持传感器系统在时间域上实现变速率采样策略并显著减少硬件开销。此外,在逻辑电路中设计低漏电长延时产生电路,有效降低了延时单元的功耗。采用180 nm CMOS工艺对提出的SAR-ADC进行设计并通过流片测试验证。实测结果表明:在2 V供电电压和 $10^3/s$ 采样率下,该SAR-ADC的有效位数为9.57 bit,满足心电信号采集所需的精度要求;在自适应双频采样下($10^3/s$ 和 $10^2/s$),该SAR-ADC的功耗仅为固定速率采样ADC的16.7%。该SAR-ADC可应用在生物医疗传感器中实现对稀疏信号的低功耗采集。

关键词: 传感器;稀疏信号;超低功耗;变速率采样;模数转换器

中图分类号: TN432 **文献标志码:** A

DOI: 10.7652/xjtubXXXXXX001 **文章编号:** 0253-987X(XXXX)XX-0001-11

A Nanowatt Tracking-Quantizing Successive Approximation Register Analog-to-Digital Converter for Sparse Signal Acquisition

ZHENG Congyu, WANG Yuyuan, SUN Aoran, HAO Yun, XU Jiangtao, ZHANG Jie, WANG

Ruitao, ZHANG Hong

(School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: To address the problems of data redundancy and energy waste caused by fixed-rate sampling of analog-to-digital converters (ADCs) in low-frequency sparse signal acquisition sensors, a 10-bit tracking-quantizing successive approximation register ADC (SAR-ADC) is proposed. The proposed SAR-ADC consists of three functional modules: tracking module, startup module, and quantization module. The tracking module tracks the input signal via a capacitive digital-to-analog converter (CDAC) with near-zero power consumption. In the startup module, a pulse converter converts the trigger pulse generated by the sensor system into asynchronous control signals, which control the CDAC to complete sampling and initiate the quantization process. In the quantization

module, 10-bit successive approximation quantization is jointly accomplished by the CDAC, comparator, reference buffer and logic circuit; upon completion of quantization, the SAR-ADC returns to the tracking state. The SAR-ADC enables sensor systems to implement a time-domain variable-rate sampling strategy and significantly reduces hardware overhead. In addition, a low-leakage long-delay generation circuit is designed in the logic circuit, which effectively reduces the power consumption of the delay unit. The proposed SAR-ADC was designed in a 180-nm CMOS process and validated through tape-out testing. Measurement results demonstrate that under a 2-V supply voltage and a sampling rate of 10^3 /s, the proposed SAR-ADC achieves an effective number of bits (ENOB) of 9.57 bits, which satisfies the accuracy requirement for ECG signal acquisition. Under adaptive dual-rate sampling (10^3 /s and 10^2 /s), the power consumption of the proposed SAR-ADC is only 16.7% of that of a fixed-rate sampling ADC. The proposed SAR-ADC can be applied in biomedical sensors to realize low-power acquisition of sparse signals.

Keywords: sensor; sparse signal; ultra-low power consumption; variable-rate sampling; analog-to-digital converter (ADC)

随着移动式穿戴设备、物联网、车载感知、环境监测等领域的快速发展,各类传感器也朝着微型化、长续航等方向持续演进^[1-5]。在生物医疗传感器^[6-7]等低频稀疏信号采集系统中,输入信号长期处于平稳缓变状态,而系统更关注的动态变化部分的时间占比通常很少。如果用传统的奈奎斯特采样模数转换器(ADC)以固定速率对这种具有稀疏特征的信号进行采样,大量数据会集中于信号变化平缓区域,不仅减少了电池供电传感器的续航时间^[8],同时还需要较大的存储空间来储存这些冗余数据^[9]。

为了解决上述问题,近年来多种算法和电路结构被提出,例如数字压缩算法、压缩感知和非均匀采样。其中,数字压缩算法通过采用线性预测^[10]、自适应变换域^[11]、多尺度特征联合^[12]和神经网络^[13]等方法可以在无损或低损耗前提下显著减少表示信号所需的数据量,但这些方法都局限于在信号采样后的数字编码阶段进行压缩,无法解决传感器系统中ADC仍以固定速率采样所带来的高能耗问题。压缩感知以欠采样的方式完成原始信号的采集并通过信号重构算法恢复原始信号,实现了从源头上减少采样频次与数据冗余^[14-15],但其仍面临硬件资源开销过大、稀疏条件严格、重构速度较慢等问题^[16-17]。对于非均匀采样方案,例如电平交叉(LC)ADC^[18-20]和信号相关采样方法^[21],它们通过设置合适的阈值能够有效地实现自适应采样,在大幅减少采样数据和系统功耗的同时还能信号中快速变化的部分保留足够的时间分辨率。然而,这些非均匀采样方案的输出结果并不包含时间信息,

对信号在时间域进行重建时还额外需要高分辨率的时钟电路来记录时间信息,增加了系统的复杂度和电路开销^[22]。

本文提出了一种用于低频稀疏生物信号采集的跟踪-量化型10 bit逐次逼近模数转换器(SAR-ADC),其由传感器系统发出的触发脉冲(TP)启动并以异步方式实现模数转换,能够大幅减少SAR-ADC的冗余采样数据并降低系统功耗。在SAR-ADC的异步控制电路中,还提出了一种低漏电的延时单元,进一步降低了电路功耗。该SAR-ADC采用180 nm CMOS工艺设计并进行了流片测试验证,在应用于自适应双频(10^3 /s和 10^2 /s)采样的心电信号传感器系统时,ADC的平均功耗仅为38 nW。

1 提出的模数转换器结构和原理

在典型的生物信号采集传感器系统中,感知前端负责采集心电等微弱信号并放大为ADC的输入电压,随后ADC负责将该电压量化为数字码并交由数字处理后端进行运算。因此,ADC在传感器信号采集系统中起到连接感知前端和数字处理后端的桥梁作用,其性能很大程度上决定了传感器获取信号的质量^[23]。图1展示了本文所提出的用于低频稀疏生物信号采集的跟踪-量化型SAR-ADC结构,其分辨率为10 bit,以满足采集系统对精度的要求^[7]。该电路结构包括脉冲转换器、用于近零功耗跟踪的电容型数模转换器(CDAC)、基准缓冲器、比较器和SAR逻辑电路。当传感器系统处于静息状态时,仅由CDAC以近零功耗持续跟踪输入信号,

其余模块均被关闭以节省功耗。当系统发出 TP 时,脉冲转换器立即响应,并将 TP 转换为控制时钟 (CK_s 、 CK_{sn} 和 CK_d) 以驱动 SAR-ADC 立即结束对输入信号的跟踪(即完成采样),并随后完成一次模数转换。因此,本文提出的 SAR-ADC 无固定采样频率,其仅在接收到单个 TP 后执行一次采样和转换。这种脉冲触发式工作机制可以支持传感器系统的时间域上实现变速率的采样策略,从而减少冗余数据并降低整体功耗。此外,该方案还具有另一个优势:转换结果恰好对应于发出 TP 这一时刻的信号值,确保 TP 命令与 SAR-ADC 量化的信号在时间上的延时几乎为 0,提高了系统处理信号的实时性。

图 2 展示了 SAR-ADC 的脉冲触发式工作时序图,一个完整的工作周期包含 3 个阶段:跟踪、启动和量化。在跟踪阶段,CDAC 中电容的上极板通过跟踪开关连接到输入信号,下极板均接地以避免使用基准缓冲器。当 TP 到来时,脉冲转换器立即响应并产生两相不交叠时钟 CK_s 和 CK_{sn} 以断开跟踪开关,因此 TP 时刻的输入信号值被保持在了 CDAC 上。随后,ADC 进入启动阶段,基准缓冲器和比较器立即开启,并且在 CK_d 上升沿到来之前完成 V_{refp} 的建立和比较器失调的校准。特别地,该启动时间完全由脉冲转换器中的延迟单元控制,无需额外的时钟控制。随后,ADC 进入量化阶段,其通过 SAR 逻辑电路产生异步时钟 (CK_c 和 $CK_1 \sim CK_9$) 以控制比较器的比较和 CDAC 的切换。当量化完成时, CK_0 变为高电平以复位脉冲转换器,随后 CK_d 变为低电平以复位 SAR 逻辑电路, SAR-ADC 返回到近零功耗的跟踪阶段,并等待下一个 TP 脉冲。

2 低漏电延时单元

2.1 延时单元的漏电分析

延时单元是 SAR-ADC 实现异步时序的关键

$$Q_{sc2} = \frac{t_x}{V_{dd}} \int_{V_{th,n}}^{V_{dd} - V_{th,p}} I_{sc2}(V_x) dV_x = \frac{t_x}{6V_{dd}} [\beta_n (V_{xt} - V_{th,n})^3 + \beta_p (V_{dd} - V_{th,p} - V_{xt})^3] \quad (3)$$

由于第二级反相器的输出 V_y 会受到 V_x 影响而缓慢翻转,并导致第三级反相器也产生少量的漏电流,因此还需要分析第三级反相器的漏电过程。首先将 V_y 的上升过程表示为:

$$V_y(t) = \frac{\beta_p (V_{dd}/t_x)^2}{6C_{g3}} t^3 \quad (4)$$

式中: C_{g3} 为第三级反相器的栅极寄生电容,令

电路,其在工作过程中产生的漏电是 SAR-ADC 功耗的主要来源。本节对传统延时单元的漏电进行详细的理论分析,为本文提出的低漏电延时单元结构提供理论基础。

图 3 展示了传统的延时单元结构,其由四级反相器组成,并在第一级反相器和第二级反相器之间添加延时电容 C_1 ,图中 V_{dd} 为电源电压。其延时机理是通过延缓第一级反相器对电容 C_1 的充电或者放电过程,使第二级反相器的输入节点电压 V_x 缓慢变化,从而实现对输入信号的延时。但是,在 V_x 缓慢变化过程中 PM_2 (P 型晶体管阈值电压为 $V_{th,p}$) 和 NM_2 (N 型晶体管阈值电压为 $V_{th,n}$) 会长时间同时导通,并导致电源电压到地之间产生不可忽略的短路漏电流 I_{sc2} [24-25]。以延时单元的输入从“0”跳变到“1”为例,上述 PM_2 和 NM_2 同时导通的情况可以分为 3 个阶段:首先是 PM_2 处于线性区, NM_2 处于饱和区;之后是 PM_2 和 NM_2 都会处于饱和区;最后是 PM_2 处于饱和区, NM_2 处于线性区 [26]。其中,第 2 个阶段只会在特定点 $V_x = V_{xt}$ 处成立,此时 PM_2 和 NM_2 的饱和区电流相等, V_{xt} 可以表示为:

(1)

式中: $\beta_n = \mu_n C_{ox} (W/L)_n$, $\beta_p = \mu_p C_{ox} (W/L)_p$, 其中 μ_n 是电子迁移率, μ_p 是空穴迁移率, C_{ox} 是单位面积栅氧化层电容。

假定该延时单元中所有 NMOS 尺寸相同,所有 PMOS 尺寸相同,并将 PM_1 对电容 C_1 的充电过程近似为线性模型。对于延时单元的输入发生一次从“0”到“1”的跳变情况, V_x 的下降时间 t_x 和第二级反相器的漏电荷 Q_{sc2} 可以表示为:

$$t_x = \frac{2C_1 V_{dd}}{\beta_n (V_{dd} - V_{th,n})^2} \quad (2)$$

$V_y(t_y) = V_{DD}$, 则得到 V_y 的上升时间 t_y :

$$t_y = \left(\frac{6C_{g3}}{\beta_p V_{dd}} \right)^{1/3} t_x^{2/3} \quad (5)$$

若延时单元的输入以频率 f 进行周期性翻转(每个周期包含一次上升沿和一次下降沿),并假设 $\beta_n = \beta_p = \beta$, $V_{th,n} = V_{th,p} = V_{th}$ 。忽略延时单元中第一级反相器和第四级反相器的漏电,结合式(3)和

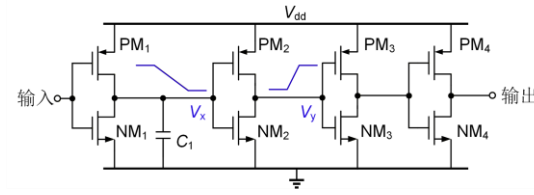


图 3 传统延时单元结构

Fig. 3 Structure of the traditional delay cell

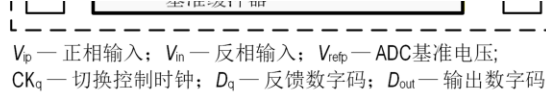


图 1 跟踪-量化型 SAR-ADC 的结构

Fig. 1 Structure of tracking-quantizing SAR-ADC

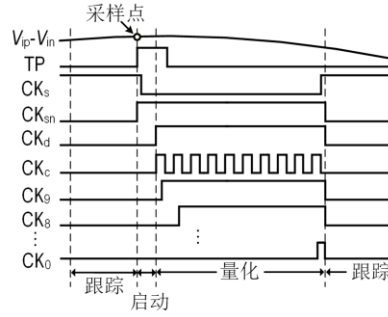


图 2 SAR-ADC 的脉冲触发式工作时序图

Fig. 2 Timing diagram of SAR-ADC

$$V_{xt} = \frac{\sqrt{\beta_p}(V_{dd} - V_{th,p}) + \sqrt{\beta_n}V_{th,n}}{\sqrt{\beta_n} + \sqrt{\beta_p}}$$

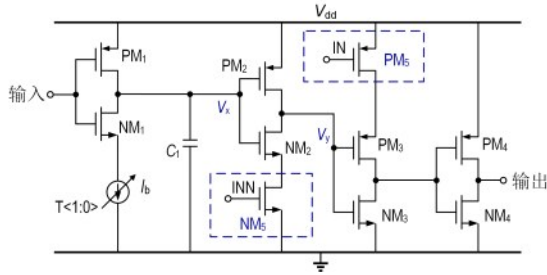


图 4 本文的低漏电延时单元结构

Fig. 4 Structure of proposed low-leakage delay cell

式(5),延时单元的平均漏电流 $I_{leak, avg}$ 可以写为:

$$I_{leak, avg} = f \cdot \frac{\beta(V_{dd} - 2V_{th})^3}{6V_{dd}} \left[t_x + \left(\frac{6C_{g3}}{\beta V_{dd}} \right)^{1/3} t_x^{2/3} \right] \quad (6)$$

在面向传感器应用的 ADC 中,为实现异步逻辑控制所需的延时时间通常远大于反相器的逻辑翻转时间,假定第三级反相器的逻辑翻转电平为 $V_{dd}/2$,那么该延时单元产生的延时时间 t_d 为:

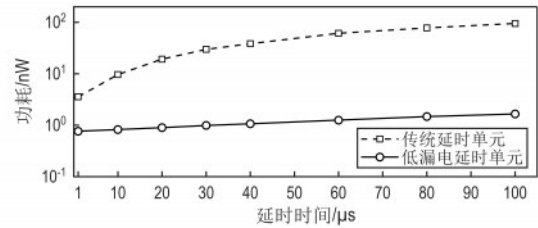


图 5 低漏电延时单元与传统延时单元的功耗对比

Fig. 5 Comparison of power consumption between the

$$t_d = \frac{V_{th}}{V_{dd}} t_x + \left(\frac{3C_{g3}}{\beta V_{dd}} \right)^{1/3} t_x^{2/3} \quad (7)$$

将式(7)代入式(6),可以得到 $I_{leak, avg}$ 与 t_d 的关系表达式:

$$I_{leak, avg} = f \cdot \frac{\beta(V_{dd} - 2V_{th})^3}{6V_{th}} \left[t_d + \alpha t_d^{2/3} \right] \quad (8)$$

$$\alpha = \frac{V_{th}}{V_{dd}} \left(2^{1/3} - \frac{V_{dd}}{V_{th}} \right) \left(\frac{3C_{g3}V_{dd}^2}{\beta V_{th}^2} \right)^{1/3} \quad (9)$$

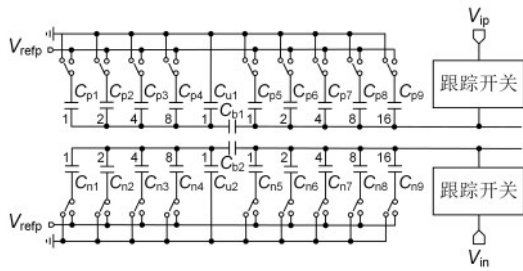


图7 近零功耗跟踪CDAC

Fig. 7 Nearly zero-power tracking CDAC

3.2 近零功耗跟踪CDAC

图7是本文提出的近零功耗跟踪CDAC。该CDAC采用分段式结构,其中低位段($C_{p1} \sim C_{p4}$ 、 $C_{n1} \sim C_{n4}$)的总电容值为1.344 pF,高位段($C_{p5} \sim C_{p9}$ 、 $C_{n5} \sim C_{n9}$)的总电容值为2.688 pF,桥接电容(C_{b1} 、 C_{b2})值为44.8 fF。综合考虑采样热噪声(kT/C ,式中 k 为玻尔兹曼常数, T 为绝对温度, C 为采样电容)与电容失配对SAR-ADC转换精度的影响,本文将单位电容(C_{u1} 、 C_{u2})选取为42 fF。与传统二进制CDAC相比,分段结构使10 bit CDAC需要的总电容值减少了90.43%,有效降低了电路面积。跟踪开关采用动态衬底偏置的传输门实现,可在较小面积开销下满足10 bit SAR-ADC对采样线性度的要求。

此外,本文采用单调二进制转换策略以降低跟踪阶段功耗。该策略使CDAC在跟踪阶段能够以地作为采样参考,从而可以关闭基准缓冲器以实现近零功耗的输入跟踪。尽管该策略会使量化过程中比较器的输入共模逐步下降,并引入与信号相关的谐波分量。但仿真结果表明,对于10 bit SAR-ADC,共模电压变化仅使得其无杂散动态范围降低约2 dB,而对信噪失真比几乎没有影响。

3.3 采用输出失调存储校准的比较器

传感器系统通常根据ADC的量化结果对输入信号状态进行判别,而SAR-ADC中比较器的输入失调会导致量化结果发生偏移,并影响传感器系统的监测准确性^[28-29]。本文的比较器采用输出失调存储(output offset storage, OOS)校准策略,电路结构如图8所示。其中,预放大器用于对输入信号进行初步放大,从而降低后续动态锁存器的失调和噪声对比较结果的影响。该预放大器的结构如图9所示,其采用二极管连接与交叉耦合并联的复合负载结构,在稳定放大器的输出共模电压的同时可以增大输入对管的跨导,从而降低预放大器的功耗。在

SAR-ADC的启动阶段,预放大器的输入与CDAC断开,并通过 S_3 和 S_4 连接至 V_{refp} ;同时,电容 C_1 和 C_2 的右侧极板通过 S_5 和 S_6 也连接至 V_{refp} 。此时,预放大器的输入失调会被放大并预存储在电容 C_1 和 C_2 上。在SAR-ADC的量化阶段, S_1 和 S_2 闭合, $S_3 \sim S_6$ 断开,比较器正常进行比较,预放大器的输入失调则会被已预存储在电容 C_1 和 C_2 上的电荷抵消。因此,比较器的输入等效失调电压 V_{os} ,动态锁存器的失调电压 V_{os1} 以及预放大器的增益 A_0 之间的关系可以表示为:

$$V_{os} = \frac{V_{os1}}{A_0} \quad (10)$$

由式(10)可知,OOS策略可有效校准预放大器的失调,而动态锁存器的失调被预放大器增益 A_0 抑制,因此本文比较器能够实现较小的输入失调。

低漏电上升沿延时单元同样应用于本文比较器中,用于延迟比较信号 CK_c 以满足CDAC的电压建立时间要求。此外,对于SAR-ADC采用的脉冲触发式工作时序,若比较器陷入亚稳态将导致SAR-ADC长时间无法完成当前位比较^[30-31],进而导致SAR-ADC无法返回跟踪阶段。为避免该问题,本文引入亚稳态检测单元,其通过低漏电上升沿延时单元与逻辑电路一同产生一个100 μ s的比较时间检测窗口。若在该时间窗口内比较器仍未完成当次比较,亚稳态检测单元将通过时钟 CK_r 强制复位比较器并触发下一位的CDAC切换和比较过程。

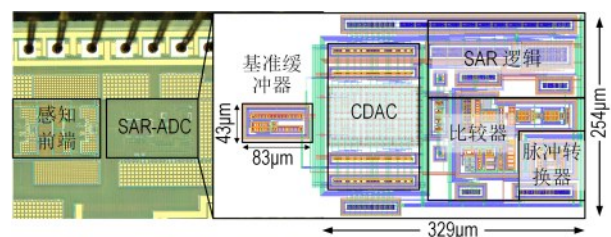


图10 SAR-ADC的显微照片及版图

Fig. 10 Die microphotograph and layout of the SAR-ADC

4 流片测试结果

本文提出的跟踪-量化型SAR-ADC采用180 nm CMOS工艺制造,图10展示了SAR-ADC的显微照片及版图。其中,SAR-ADC内核和基准缓冲器的面积分别为 $329 \times 254 \mu\text{m}^2$ 和 $83 \times 43 \mu\text{m}^2$,SAR-ADC总面积为0.0871 mm^2 。

为评估SAR-ADC的动态性能,将TP的频率

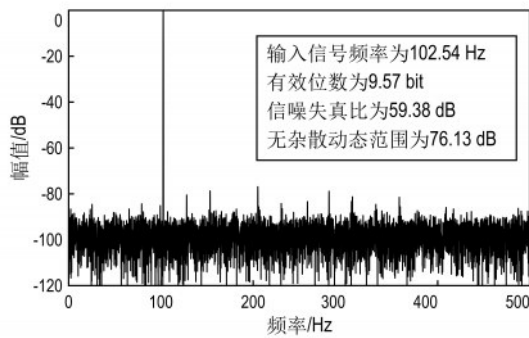


图 11 SAR-ADC 的输出频谱测试结果

Fig. 11 Measured output spectrum of the SAR-ADC

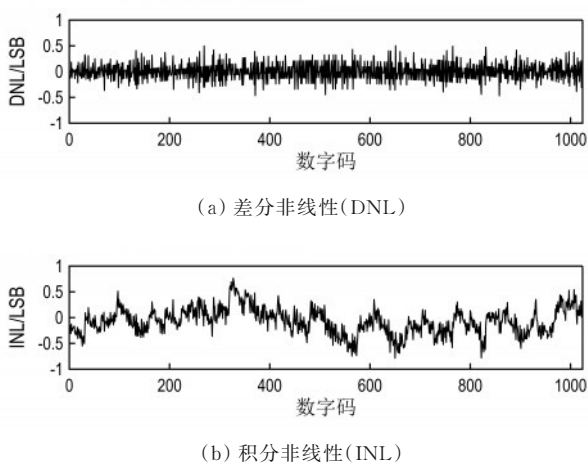


图 12 SAR-ADC 的静态性能测试结果

Fig. 12 Measured static performance of the SAR-ADC

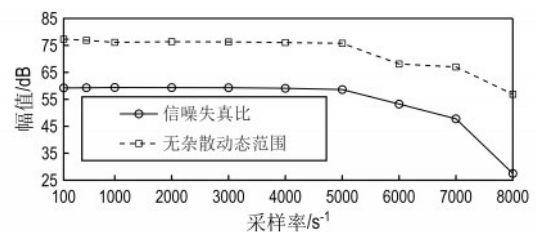
固定为 1 kHz (即采样率为 $10^3/\text{s}$), 并在 SAR-ADC 输入端施加频率为 102.54 Hz、峰峰值为 1.9 V (-1 dB) 的差分正弦信号。在 2 V 电源电压下测得的 SAR-ADC 的功耗为 227 nW, 其输出频谱如图 11 所示。从频谱可以计算得到 SAR-ADC 的信噪失真比为 59.38 dB, 无杂散动态范围为 76.13 dB, 有效位数 (effective number of bits, ENOB) 为 9.57 bit。图 12 展示了 SAR-ADC 在 $10^3/\text{s}$ 采样率和 2 V 电源电压下的静态性能测试结果。其中, 差分非线性 (differential nonlinearity, DNL) 误差和积分非线性 (integral nonlinearity, INL) 误差分别为 -0.46/0.5 最低有效位 (least significant bit, LSB) 和 -0.78/0.76 LSB。上述测试结果表明, 该 SAR-ADC 满足一般应用场景下传感器系统对信号采集的精度和线性度要求^[32]。

在超低功耗的约束下, 本文基准缓冲器的带宽有限, CDAC 需要足够长的时间达到要求的建立精度, 这一点限制了 SAR-ADC 的最高采样率。图 13

展示了 SAR-ADC 的动态性能随采样率 f_s 的变化情况。当 f_s 低于 $5 \times 10^3/\text{s}$ 时, SAR-ADC 的信噪失真比和无杂散动态范围几乎不随 f_s 变化, 分别维持在 59 dB 和 76 dB 附近。随着 f_s 增大至 $5 \times 10^3/\text{s}$ 以上, SAR-ADC 无法完成完整的 10 bit 量化过程, 并导致信噪失真比和无杂散动态范围逐渐下降。因此, 该 SAR-ADC 的采样率可以在 $0 \sim 5 \times 10^3/\text{s}$ 范围内动态调整。该速率满足大多数传感器系统对低频信号的采集需求。图 14 展示了 SAR-ADC 在 $4 \times 10^3/\text{s}$ 的固定采样率下, 其动态性能随输入信号频率 f_m 的变化情况。可以看到, 当输入信号在 10 ~ 100 Hz 范围内变化时, SAR-ADC 的信噪失真比均高于 59 dB, 无杂散动态范围均高于 74 dB。

为验证 SAR-ADC 在低频稀疏信号应用下的数据压缩效果, 将 SAR-ADC 集成于一款用于心电信号监测的生物医疗传感器中。该传感器芯片的供电电压为 2 V, 感知前端集成了低噪声放大器和带通滤波器 (通带为 10 ~ 190 Hz), 并采用自适应双频 ($10^3/\text{s}$ 和 $10^2/\text{s}$) 采样策略。图 15 展示了该 SAR-ADC 在固定速率采样策略和自适应双频采样策略下的心电信号转换结果。测试所用的心电信号由 Tektronix AFG1062 信号发生器产生, 并经感知前端放大后输入到 SAR-ADC 中。

图 15(a) 对比了将 SAR-ADC 的采样率 f_s 固定为 $10^2/\text{s}$ 时和固定为 $10^3/\text{s}$ 时的心电信号转换结果。当 f_s 为 $10^2/\text{s}$ 时, 心电信号的 QRS 波峰值无法被完整采集; 而当 f_s 为 $10^3/\text{s}$ 时, QRS 波形能够被准确呈现。但 $10^3/\text{s}$ 的 f_s 会导致 SAR-ADC 采集大量冗余数据, 从而增加传感器的功耗与面积。

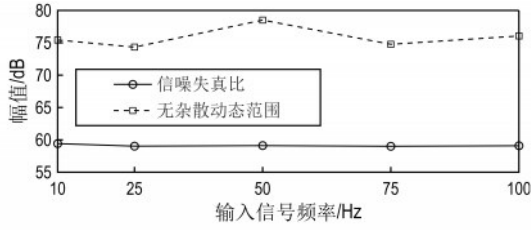


for varying sampling frequency

图 13 SAR-ADC 动态性能随采样率变化的测试结果

Fig. 13 Measured SAR-ADC dynamic performance

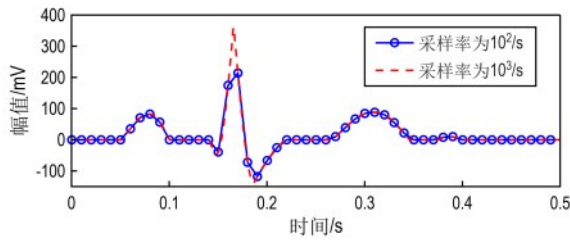
图 15(b) 给出了该 SAR-ADC 在自适应双频采样策略下的心电信号转换结果。该方案中, 传感器的后端数字电路对 SAR-ADC 的输出进行实时判决, 并通过 TP 反馈控制 SAR-ADC 的采样率 f_s 在 $10^2/\text{s}$ 和 $10^3/\text{s}$ 之间切换。在心电信号变化较为缓慢



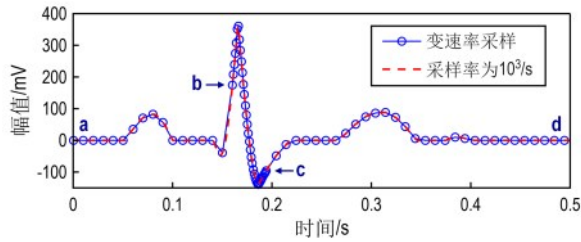
for varying input signal frequency

图14 SAR-ADC动态性能随输入信号频率变化的测试结果

Fig. 14 Measured SAR-ADC dynamic performance



(a) $10^2/\text{s}$ 采样率对比 $10^3/\text{s}$ 采样率



(b) 自适应采样率对比 $10^3/\text{s}$ 采样率

图15 不同采样策略下SAR-ADC对心电信号的转换结果
Fig. 15 Digitized ECG signals by the SAR-ADC with different sampling methods

的区间,如图15(b)中的a~b和c~d区间,SAR-ADC以 $10^2/\text{s}$ 采样率工作以降低功耗并减少冗余数据,此时传感器的判决阈值为+100 mV。当检测到SAR-ADC输出对应幅值大于+100 mV时(b点),传感器立即通过TP控制SAR-ADC的采样率切换至 $10^3/\text{s}$,使SAR-ADC能够准确采集快速变化的QRS波。同时,为避免噪声或局部干扰导致采样率误切换,传感器会对采样率切换之后的连续3个采样点的平均值做再判断,若平均值小于+100 mV则会切回 $10^2/\text{s}$ 采样率。在SAR-ADC处于 $10^3/\text{s}$ 采样状态下,当输出低于-100 mV且随后3个采样点平均值仍低于-100 mV时,判决阈值会变更为-100 mV。之后,当连续3个采样点平均值恢复至高于-100 mV时(c点),SAR-ADC的采样率切换回 $10^2/\text{s}$,判决阈值恢复至+100 mV。此外,该自适应采样策略只需在SAR-ADC输出结果中增加1 bit

的采样率标志,因此恢复信号时所需的硬件开销较小。

通过自适应双频采样策略,该SAR-ADC在保证QRS波采集精度的同时实现了7.6的压缩因子^[33]。该策略还将SAR-ADC的平均功耗降低至38 nW(不计入TP产生逻辑的系统功耗),并实现了83%的功率节省因子(F_{ps})。其中,功率节省因子被定义为^[21]:

$$F_{ps} = (1 - \frac{P_{\text{adaptive}}}{P_{\text{fixed}}}) \times 100\% \quad (11)$$

式(11)中 P_{adaptive} 表示采用自适应采样策略后的ADC平均功耗, P_{fixed} 表示固定为自适应采样策略中最大采样率下ADC的平均功耗。

Walden品质因数 F_{omw} 通常用于衡量ADC的能效^[34]。本文首先在固定 $10^3/\text{s}$ 采样率下对所提出的SAR-ADC性能进行评估,在计入基准缓冲器功耗的情况下计算得到该SAR-ADC的 F_{omw} 为298 fJ/步。进一步地,为了比较生物医疗传感器中不同采集策略下的ADC能效,本文定义了一种面向心电信号采集应用的品质因数 F_{ome} :

$$F_{\text{omw}} = \frac{P_{\text{ADC}}}{2^{\text{ENOB}} \cdot f_s} \quad (12)$$

$$F_{\text{ome}} = F_{\text{omw}} \times (1 - F_{ps}) \quad (13)$$

式(12)中 P_{ADC} 是ADC的平均功耗。式(13)中所定义的新品质因数 F_{ome} 相较于 F_{omw} 进一步考虑了不同采样策略所带来的数据压缩及其对应的功耗节省效果。该SAR-ADC在自适应双频采样策略下实现了50 fJ/步的 F_{ome} 。

表1总结了所提出的SAR-ADC与近年来其他用于传感器的ADC的性能对比^[20-21,35-39]。可以看到,该SAR-ADC具有较低的功耗和较小的芯片面积。此外,该SAR-ADC凭借跟踪-量化型结构和脉冲触发式工作逻辑,并结合自适应双频采样策略,实现了优异的 F_{ps} 和 F_{ome} 。该SAR-ADC的能效仅低于事件驱动ADC^[35]和LC-SAR混合结构ADC^[38],但相对这两种ADC,本文的结构可降低信号重建的硬件电路和功耗开销,因此可获得更优异的系统能效。另外,若结合更先进的采样策略或引入混合结构,该SAR-ADC能效还可进一步提升。

5 结 论

本文提出了一种用于低频稀疏生物信号采集的10 bit跟踪-量化型SAR-ADC。该SAR-ADC在接收到传感器系统发出的触发脉冲(TP)后,无需额

表 1 本文与其他文献的 ADC 性能对比
Table 1 Comparison of ADC performance between this work and other works

	工艺 / μm	ADC 结构	供电 电压/ V	分辨率 /bit	最大采样 率 / 10^3s^{-1}	功耗/ μW	面积/ mm^2	F_{omw} /bit·步 $^{-1}$	功率节省 因子	F_{ome} /bit·步 $^{-1}$
文献[20]	0.18	二阶电平交叉	1.8	10	1	0.368	0.1716	359	88%	43
文献[21]	0.18	信号相关采样	2	12	1	1.7	0.135	415	81%	78
文献[35]	0.04	事件驱动型 SAR	0.5/1	8	30	5.38	0.012	138	30%	96
文献[36]	0.18	电平交叉	0.5	6	2	0.061~ 0.22	0.03	629~2268		
文献[37]	0.35	事件驱动型 NS-SAR	3.3	8	167	221	0.9464	1087		
文献[38]	0.18	LC-SAR 混合	1/1.8	6+11	40	4.34	1.167	58.8		
文献[39]	0.18	SAR	0.5	10	5	1.43		299		
本文	0.18	跟踪-量化型 SAR	2	10	5	0.227	0.0871	298	83%	50

外的采样阶段,能够立即将其 CDAC 上跟踪的输入信号转换为数字码。转换完成后,该 SAR-ADC 会返回到近零功耗的跟踪阶段,等待下一个 TP。此外,在 SAR-ADC 逻辑电路设计中,提出了一种低漏电的延时单元,有效降低了用于实现异步控制逻辑所消耗的电路功耗。该 SAR-ADC 采用 180 nm CMOS 工艺制造,芯片面积为 0.0871 mm²。在 2-V 供电电压和 10³/s 的采样频率下,该 SAR-ADC 实现了 59.4 dB 的信噪失真比和 76.1 dB 的无杂散动态范围,功耗为 227 nW。将该 SAR-ADC 应用于采用自适应双频采样策略(10³/s 和 10²/s)的生物医疗传感器并用于心电信号采集时,其输出数据量压缩了 7.6 倍,平均功耗降低至 38 nW,对应功率节省因子(F_{ps})为 83%。

参考文献:

[1] 李致铭,兰哲冲,金楷越,等. 寄生电容自适应抑制的飞法级电容传感器读出电路[J]. 西安交通大学学报, 2021, 55(5): 154-161.
Li Zhiming, Lan Zhechong, Jin Kaiyue, et al. A readout circuit for femtofarad-level capacitive sensors with parasitic capacitance suppression [J]. Journal of Xi'an Jiaotong University, 2021, 55(5): 154-161.

[2] Barik G, Kumar K G, Chatterjee B, et al. dAJC: A 2.02-mW 50-Mb/s direct analog to MJPEG converter for video sensor nodes using switched capacitor MAC-quantizer with process calibration[J]. IEEE Journal of Solid-State Circuits, 2025, 60(10): 3720-3737.

[3] Lee H, Seo D, Kim W T, et al. A compressive sensing-based CMOS image sensor with second-order $\Sigma\Delta$ ADCs[J]. IEEE Sensors Journal, 2018, 18(6): 2404-2410.

[4] 牟峻萱,徐卫林,莫培思,等. 一种用于移动 IoT 的 0.79~2.70 μW 高 SNDR 电平交叉噪声整形 SAR ADC[J]. 半导体技术, 2026, 51(3): 256-262.
Mou Junxuan, Xu Weilin, Mo Peisi, et al. A 0.79-2.70 μW high SNDR level crossing-noise shaping SAR ADC for mobile internet of things applications [J]. Semiconductor Technology, 2026, 51(3): 256-262.

[5] Mochizuki S, Komuro N. Power-efficient wireless sensor network using distributed compressed sensing for time-series environmental monitoring [J]. Journal of Communications, 2024, 19(4): 182-188.

[6] Hu Jin, Li Dengquan, Liu Maliang, et al. A 10-kS/s 625-Hz-bandwidth 65-dB SNDR second-order noise-shaping SAR ADC for biomedical sensor applications

- [J]. IEEE Sensors Journal, 2020, 20(23): 13881-13891.
- [7] Sun Kangkang, Liu Jingjing, Yan Feng, et al. A 9.68nW 57.51dB SNDR SAR ADC with dual bypass windows based on non-binary split capacitors for biomedical applications [J]. IEEE Transactions on Biomedical Circuits and Systems, 2025, 19(6): 1091-1104.
- [8] Min Y J, Kim H K, Kang Yuri, et al. Design of wavelet-based ECG detector for implantable cardiac pacemakers [J]. IEEE Transactions on Biomedical Circuits and Systems, 2013, 7(4): 426-436.
- [9] Guo Wenjuan, Kim Y, Tewfik A H, et al. A fully passive compressive sensing SAR ADC for low-power wireless sensors [J]. IEEE Journal of Solid-State Circuits, 2017, 52(8): 2154-2167.
- [10] Wang Jingchuan, Li Jin, Jin Hua, et al. A novel lossless ECG compression algorithm for active implants [C]//2021 43rd Annual International Conference of the IEEE Engineering in Medicine & Biology Society (EMBC). Piscataway, NJ, USA: IEEE, 2021: 3471-3474.
- [11] Kovács P, Fridli S, Schipp F. Generalized rational variable projection with application in ECG compression [J]. IEEE Transactions on Signal Processing, 2020, 68: 478-492.
- [12] 张云飞, 贺丽君, 王子溪, 等. 面向机器视觉任务的多尺度图像特征压缩算法[J]. 西安交通大学学报, 2023, 57(12): 1-10.
- Zhang Yunfei, He Lijun, Wang Zixi, et al. Image multi-scale feature compression algorithm for machine vision tasks [J]. Journal of Xi'an Jiaotong University, 2023, 57(12): 1-10.
- [13] Valencia D, Mercier P P, Alimohammad A. Efficient *in vivo* neural signal compression using an autoencoder-based neural network [J]. IEEE Transactions on Biomedical Circuits and Systems, 2024, 18(3): 691-701.
- [14] Liu Peng, Wang Lizhe, Chen Jia, et al. Semiblind compressed sensing: a bidirectional-driven method for spatiotemporal fusion of remote sensing images [J]. IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing, 2024, 17: 19048-19066.
- [15] 徐光南, 高智勇, 梁艳杰, 等. 采用压缩感知的流程工业异常监测数据检验与修复方法[J]. 西安交通大学学报, 2020, 54(2): 59-70.
- Xu Guangnan, Gao Zhiyong, Liang Yanjie, et al. Verification and restoration method of abnormal monitoring data by compressive sensing for process industry [J]. Journal of Xi'an Jiaotong University, 2020, 54(2): 59-70.
- [16] Sun Biao, Zhao Wenfeng. Compressed sensing of extracellular neurophysiology signals: a review [J]. Frontiers in Neuroscience, 2021, 15: 682063.
- [17] 程伊婷, 董涛, 苏昱玮, 等. 面向通信信号高效接收处理的压缩感知技术综述[J]. 电子与信息学报, 2026, 48(1): 168-182.
- Cheng Yiting, Dong Tao, Su Yuwei, et al. A review of compressed sensing technology for efficient receiving and processing of communication signal [J]. Journal of Electronics & Information Technology, 2026, 48(1): 168-182.
- [18] Wang Zexin, Meng Lingxin, Zhao Menglian, et al. A high-precision level-crossing pipelined ADC with trigger-sampled backend stage [J]. IEEE Journal of Solid-State Circuits, 2026, 61(3): 898-911.
- [19] 朱桂林, 刘博, 向菲, 等. 用于EEG信号传感的低功耗LC-ADC设计[J]. 微纳电子与智能制造, 2022, 4(2): 66-71.
- Zhu Guilin, Liu Bo, Xiang Fei, et al. Design of low power LC-ADC for EEG signal sensing [J]. Micro/Nano Electronics and Intelligent Manufacturing, 2022, 4(2): 66-71.
- [20] Tang Xiaochen, Renteria-Pinon M, Tang Wei. Second-order level-crossing sampling analog to digital converter for electrocardiogram delineation and premature ventricular contraction detection [J]. IEEE Transactions on Biomedical Circuits and Systems, 2023, 17(6): 1342-1354.
- [21] Hafshejani E H, Elmi M, Taherinejad N, et al. A low-power signal-dependent sampling technique: analysis, implementation, and applications [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(12): 4334-4347.
- [22] Harbison T, Saeed M, Cardiff B. Signal reconstruction from level crossing ADC [C]//2023 34th Irish Signals and Systems Conference (ISSC). Piscataway, NJ, USA: IEEE, 2023: 1-6.
- [23] 彭帅, 石星晨, 张杰, 等. 用于传感器信号获取的模数转换器研究进展[J]. 微电子学, 2022, 52(4): 525-532.
- Peng Shuai, Shi Xingchen, Zhang Jie, et al. Advances in analog to digital converters for sensor signal acquisition [J]. Microelectronics, 2022, 52(4): 525-532.

- [24] Sarkar S, Ki W H. A study on shoot-through reduction of DC-DC converter pre-driver using starving resistor [C]//2020 IEEE Region 10 Conference (TENCON). Piscataway, NJ, USA: IEEE, 2020: 532-537.
- [25] 陈晓娟, 陈东阳, 吴洁. CMOS反相器低频噪声模型及可靠性表征研究[J]. 电子学报, 2016, 44(11): 2646-2652.
Chen Xiaojuan, Chen Dongyang, Wu Jie. Investigation on low-frequency noise models and representation for reliability of CMOS inverter [J]. Acta Electronica Sinica, 2016, 44(11): 2646-2652.
- [26] Al-Taradeh N R, Rjoub A, Al-Mistarihi M F. Accurate modeling for CMOS inverter overshooting time in nanoscale paradigm [C]//2013 25th International Conference on Microelectronics (ICM). Piscataway, NJ, USA: IEEE, 2013: 1-4.
- [27] Lee S, Kang H, Lee M. A 13 bit 4MS/s SAR ADC with energy-efficient bidirectional delay generation[J]. Microelectronics Journal, 2025, 165: 106858.
- [28] 马志峰, 李熙泽, 张锋, 等. 基于植入式眼压检测应用的低功耗 SAR ADC 设计[J]. 微电子学与计算机, 2017, 34(11): 135-139.
Ma Zhifeng, Li Xize, Zhang Feng, et al. A successive approximation ADC design for implantable intraocular pressure detection application [J]. Microelectronics & Computer, 2017, 34(11): 135-139.
- [29] Zhang Yizhen, Cai Jueping, Li Xinyu, et al. A 3.66 μ W 12-bit 1 MS/s SAR ADC with mismatch and offset foreground calibration [J]. Microelectronics Journal, 2021, 116: 105244.
- [30] Osipov D. Method to reduce the number of metastability errors in asynchronous SAR ADCs [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(8): 2739-2743.
- [31] 王文捷, 邱盛, 徐代果. 基于比较器亚稳态抑制技术的 8 位 320MS/s SAR ADC [J]. 微电子学, 2019, 49 (2): 153-158.
Wang Wenjie, Qiu Sheng, Xu Daiguo. An 8 bit 320 MS/s SAR ADC with comparator meta-stability immunity technique [J]. Microelectronics, 2019, 49 (2): 153-158.
- [32] Wang Ling, Zhang Chenggao, Wang Jingyu, et al. A 10-bit SAR ADC using novel LSB-first successive approximation for reduced bitcycles [J]. Microelectronics Journal, 2020, 103: 104873.
- [33] Dixon A M R, Allstot E G, Gangopadhyay D, et al. Compressed sensing system considerations for ECG and EMG wireless biosensors [J]. IEEE Transactions on Biomedical Circuits and Systems, 2012, 6 (2) : 156-166.
- [34] Walden R H. Analog-to-digital converter survey and analysis [J]. IEEE Journal on Selected Areas in Communications, 1999, 17(4): 539-550.
- [35] Van Assche J, Gielen G. Analysis and design of a 10.4-ENOB 0.92 - 5.38- μ W event-driven level-crossing ADC with adaptive clocking for Time-Sparse edge applications [J]. IEEE Journal of Solid-State Circuits, 2024, 59(9): 2858-2869.
- [36] Hou Yuting, Qu Jiali, Tian Zhenzhen, et al. A 61-nW level-crossing ADC with adaptive sampling for biomedical applications [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(1): 56-60.
- [37] Karim R, Grassi M, Malcovati P. An event-triggered asynchronous incremental NS-SAR ADC featuring sampling-rate reconfigurability with power-scalability and enabling AFE-ADC co-design approach [J]. IEEE Access, 2024, 12: 190322-190336.
- [38] Tang Hai, Xu Weilin, Li Haiou, et al. A 0.49 - 4.34 μ W LC-SAR hybrid ADC with a 10.85-Bit ENOB and 20 KS/s bandwidth [J]. Electronics, 2024, 13 (6) : 1078.
- [39] Rodrigues M C, Brum J L J, Girardi A G, et al. A 0.5-V 10-bit asynchronous SAR ADC with monotonic switching for biomedical applications [C]//2023 Argentine Conference on Electronics (CAE). Piscataway, NJ, USA: IEEE, 2023: 107-111.

(编辑 曹康莹 杜秀杰)