

抗单粒子瞬态的辐射加固压控延时单元

史柱, 赵雁鹏, 高利军, 杨博, 王斌, 刘文平

(西安微电子技术研究所, 710065, 西安)

摘要: 为解决空间应用的延迟锁相环中压控延迟线易受单粒子扰动问题,提出了一种加固的压控延迟线结构。在分析了传统压控延时单元的单粒子敏感性基础上,通过在延时单元的输出节点之间增加 2 个 NMOS 管和 2 个 PMOS 管形成正反馈结构,提高了延时单元的抗单粒子瞬态特性。在输入参考时钟为 1 GHz 时,先通过计算机辅助设计技术(TCAD)混合仿真实验验证了该单元的加固效果:当 LET 值 ϕ_1 为 $20 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 时,提出的加固结构将电压扰动幅度降低了 44.9%;当 LET 值 ϕ_2 为 $80 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 时,翻转电压降低幅度为 23.7%。再基于 Spice 仿真,验证了在延迟锁相环实际工作的锁定状态下,该结构起到了抑制压控延迟线中单粒子瞬态的作用。仿真结果表明,对比传统的加固方法,提出的加固压控延迟线结构在只付出 13.6%的面积增加代价下,在 533 MHz~1 GHz 的频率范围内实现了对两种 LET 值下的单粒子瞬态免疫。

关键词: 单粒子瞬态;辐射加固;压控延迟线

中图分类号: TN43 **文献标志码:** A

DOI: 10.7652/xjtuxb202109012 **文章编号:** 0253-987X(2021)09-0105-08



OSID 码

A Radiation-Hardened Voltage-Controlled Delay Cell Against Single-Event-Transient

SHI Zhu, ZHAO Yanpeng, GAO Lijun, YANG Bo, WANG Bin, LIU Wenping

(Xi'an Microelectronics Technology Institute, Xi'an 710065, China)

Abstract: A radiation-hardened voltage-controlled delay line is proposed to solve the problem that the voltage-controlled delay line of delay-locked loops is susceptible to single-particle radiation in the space applications. After analyzing the single-event sensitivity of the conventional delay cell, its anti-radiation performance is improved by adding two NMOS and two PMOS transistors between output nodes to form positive feedback. The hardening effectiveness of a single cell is validated by 3-D technology computer aided design (TCAD) mixed-mode simulation at the reference input clock of 1 GHz. The result shows that the magnitude of reduced voltage perturbation is as much as 44.9% at the LET value ϕ_1 of $20 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, while the magnitude reduction is 23.7% when ϕ_2 is $80 \text{ MeV} \cdot \text{cm}^2/\text{mg}$. Then, the successful suppression against SETs of a working DLL in locked state is simulated by Cadence simulation tool. Simulation results demonstrate that the proposed voltage-controlled delay cell can obtain single-event immunity at those two different LET values in the reference input clock range from 533 MHz to 1 GHz, only increasing an extra area of 13.6% in comparison with the conventional hardened methods.

Keywords: single-event transient; radiation-hardening; voltage-controlled delay line

随着集成电路和空间技术的不断发展,面向空间应用的大规模集成电路中已经集成了处理器、存储器 and 通信系统,这些系统的接口电路中分布着大量的时钟网络,控制数据传输的时序^[1]。由于输出时钟精度高、电路设计简单,在不需要频率变化和时钟综合的应用中,电路设计者往往倾向使用延迟锁相环(DLL)^[2-3]。研究表明,在辐射环境中,压控延迟线是延迟锁相环中对单粒子事件最敏感的子电路之一^[4-5],该模块产生的单粒子瞬态(SET)会使得时钟信号发生错误翻转,造成整个系统功能的紊乱。

压控延时单元是组成压控延迟线的基本单元,一条宽调节范围的压控延迟线是由许多基本的压控延时单元串接而成。由于所占面积大,敏感节点数多,因此对压控延迟线加固的关键在于如何提高基本的压控延时单元的抗辐射性能^[6-8]。文献[9]对基本的延时单元做了冗余备份,然后通过组合逻辑电路,滤除了受到单粒子轰击的输出信号,从而起到了加固效果,但是每个单元都做备份使得压控延迟线的面积增大了一倍,功耗也明显增加。文献[10]提出了交叉耦合负载结构(CCL)的延时单元,通过自身负载的反馈作用抑制节点电压的翻转。然而实际仿真可以看出,这种结构在入射粒子能量较低时就已经发生了明显的翻转。针对目前加固方法中的不足,本文提出了一种新型的加固压控延时单元。在延时单元输出节点之间,额外增加2个NMOS管和PMOS管,形成正反馈机制。该结构起到稳定输出节点电压的作用,同时只增加较少的面积。首先通过计算机辅助设计技术(TCAD)混合仿真验证了加固后的单个压控延时单元的抗单粒子瞬态效果,然后利用校准好的双指数电流源^[11-12]通过Spice仿真验证了所提结构在工作状态下的延迟锁相环中的加

固作用。

1 电路结构及加固原理

1.1 基本压控延时单元的敏感性分析

图1所示为延迟锁相环中的压控延迟线。输入参考时钟 clk_{in} 经过缓冲级之后,分成两路差分模拟信号,同时经过双端转单端电路(D2S)生成 clk 时钟信号。每经过 $1/4$ 总长度的延迟线,便通过同样的过程产生一路单相时钟,依次分别形成相位差为 90° 的四相时钟 clk_{90} , clk_{180} , clk_{270} 和 clk_{360} 。本文采用 SMIC 45 nm 工艺,相邻时钟之间有 5 级延时单元。在每一个延时单元的信号中,本级的输入信号 V_{in} 、 V_{ip} 分别是上一级的输出信号;本级的输出 V_{on} 、 V_{op} 又作为下一级的输入信号。

图2为基本压控延时单元,该结构可看作电流源和二极负载的单级运放^[13-14]。控制电压 V_{bn} 和 V_{bp} 分别是 NMOS 管和 PMOS 管的偏置电压, V_{bn} 控制总的偏置电流;当输出电压 V_{op} 和 V_{on} 相等时,两边支路电流 I_{D} 相同,此时有

$$I_{\text{D}} = \frac{1}{2} \mu_{\text{P}} C_{\text{ox}} \frac{W}{L} (V_{\text{DD}} - V_{\text{bp}} - |V_{\text{TP}}|)^2 \quad (1)$$

$$g_{\text{m}} = \mu_{\text{P}} C_{\text{ox}} \frac{W}{L} (V_{\text{DD}} - V_{\text{bp}} - |V_{\text{TP}}|) \quad (2)$$

式中: μ_{P} 是空穴迁移率; V_{TP} 是 PMOS 管的阈值电压; C_{ox} 是单位面积栅氧化层电容,因此延时单元的等效延迟时间为

$$t_{\text{d}} = \frac{C_{\text{node}}}{g_{\text{m}}} = \frac{C_{\text{node}} L}{\mu_{\text{P}} C_{\text{ox}} W (V_{\text{DD}} - V_{\text{bp}} - |V_{\text{TP}}|)} \quad (3)$$

式中: C_{node} 为节点电容,因此由(3)式可知,在延迟锁相环锁定过程中,通过不断调节控制电压 V_{bn} 和 V_{bp} 可以均匀调节每一个基本延时单元的延时大小。与

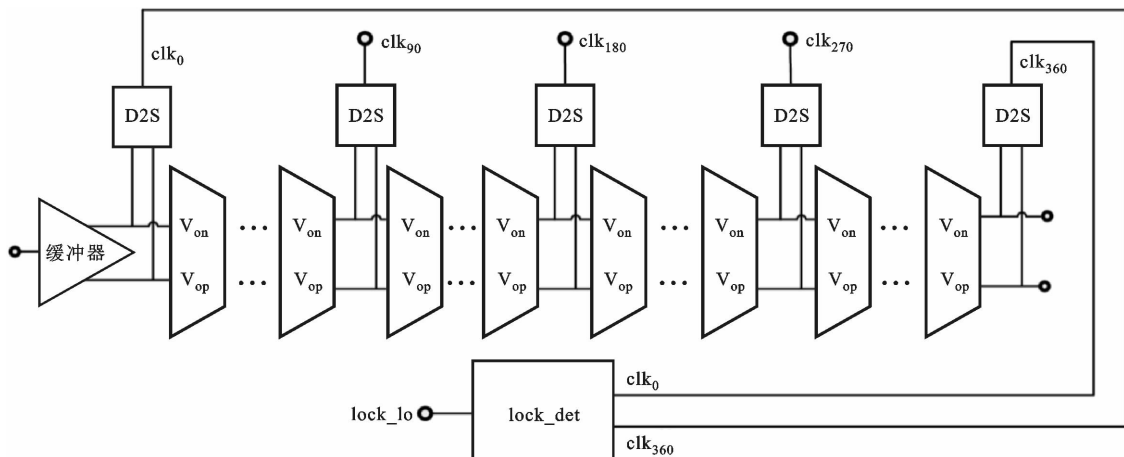


图1 延迟锁相环中的压控延迟线

Fig. 1 Voltage-controlled delay line in a DLL

此同时,锁定检测模块 lock_det 不断检测 clk。与 clk₃₆₀ 上升沿之间的时间差,当误差处于检测的范围内时,电路锁定。此时,压控延迟线中传输着时间间隔相等、高低电位交替的信号。该信号经过双端转单端电路便生成了占空比为 50% 的方波信号作为输出时钟。

延时单元中的信号,大部分时间是稳定的高低电平,可以用数字信号中的 0 和 1 来描述。当 $V_{ip}=0, V_{in}=1$ 时,由于 N_5 管不导通, V_{on} 节点电容会被充至高电位,而 V_{op} 被 N_6 管拉低,输出低电平。此时,如果有粒子轰击 V_{on} 节点,会发生类似于反相器输出节点的单粒子瞬态现象^[15]。因此 V_{on} 节点电压将会从高翻转至低,如果翻转的幅度够大,使得 V_{on} 低于 V_{op} 节点电压的持续时间足够长,则会造成 D2S 模块对电平识别错误,使得输出时钟发生错误翻转。由于延时单元的结构和功能完全对称,所以 V_{op} 的翻转情况和 V_{on} 完全相同,这里不再赘述。对于 Z 节点,由于 N_7 管控制整个电路的偏置电流,且 N_7 、 N_6 与 P_2 、 P_4 分压呈现出低电位,因此该管的尺寸远大于 N_5 、 N_6 ,寄生电容大,受到 SET 脉冲电流产生的波动较小,因此 Z 节点的单粒子敏感性较弱。

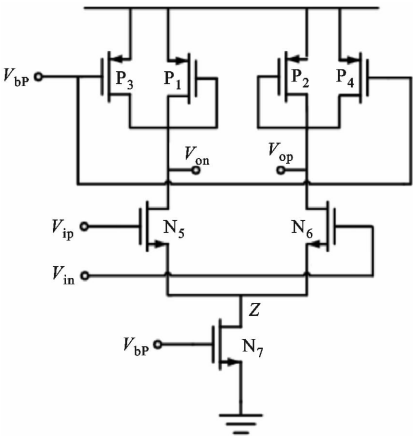


图 2 基本压控延时单元

Fig. 2 Basic voltage-controlled delay cell

1.2 基本延时单元的加固

根据前文中分析,当延迟锁相环处于稳定的锁定状态时,压控延迟线中的信号可以看作数字 0 和 1。因此,基于数据锁存的思想,对这样稳定状态进行加固。本文提出了图 3 所示的加固的压控延时单元结构。通过增加 4 个晶体管 P_8 、 P_9 和 N_{10} 、 N_{11} 形成稳定的正反馈结构,实现加固。该电路的原理如下:当 V_{on} 输出为 1 时, P_9 管不通而 N_{11} 导通,加强了 V_{op} 为 0 的状态,同时 V_{op} 为 0 又使得 P_8 导通, N_{10} 关

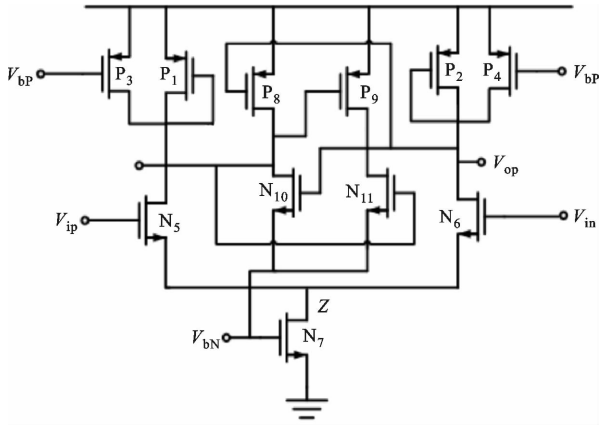


图 3 加固的压控延时单元

Fig. 3 Radiation-hardened voltage-controlled delay cell

闭,使得 V_{on} 更加稳定。为了适应压控延迟线的宽调节范围,这里将 N_{10} 、 N_{11} 管的源极接到可调节的 V_{bn} 节点,使得该 4 管组成的反馈结构的驱动能力随着锁定频率的不同而调节。除此之外,增加的管子使得每个输出节点都增加了两个栅电容 C_g 和两个漏结电容 C_{dj} ,也能起到稳定电压的作用。由于输出节点的状态主要由基本延时单元原来的管子决定,只有当输入发生跳变时状态才会翻转,且增加的管子尺寸相对较小。因此,即使增加的管子受到轰击,对输出影响也不大。

抗辐射加固设计是电路性能与可靠性之间的折中。根据式(3),提出的结构中增加的 4 个晶体管使得输出节点电容变为

$$C'_{node} = C_{node} + 2C_{dj} + 2C_g \quad (4)$$

单级延时的时间也相应增加为

$$t'_d = \frac{C'_{node}}{g_m} = \frac{C_{node} + 2C_{dj} + 2C_g}{g_m} = t_d + \Delta t \quad (5)$$

延迟锁相环的频率与延时时间成反比,因此提出的结构是在降低了工作频率的前提下获得了抗单粒子性能。

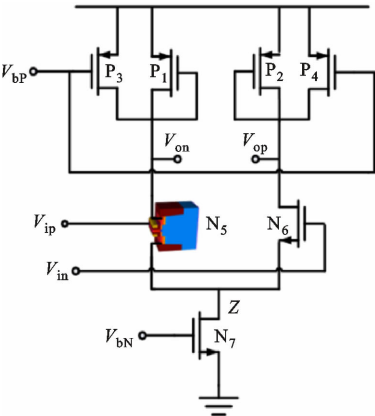
2 单粒子敏感性仿真方法

为验证本文提出的延时单元加固效果,首先基于 Sentaurus TCAD 仿真平台对 N_5 管构建三维器件模型,然后通过混合仿真的方式,模拟了加固前后的延时单元的单粒子瞬态响应。其次,本文对 TCAD 仿真中由粒子入射引起的 SET 脉冲电流与双指数电流模型^[16]进行拟合。将拟合好的电流作为 Spice 仿真中的粒子入射条件,基于 Cadence Spectre 仿真工具,对延迟锁相环锁定状态下的延时单元加固效果与未加固单元作了对比。

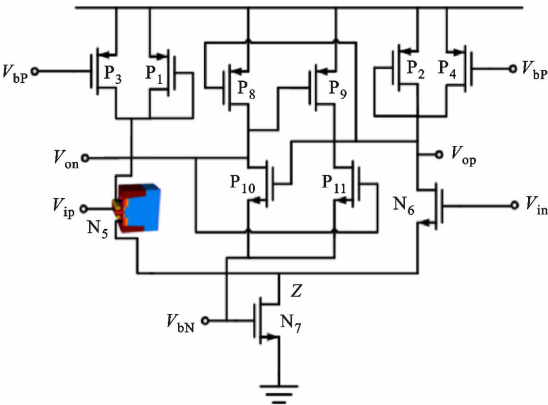
图 4 中 N_5 管是经过工艺校准的 NMOS 管三维器件模型。在混合仿真时,设置了高、低两种能量的粒子对 N_5 管的漏极几何中心进行垂直入射,分别对应的入射粒子能量 ϕ_1 为 $20\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以及 ϕ_2 为 $80\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 。通过 V_{on} 节点的电压翻转情况来描述加固前后的延时单元对单粒子瞬态的响应。Spice 仿真中采用双指数电流源作为粒子入射条件,该电流模型如下式

$$I_{(t)} = I_0 \left[\exp\left(-\frac{t}{\tau_r}\right) - \exp\left(-\frac{t}{\tau_f}\right) \right] \quad (6)$$

式中: I_0 表示双指数电流脉冲峰值; τ_r 和 τ_f 分别为上升和下降时间常数。图 5 给出了在本文的电路尺寸、工作点以及工艺条件下,入射粒子能量为 ϕ_2 时,双指数电流与 TCAD 混合仿真中的 SET 电流拟合结果 $I_0=1.18\text{ mA}$, $\tau_r=6\text{ ps}$, $\tau_f=35\text{ ps}$; 而当入射粒子 LET 值 ϕ_1 为 $20\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 时,拟合过程相同,其结果为 $I_0=502\text{ uA}$, $\tau_r=4\text{ ps}$, $\tau_f=45\text{ ps}$ 。



(a) 基本延时单元



(b) 加固的延时单元

图 4 3D TCAD 混合仿真电路

Fig. 4 3D TCAD mixed-mode simulation circuit

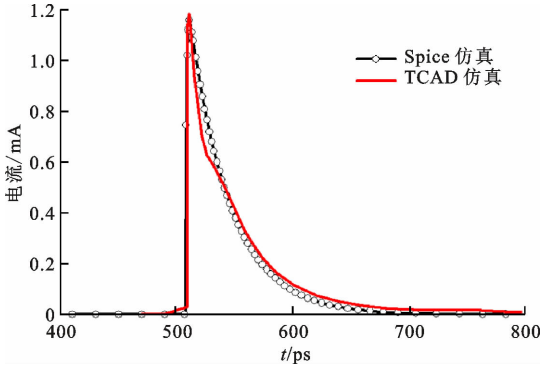
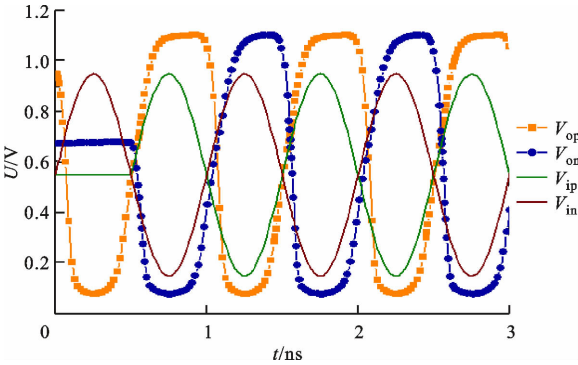


图 5 双指数电流与 TCAD 仿真的 SET 电流校准结果

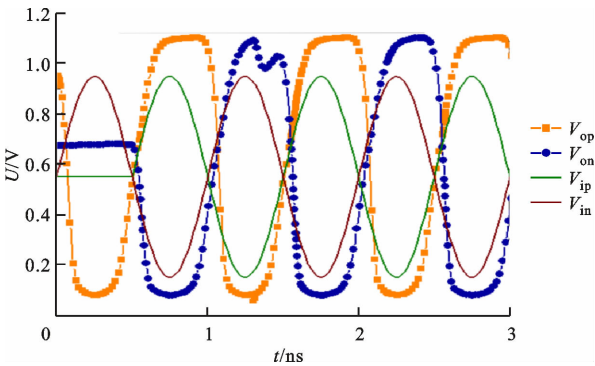
Fig. 5 Double exponential current calibrated to SET current from TCAD simulation

3 仿真结果及分析

在进行粒子入射之前,本文首先对搭建的混合仿真电路进行常态下工作状态仿真,结果如图 6 所示。从图 6a 中可以看出,输入为互补的正弦波,输出曲线光滑,波形周期均匀,具有比较理想的负载对称性。说明本文构建的 N_5 器件三维模型能够合理取代 Spice 模型进行混合仿真实验。图 6b 中,采用



(a) 基本延时单元的常态仿真结果



(b) 粒子入射基本延时单元 Z 节点的仿真结果

图 6 基本延时单元混合仿真图

Fig. 6 Simulation result of basic circuit in mixed-mode

能量 ϕ_2 为 $80\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的粒子垂直入射 N_5 管的源极,即 Z 节点。结果显示,高低电平处,电位只是发生了轻微的扰动,但是并未改变上升和下降的趋势,对信号的周期几乎没有影响。因此可以认为,该节点对单粒子事件不敏感。

根据前文分析,当 V_{on} 节点处于高电平时会产生单粒子瞬态,因此选取 V_{on} 高电平中间时刻,对 N_5 的漏极进行粒子轰击。本次仿真的 LET 值 ϕ_1 为 $20\text{ MeV}\cdot\text{cm}^2/\text{mg}$,结果如图 7 所示。粒子轰击之后,基本延时单元的输出节点电压瞬间从电源电压 1.1 V 翻转至最低点 -0.57 V ,翻转幅度为 1.67 V ;与此同时,加固的延时单元最低电压为 0.18 V ,翻转幅度为 0.92 V 。加固之后,低能量粒子轰击的电压翻转幅度降低了 44.9% 。从图 7 中可以发现,在对加固后的延时单元进行 TCAD 混合仿真时,负载对称性稍微有所下降。该现象主要是由于实际电路中 V_{bn} 接在下拉通路上,而混合仿真时只给出固定电位,与真实的工作环境稍有偏离,但是在后续的整体电路 Spice 仿真中,负载对称性良好。

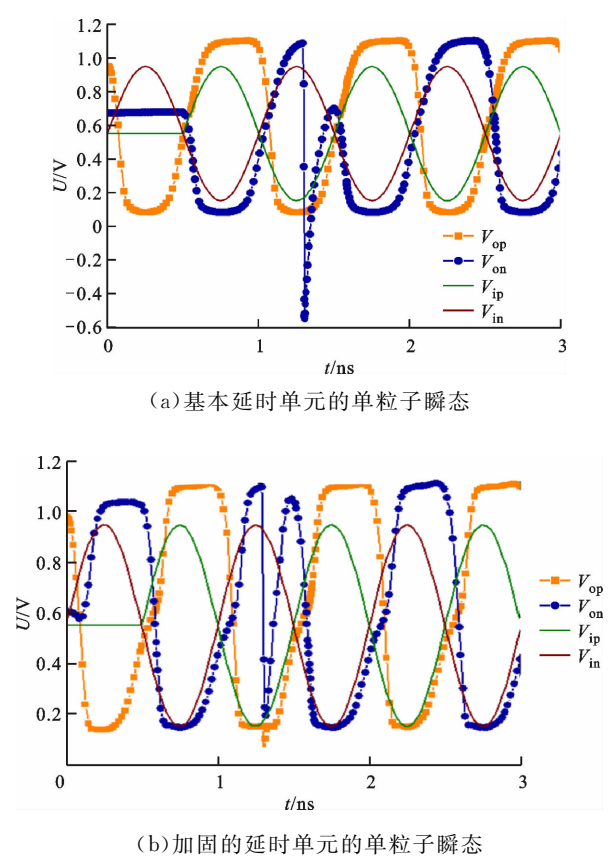


图 7 LET 值为 $20\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 延时单元输出节点的单粒子瞬态

Fig. 7 SET in the output node of the voltage-controlled delay cell at $20\text{ MeV}\cdot\text{cm}^2/\text{mg}$

图 8 给出了 LET 值为 ϕ_2 时,加固前后的电压翻转幅度对比。从图 8 中可知,对于未加固单元,粒子入射之后, V_{on} 节点的电压很快从电源电压翻转至最低点的 -0.95 V ,翻转幅度达到了 2.05 V ;而加固的延时单元,其最低点所对的电压为 -0.47 V ,将翻转幅度降低了 23.7% 。在加固的延时单元中,虽然输出电压 V_{on} 向下翻转的同时, V_{op} 轻微向上跳变,但是由于 V_{on} 已经远低于 V_{op} ,此时 V_{op} 节点电压是否向上翻转,识别出来的电平是一样的,对结果并未影响。尽管在高能量的粒子入射时,两个电路都发生了翻转,然而加固的结构还是降低了翻转的幅度,这样的降低在实际电路中一定程度上也起到了避免错误的效果。

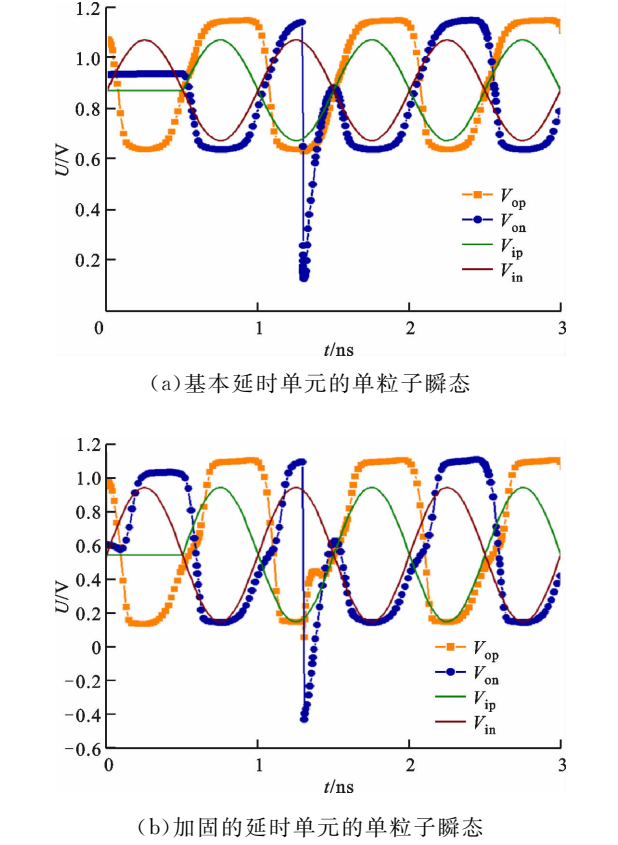


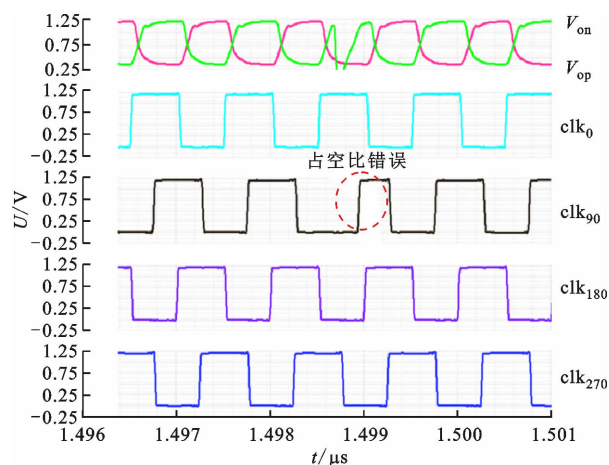
图 8 LET 值为 $80\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 延时单元输出节点的单粒子瞬态

Fig. 8 SET in the output node of the voltage-controlled delay cell at $80\text{ MeV}\cdot\text{cm}^2/\text{mg}$

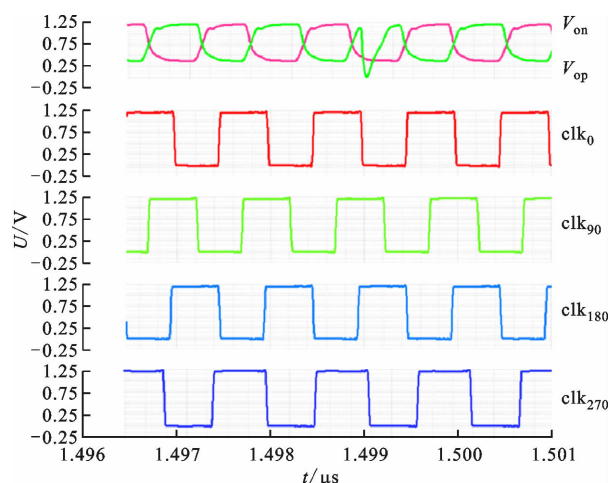
为了进一步验证提出的加固延时单元的效果,本文对两种能量的粒子入射基本延时单元时产生的 SET 电流与双指数电流进行拟合。用拟合好的电流模拟 Spice 仿真时的粒子入射,对加固前后的延时单元在实际的延迟锁相环工作中的单粒子瞬态进行仿真,对比了加固效果。

如图9所示,在1 GHz的输入参考时钟频率下,延时锁相环锁定期间,对产生 clk_{00} 时钟的延时单元进行粒子轰击,入射LET值为 $20 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 。

图9a是未加固的延时单元受到轰击后,产生的时钟波形畸变。粒子入射导致圆圈中的时钟波形占空比发生变化,相邻时钟之间的相位关系也发生了变化。但在图9b中,经过加固之后的延时单元缓解了延时单元的翻转幅度,时钟波形正常输出。



(a) 延迟锁相环中基本延时单元的单粒子瞬态



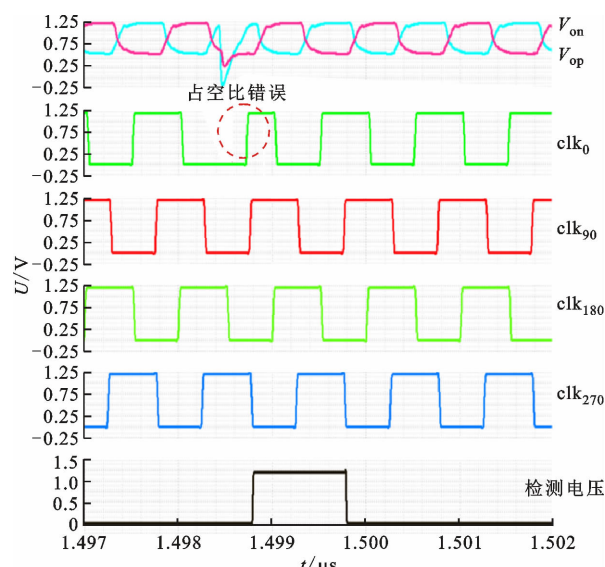
(b) 延迟锁相环中加固的延时单元的单粒子瞬态

图9 LET值为 $20 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 工作状态下的延迟锁相环中的单粒子瞬态

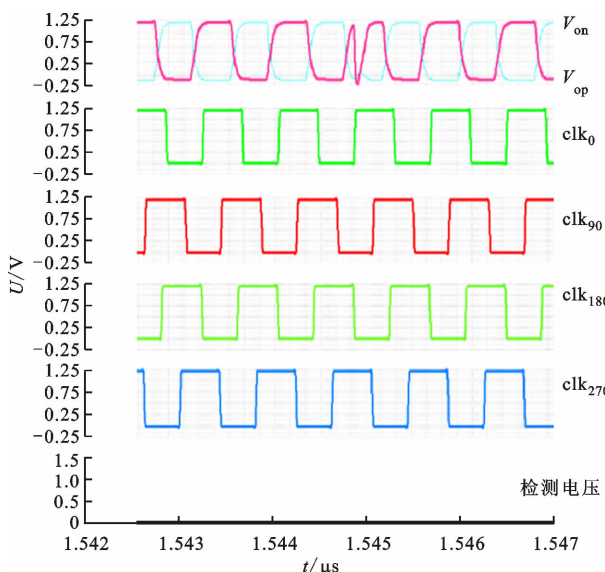
Fig. 9 SET in the voltage-controlled delay cell of a working DLL at $20 \text{ MeV} \cdot \text{cm}^2/\text{mg}$

图10给出了LET值 ϕ_2 为 $80 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 时,锁定状态下的加固前后延时单元的单粒子瞬态响应,轰击的节点选择生成 clk 时钟的延时单元。图10a中显示,粒子轰击同样造成了时钟波形占空

比变化,引发时序错误,而且这个错误被锁定检测模块检测出来,出现了一个周期的高脉冲;而加固之后的延时单元减缓了翻转的幅度,降低了错误电平维持的时间,使得D2S模块来不及响应,因此未形成时钟波形畸变,起到了加固的效果。



(a) 延迟锁相环中基本延时单元的单粒子瞬态



(b) 延迟锁相环中加固的延时单元的单粒子瞬态

图10 LET值为 $80 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 工作状态下的延迟锁相环中的单粒子瞬态

Fig. 10 SET in the voltage-controlled delay cell of a working DLL at $80 \text{ MeV} \cdot \text{cm}^2/\text{mg}$

根据上述结果,本文提出的加固方法在两种LET值下都达到了抗单粒子瞬态的效果。但是当输入参考时钟频率为1.5 GHz时,由于单元延时的增加,仿真结果显示已经无法实现锁定功能。因此

本文的加固方法是在牺牲了一定性能的条件下换取了可靠性的提高。为了对本文的加固效果进一步评估,通过与三模冗余(TMR)^[17]方法和交叉耦合负载结构(CCL)^[10]进行对比,仿真结果见表 1。

表 1 不同加固方法的面积和功耗对比

Table 1 Area and power consumption comparison of different hardened methods			
加固方法	面积增加比例/%	频率 f /Hz	功耗 I /uA
Proposed	13.6	533M	79.78
		1G	135.01
TMR	200	533M	197.23
		1G	287.89
CCL	32.1	533M	54.88
		1G	88.23

由于延迟锁相环的输出波形为接近理想的方波信号,因此在实际应用使用三模冗余(TMR)方法几乎可以起到对单粒子瞬态完全免疫的效果,但是其付出的面积和功耗的代价也是最大的;表 1 给出的交叉耦合负载结构(CCL)方法是在 LET 值 $\phi_1=20\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 单粒子入射条件下得到的电路指标,此时电路的 SET 脉冲宽度已经达到最大。因此综合上述分析,从功耗、面积和抗辐射效果来考虑,本文提出的结构能够达到抗单粒子瞬态效果最佳。

4 结 论

本文首先分析了延迟锁相环的压控延时单元的单粒子敏感性,提出了一种抗单粒子瞬态的加固结构。通过 TCAD 混合仿真,验证了加固的单级压控延时单元的抗辐射效果,在 LET 值 ϕ_1 为 $20\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的粒子入射条件下,提出的加固结构将电压翻转幅度降低了 44.9%;当入射粒子的 LET 值 ϕ_2 为 $80\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 时,翻转电压降低幅度为 23.7%。Spice 仿真表明,加固后的延时单元对锁定状态下的延迟锁相环输出时钟的单粒子瞬态具有很好的抑制效果。因此,本文提出的加固延时单元结构,可用于面向辐照环境的延迟锁相环中。

参考文献:

[1] 邹家轩,于宗光,魏敬和,等. 面向空间辐照环境的星载高速数字接口芯片设计方法 [J]. 西安交通大学学报, 2020, 54(6): 58-65.
ZOU Jiaxuan, YU Zongguang, WEI Jinghe, et al. A design approach of satellite high-speed digital interface

chips for space radiation environment [J]. Journal of Xi'an Jiaotong University, 2020, 54(6): 58-65.
[2] KAMMARI R, PASUPUREDDI V S R. Charge controlled delay element enabled widely linear power efficient MPCG-MDLL in 1.2 V, 65 nm CMOS [J]. International Journal of Circuit Theory and Applications, 2020, 48(2): 198-213.
[3] KAZEMINIA S. Frequency-range enhanced delay locked loop based on varactor-loaded and current-controlled delay elements [J]. International Journal of Electronics and Communications, 2020, 127(9): 472-477.
[4] MAILLARD P, HOLMAN T, LOVELESS T D. An RHBD technique to mitigate missing pulses in delay locked loops [J]. IEEE Transactions on Nuclear Science, 2010, 57(6): 3634-3639.
[5] MAILLARD P. RHBD delay locked loops: single event transient analysis, simulation, and hardening [D]. Nashville, TN, USA: Vanderbilt University, 2010: 33-45.
[6] CHEN Zhuojun, DING Ding, DONG Yemin, et al. Design of a high-performance low-cost radiation-hardened phase-locked loop for space application [J]. IEEE Transactions on Aerospace and Electronic Systems, 2020, 56(5): 3588-3598.
[7] LOVELESS T D, MASSENGILL L W, BHUVA B L, et al. A hardened-by-design technique for RF digital phase-locked loops [J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3432-3438.
[8] BALAJI S R. Error correction circuit for single-event hardening of delay locked loops [J]. Circuits and Systems, 2016(7): 2437-2442.
[9] MAILLARD P, HOLMAN T, LOVELESS T D. A new error correction circuit for delay locked loops [J]. IEEE Transactions on Nuclear Science, 2013, 60(6): 4387-4393.
[10] 赵振宇,郭斌,张民选,等. 一款 $0.18\text{ }\mu\text{m}$ CMOS 辐射加固差分压控振荡器 [J]. 国防科技大学学报, 2009, 31(6): 12-17.
ZHAO Zhenyu, GUO Bin, ZHANG Minxuan, et al. A radiation-hardened-by-design differential voltage controlled oscillator implemented in $0.18\text{ }\mu\text{m}$ CMOS process [J]. Journal of National University of Defense Technology, 2009, 31(6): 12-17.
[11] 赵源,徐立新,赵琦,等. 抗辐射模拟 CMOS 集成电路研究与设计 [J]. 中国空间科学技术, 2013, 6(3): 72-76.
ZHAO Yuan, XU Lixin, ZHAO Qi, et al. Research

and design of anti-radiation analog CMOS integrated circuits [J]. Chinese Space Science and Technology, 2013, 6(3): 72-76.

- [12] YANG Zhizhan, XIE Xiaodong, FAN Xue, et al. A novel single-event-hardened charge pump using cascode vlotage switch logic gates [J]. Microelectronics Reliability, 2018, 91(10): 269-277.
- [13] REZAEIAN A, ARDESHIR G, MOHAMMAD T. A low-power and high-frequency phase frequency detector for a 3.33-GHz delay locked loop [J]. Circuits System Signal Process, 2020, 39(4): 1735-1750.
- [14] CHEN Zhuojunn, LIN Min, ZHENG Yunlong, et al. Single-event transient characterization of a radiation-tolerant charge-pump phase-locked loop fabricated in 130 nm PD-SOI technology [J]. IEEE Transactions on Nuclear Science, 2016, 63(4): 2402-2408.
- [15] ZHAO Wen, HE Chaohui, CHEN Wei. Single event double transients in inverter chains designed with different transistor widths [J]. IEEE Transactions on Nuclear Science, 2019, 66(7): 1491-1499.
- [16] ANDJELKOVIC M, LLIC A, STAMENKOVIC Z. An overview of the modeling and simulation of the single event transients at the circuit level [C]// Proceedings of the 30th International Conference on Microelectronics. Piscataway, NJ, USA: IEEE, 2017: 25-44.
- [17] RAMAMURTHY C, CHELLAPPA S, VASHISH-THA V, et al. High performance low power pulse-clocked TMR circuits for soft-error hardness [J]. IEEE Transactions on Nuclear Science, 2015, 62(6): 3040-3048.

[本刊相关文献链接]

尚鹏辉,张博,王鹏,等.电子辐照下接地方式及工作电压对聚醚酰亚胺内带电特性的影响[J].西安交通大学学报,2021,55(4):154-161.[doi:10.7652/xjtuxb202104017]

仲文远,李大海,张进华,等.可穿戴式干电极脑机接口系统设计[J].西安交通大学学报,2020,54(6):66-74.[doi:10.7652/xjtuxb202006009]

焦子豪,张瑞智,金锴,等.用于高速模数转换器的非对称全差分参考电压缓冲器[J].西安交通大学学报,2020,54(5):109-116.[doi:10.7652/xjtuxb202005015]

李强,曹继宏,王巧,等.卫星通信中的一种应答机空间操控方法.2020,54(2):150-157.[doi:10.7652/xjtuxb202002019]

张彦军,谢俊,薛涛,等.稳态视觉诱发电位脑机接口的现场可编程逻辑门阵列实现[J].西安交通大学学报,2020,54(2):158-165.[doi:10.7652/xjtuxb202002020]

李楠楠,黄正波,季惠才,等.用于高速模数转换器的电荷泵型低抖动时钟管理电路[J].西安交通大学学报,2020,54(1):162-168.[doi:10.7652/xjtuxb202001020]

田亚玲,李创社,张朝阳.高精度和高稳定性半导体激光器恒流驱动电源[J].西安交通大学学报,2019,53(3):1-5.[doi:10.7652/xjtuxb201903001]

陈阳,张瑞智,金锴,等.采用电荷平衡模数转换器的高精度CMOS温度传感器[J].西安交通大学学报,2018,52(10):124-131.[doi:10.7652/xjtuxb201810017]

张瑶,张鸿,李梁,等.时钟数据恢复电路中的线性相位插值器[J].西安交通大学学报,2016,50(2):48-54.[doi:10.7652/xjtuxb201602009]

刘婧,张海波.混合能量电子辐照聚醚酰亚胺的带电特性[J].西安交通大学学报,2014,48(8):1-6.[doi:10.7652/xjtuxb201408001]

(编辑 武红江)