

面向空间辐照环境的星载高速数字接口 芯片设计方法

邹家轩^{1,2}, 于宗光^{1,2}, 魏敬和², 陈珍海², 李鹏伟³

(1. 西安电子科技大学微电子学院, 710077, 西安; 2. 中国电子科技集团公司第五十八研究所, 214035, 江苏无锡; 3. 中国宇航元器件工程中心, 100094, 北京)

摘要: 针对空间应用的高速串行接口芯片易受单粒子辐照而出现误码的问题,提出了一种面向空间辐照环境的星载高速数字接口芯片设计方法。首先,针对空间辐照诱发单比特错误导致高速串行接口传输出错问题,计算辐照时的高速串行接口误码率最劣值;然后,通过误码率最劣值计算出辐照环境下高速串行接口无误码传输所需的增益;最后,采用叠加编码增益及辐照干扰的高速串行接口链路评价模型,计算出高速串行接口物理编码子层(PCS)中不同编码方式的编码增益,并评估编码增益对辐照降低高速串行接口误码率的补偿效果,根据补偿效果选择 RS-8B/10B 级联编码作为 PCS 编码。采用该高速数字接口芯片设计方法设计了一款速率为 3.125 Gb/s 的抗辐照高速串行接口芯片,其面积为 4.84 mm²,典型功耗为 207 mW。单粒子辐照试验结果表明,对比传统设计方法,新的设计方法将芯片的单比特错误阈值提升了 9 MeV·cm²/mg。

关键词: 单粒子辐照;抗辐照加固;高速串行接口;RS 编码;8B/10B 编码

中图分类号: TN43 **文献标志码:** A

DOI: 10.7652/xjtuxb202006008 **文章编号:** 0253-987X(2020)06-0058-08



OSID 码

A Design Approach of Satellite High-Speed Digital Interface Chips for Space Radiation Environment

ZOU Jiaxuan^{1,2}, YU Zongguang^{1,2}, WEI Jinghe², CHEN Zhenhai², LI Pengwei³

(1. School of Microelectronics, Xidian University, Xi'an 710077, China; 2. The 58th Research Institute, China Electronic Technology Group Corporation, Wuxi, Jiangsu 214000, China; 3. China Aerospace Components Engineering Center, Beijing 100094, China)

Abstract: A design approach for high-speed digital interface in satellite under space radiation is proposed to solve the problem that high-speed serial interface chips for space applications are susceptible to single-particle radiation. Firstly, the worst bit error rate (BER) of the high-speed serial interface is calculated over the issue of transmission error resulting in single bit error induced by space radiation. The gain required by zero-bit-error transmission in the radiation environment is deduced based on the worst BER; and then the coding gain for variable coding schemes in physical coding sub-layer (PCS) of the high-speed serial interface is inferred by using the link evaluation model featured with superposed coding gain and radiation interference. Meanwhile, the compensation effect of coding gain to BER degradation induced by radiation is evaluated, RS-8B/10B cascade coding is selected as the PCS coding according to the compensation effect. Finally, a 3.125-Gb/s radiation-hardened high-speed serial interface chip is designed using

this design approach, and the chip occupies 4.84 mm^2 chip area and consumes 207 mW typical power. Experimental results with single-particle radiation show that the single-bit error radiation threshold for the proposed design approach scheme is $9 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ higher than that for the traditional design approach scheme.

Keywords: single-particle radiation; radiation hardening; high-speed serial interface; RS codec; 8B/10B codec

高速串行接口通常也称为 SerDes 接口,已逐步取代传统并行接口而成为当前数字传输的主流接口技术^[1-2]。在空间应用中,SerDes 接口由于体积小优势,已成为星载计算机和通信设备间重要接口^[3-4]。然而,由于 SerDes 接口传输速度快,外层空间电离辐照在接口芯片内部产生的单粒子翻转(SEU)或单粒子瞬态(SET)效应很容易引起接口芯片的物理编码子层(PCS)模块及物理介质接入子层(PMA)模块出错,从而出现显著的误码,因此为了保证可靠性,星载设备必须采用经过抗辐照加固的高速接口芯片^[5-7]。

在判断辐照加固成效方面,高速 SerDes 接口等新一代的抗辐照高速元器件在轨翻转主要采用绘制饱和和翻转截面值的方法,拟合出器件的在轨翻转率。在轨翻转率可以评价器件在轨道空间中的翻转发生概率,但无法直接评价电路在空间中无错误传输的安全阈值。采用在轨翻转率曲线上首次发生传输错误事件的入射粒子能量作为辐照的单比特错误阈值(On SET),用来评价接口类电路能够保证的无错误传输的粒子线性能量转移(LET)阈值能量大小^[8-9]。

经典的低速数字接口芯片采用全局三模冗余(GTMR)及增大节点电容的设计加固方法牺牲了电路的工作速率^[10-11],因此不适合用于高速 SerDes 接口的设计加固。主要的 SerDes 加固方式包括工艺加固及编码部分三模冗余(TMR)设计加固,或者二者结合方法。文献[12]中的 SerDes 接口采用抗辐照加固的绝缘体上硅(SOI)工艺进行设计,其出现单比特错误的 LET 阈值约为 $2 \text{ MeV} \cdot \text{cm}^2/\text{mg}$,连续错误比特致复位的辐照阈值约为 $20 \text{ MeV} \cdot \text{cm}^2/\text{mg}$,单位器件饱和和翻转截面值约 10^{-5} cm^2 。文献[13]中的 SerDes 芯片采用抗辐照加固的体硅 CMOS 工艺,并对数字编码进行 TMR 设计加固,其单比特错误辐照阈值为 $1 \text{ MeV} \cdot \text{cm}^2/\text{mg}$,连续性错误辐照阈值为 $10 \text{ MeV} \cdot \text{cm}^2/\text{mg}$,单位器件饱和和翻转截面值约为 10^{-4} cm^2 。文献[14]中的高速串行接口采用外延工艺结合设计加固,发生发送和接收的单比特错误辐照阈值分别为 $1 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 和

$2 \text{ MeV} \cdot \text{cm}^2/\text{mg}$,单位器件饱和和翻转截面值约为 10^{-4} cm^2 ^[15]。前述文献说明,业界采用的高速 SerDes 的辐照加固方法中,工艺加固法效果明显,TMR 加固法对单比特错误辐照阈值的改善成效偏弱。

本文基于 SerDes 传输的链路评价模型,提出了一种通过辐照时误码率变化计算 SerDes 以维持正确传输所需增益大小的方法,并通过叠加了编码增益及辐照干扰的链路模型,分析了 SerDes 的 PCS 中不同编码方式对辐照导致传输误码的补偿效果,根据补偿效果提出了 RS-8B/10B 级联编码方案,并将该级连编码应用在一款用 $0.13 \mu\text{m}$ SOI CMOS 工艺设计的速率为 3.125 Gb/s 的抗辐照加固 SerDes 接口芯片中。试验结果表明,该设计加固方法能够显著提升该抗辐照接口芯片的单比特错误 LET 阈值。

1 SerDes 接口芯片的 PCS 编码增益分析

1.1 典型 SerDes 接口芯片结构

高速 SerDes 芯片通常由 PMA 层和 PCS 层组成,如图 1 所示。PMA 主要实现数据的串行化以及发送或接收功能,具体包括:并行数据的串行化及串行数据的解串行化、参考时钟的倍频、时钟数据恢复、串行数据低摆幅差分信号的发送和接收等^[16]。

PCS 子层主要实现并行数据的编码。传统的 PCS 编码大多采用了 8B/10B 编码,即将每 8 bit 为 1 组的并行数据按照一定的编码规则映射为 10 bit 一组的并行数据。8B/10B 编码的主要目的是实现编码后数据的直流平衡,避免串行化后的数据出现连续 5 个以上的“1”或“0”,从而保证 SerDes 接收端能够有效地实现时钟数据恢复^[16]。目前业界主要加固是对 PCS 编解码进行 TMR 设计加固,并未考虑改进 PCS 的编码方法。

1.2 经典 SerDes 接口信道评价模型

为了从理论上说明不同的 PCS 编码方案的抗辐照能力,引入 SerDes 链路的系统评价模型^[17],如

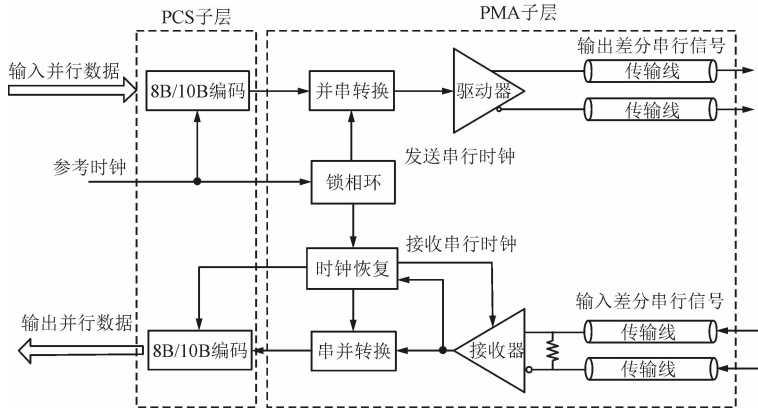
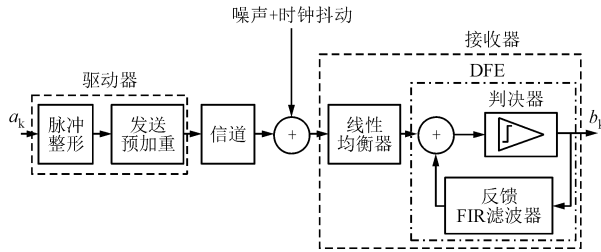


图1 典型 SerDes 接口芯片结构

图2所示。假定经过PCS处理并完成串行化后的输入信号 a_k 是不相关且均值为0的随机序列,首先经过一个脉冲整形滤波器,再经过一个预加重处理器。预加重也可以看作是一个有限冲激响应(FIR)滤波器。发送器与接收器之间的通信介质通常可用一个低通模型来代表,而发送器和接收器电路的噪声,空间辐照的干扰以及时钟抖动等非理想因素都建模为一个加性噪声。在接收机一侧,信号会经过不同形式的均衡处理,可以是线性均衡、判决反馈均衡(DFE)或是二者的结合,图2采用了线性均衡与DFE相结合的形式。

图2 经典 SerDes 的链路评价模型^[17]

根据文献[17],对图2中的各模块进行线性化建模,可以在行为级对不同的信号处理方式和均衡实现方式进行评估。文献[17]模型中,采用接收器在最佳采样点处获得信号的信噪比 R_{SN} 来评价链路性能

$$R_{SN} = d_{\min}^2 / \sigma^2 \quad (1)$$

式中: $d_{\min}$ 为接收器不同输出码值的最小电压差; σ^2 为接收器输出端的等效噪声功率。不同信号调制方式下, $d_{\min}$ 具有不同的值,对于非归零二进制(NRZ)码, $d_{\min} = V_{DD}$, V_{DD} 为电源电压。式(1)所示的 R_{SN} 可以轻易地映射为SerDes接口接收数据的误码率 P_{ber} ,表达式如下

$$P_{ber} \approx \frac{1}{2} \operatorname{erfc} \left(\frac{1}{2} \sqrt{\frac{R_{SN}}{2}} \right) \quad (2)$$

式中: $\operatorname{erfc}(\cdot)$ 代表互补误差函数。根据式(2)可以轻易得出:对于 10^{-12} 的误码率,需要在接收器输出端的信噪比为23 dB^[17]。

1.3 叠加编码增益及辐照干扰的接口链路评价模型

采用经典的SerDes的链路评价模型对辐照环境下的抗辐照SerDes的表现进行评价,存在两个问题:①无法评价辐照环境对高速SerDes的影响;②未考虑编码对辐照SerDes链路传输过程的影响。因此,本文在经典SerDes链路评价模型基础上引入了编码增益及单粒子干扰,如图3所示。因此,辐照条件下的误码率表达式改写为

$$P_{ber,SEE} \approx \frac{1}{2} \operatorname{erfc} \left(\frac{1}{2} \sqrt{\frac{R_{SN} G_{en} G_{SEE}}{2}} \right) \quad (3)$$

式中: R_{SN} 为接收机获得最佳采样的信噪比; G_{en} 为编码增益; G_{SEE} 为单粒子干扰对信噪比的衰减。

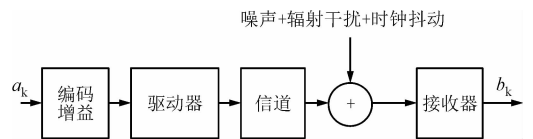


图3 叠加编码增益及辐照干扰的抗辐照 SerDes 的链路评价模型

由于直接表征单粒子辐照干扰造成信噪比衰减比较困难,因此本文通过单粒子造成的误码率升高来反映单粒子导致的信噪比降低。单粒子翻转试验时,总的粒子注入量要求 $C_{NT,SEE} = 10^7 \text{ cm}^{-2}$ ^[18],单个粒子造成的扰动时间 $t_{SEE} \approx 2 \text{ ns}$ ^[19]。每次粒子注入不发生多位同时翻转,且传输速率 $B_{RATE} = 3.125 \text{ Gb/s}$,则整个注入过程最大错误二进制码元数 $N_{SEE} = C_{NT,SEE} t_{SEE} B_{RATE} + 2 \approx 6.25 \times 10^7$ 。

对于传统只采用8B/10B作为PCS编码的抗辐照高速串行接口,它将8 bit的数据拆分成3 bit和5 bit两个分段,再分别进行3B/4B及5B/6B的线性

分组编码,并作极性编码换算,因此每个二进制码元错误,有可能导致3个8 bit的原始码错误。对于原始码的误码数 $N_{\text{SEE},8\text{B}} = N_{\text{SEE}} \times 24$ 。设原始码的误码率在无单粒子辐照环境能够达到 $P_{\text{ber},8\text{B}} = 10^{-12}$,则在单粒子翻转试验环境下只能到 $P_{\text{ber},\text{SEE}8\text{B}} = N_{\text{SEE},8\text{B}} P_{\text{ber},8\text{B}} \approx 2.2 \times 10^{-3}$ 。

根据文献[20],信道增益对串行接口输入误码率、输出误码率的影响关系可以表示如下

$$G_{\text{SEE}} = 20 \lg \left[\frac{\text{erfc}^{-1}(P_{\text{ber},\text{out}})}{\text{erfc}^{-1}(P_{\text{ber},\text{in}})} \right] \quad (4)$$

由上述分析可知, $P_{\text{ber},\text{in}} = P_{\text{ber},8\text{B}}$, 而 $P_{\text{ber},\text{out}} = P_{\text{ber},\text{SEE}8\text{B}}$, 所以由式(4)可以算得 $G_{\text{SEE}} \approx 8$ dB。即在单粒子辐照试验环境下,单粒子造成的干扰使得信噪比衰减了-8 dB。

考虑编码增益,由于8B/10B编码的本质是二进制线性分组码,其纠错能力 $r_{8\text{B}10\text{B}} = 0$ 。二进制线性分组码编码后的误码率可以表示为

$$P_{\text{ber},\text{out}} = \sum_{i=r+1}^n \frac{i}{n} C_{n-1}^i P_s^i (1-P_s)^{n-i} \quad (5)$$

式中: P_s 为误符号率; n 为码长; r 为编码可纠错的比特数。对于传统的8B/10B编码, $n=10, r=0$, 因此可由式(5)计算得 $P_{\text{ber},\text{out}} \approx P_s$ 。借鉴式(4),编码前的误码率可表示为 $P_{\text{ber},\text{in}} = P_s$, 因此可以根据式(4)计算得到编码增益 $G_{\text{en},8\text{B}10\text{B}} \approx 0$ dB。根据式(3),要达到 10^{-12} 的误码率,需要接收端的信噪比达到30 dB以上,显然是难以实现的。

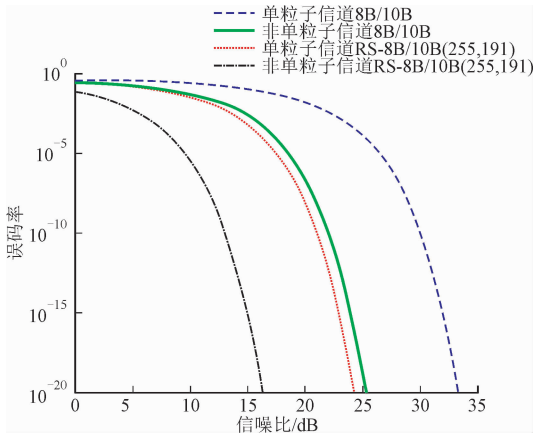


图4 RS(255,191)-8B/10B增益模型与经典非增益模型编码的误码率对比

通过改进的链路评价模型可知,通过增加编码增益 G_{en} ,可以抵消单粒子干扰带来的信噪比恶化 G_{SEE} 。由于8B/10B模型要求8 bit的输入,因此考虑采用RS(255, k)编码级联8B/10B组成RS-8B/10B(255, k)编码方案。由于8B/10B的编码增益为

0 dB,所以主要的编码增益由RS(255, k)提供,即 $G_{\text{en},\text{rs-8B}10\text{B}} \approx G_{\text{en},\text{rs}}$ 。RS(255, k)的纠错能力 $r_{\text{rs}} = (255 - k)/2$,属于非2进制线性分组码。根据式(5)可知,由于 $r_{\text{rs}} \geq 1$,所以编码后的误码率一定低于编码前的误码率。假设 $P_s = 3 \times 10^{-3}$,对于RS(255, 239),代入式(4)和式(5),可知编码增益 $G_{\text{en},\text{rs}} \approx 3$ dB。对于RS(255, 223),编码增益 $G_{\text{en},\text{rs}} \approx 6$ dB。对于RS(255, 191),编码增益 $G_{\text{en},\text{rs}} \approx 9$ dB。因此,采用RS(255, 191)的编码增益满足显著提高单比特错误阈值要求。

采用新的评价模型仿真对RS-8B/10B(255, 191)和8B/10B两种编码方案,在单粒子辐照及非单粒子辐照条件下,仿真得到的信噪比与误码率的曲线如图4所示。由图可见,采用RS-8B/10B(255, 191)编码方案后,即使单粒子环境造成了一8 dB的信噪比衰减,编码提供的增益依然可以保证整个接口的误码率约 10^{-12} 。

2 SerDes 接口芯片电路设计

2.1 PCS 编码器结构

本文SerDes接口芯片中PCS编码器的RS-8B/10级联编码如图5所示,将两路并行RS(255, 191)编码器通过多路选择器与两路8B/10B编码器连接实现,使输入数据可以选择性地经过RS-8B/10B级联编码,或仅经过8B/10B编码,便于在辐照试验下对比级联编码与仅采用8B/10B编码的效果。编码后的数据进入PMA驱动器转换为高速差分信号 V_{outP} 。

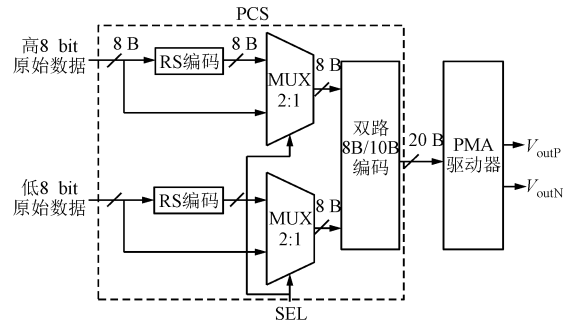


图5 级联PCS编码器结构

并行RS(255, 191)编码采用基于多项式的除法结构, $G(x)$ 的各个分量 $(g_0, g_1, \dots, g_{64})$ 通过查找表的方式固化在芯片内^[21]。RS编码器的具体实现方式如图6所示。

图6中, d_{in} 和 d_{out} 分别为RS编码器的输入和输出数据。RS编码器在编码开始的前191个周期,数

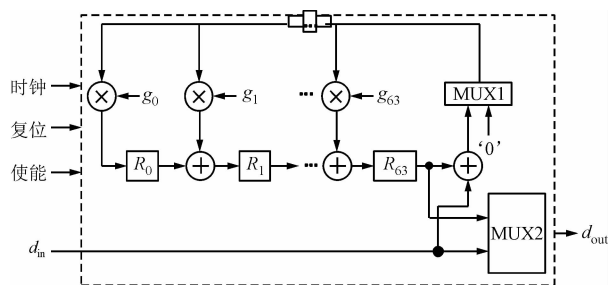


图6 RS(255,191)编码器结构示意图

据 d_{in} 一方面通过 MUX2 直接输出,另一方面则通过乘法器、加和移位操作不断更新 64 个校验寄存器的值。191 个数据输入完成后,MUX2 选择 R63 的输出作为输入,MUX1 则选择 '0' 作为输入。接下来的 64 个周期里,R63 不断更新数据,得到 64 B 的校验数据。经过 RS 编码后的 2 组 255 B 数据接着送入双路 8B/10B 编码器,按 8B/10B 编码的规则进行编码,最终获得 2 组并行 10 比特数据流。RS-8B/10B(255,191)级联编码不计校验位的净载荷效率频率为 0.6,单独 8B/10B 编码的净载荷效率效率为 0.8。整个级联编码器的工作频率为 156.25 MHz,输出并行的 20 B 编码后数据。经过编码后的 20 B 并行数据由 PMA 驱动器转换成差分串行信号 (V_{outP}/V_{outN}),传输速率为 3.125 Gb/s。采用 RS-8B/10B 编码时的有效载荷码速率 1.875 Gb/s,未采用级联编码的有效载荷码速率 2.5 Gb/s。

2.2 PCS 解码器结构

在接收器一端,数据的处理方式和流向与发送器相反。图 7 给出了接收器一侧的 PCS 级联解码器结构,其中 PMA 接收器对差分输入的高速串行信号 V_{inP} 和 V_{inN} 进行均衡处理以补偿信道引起的损耗,之后再通过时钟数据恢复得到同步时钟,并完成数据的串并转换,恢复出 20 bit 的并行数据。

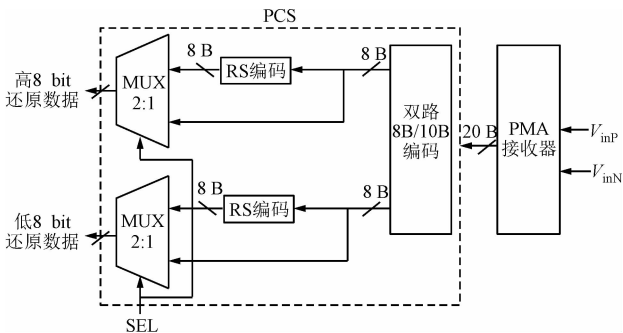


图7 级联 PCS 解码器结构

数据首先经过双路 8B/10B 解码,得到两组 8 位的并行数据。在发送端数据采用了 RS 编码的情况下,接收端进行逆向的 RS 解码,并完成可能的纠

错。RS 解码器采用 iBM (inversionless Berlekamp-Massey) 算法,解码器中的主要模块为 RS(255,191)译码器,它实现伴随式计算、关键方程求解以及钱搜索 3 大功能^[22]。解码器如图 8 所示,为并行流水结构,输入 d_{in} 为 255 B 数据流,包含 191 B 原始数据以及 64 B 的校验码数据,译码之后的输出 d_{out} 也为 255 B 数据,若传输过程无错发生,或错误字节数量小于或等于可纠正的最大错误字节数,则译码器发出译码正确指示,并输出纠错后的 255 B 正确数据。若错误字节数超过允许的最大值,则译码器发出译码失败指示信号。

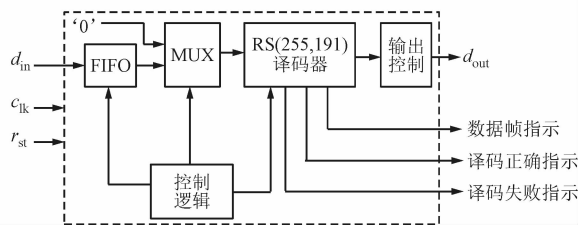


图8 RS 解码器结构示意图

2.3 PMA 模块主要电路结构

发送端一侧的 PMA 子层主要实现并行信号的串并及串并转换和传输线驱动接收。为了实现辐照环境下高速传输,本文在发送端采用的密勒补偿的互补电流源差分驱动器(CCMD)^[23]。PMA 子层的均衡采用了线性均衡器,通过源极负反馈差动对级联来实现信号的均衡。均衡后的信号经过相位插值型的时钟数据恢复电路提取出串并转换和解码所需的时钟信号^[24]。接收电路和发送电路的时钟产生依赖于一个锁相环电路,为抑制辐照下器件特性变化,采用了带有自适应快速锁定的自偏置锁相环结构^[25],跟随器件阈值变化自适应地调节电荷泵的偏置电流,使锁相环能够较好地抑制辐照导致器件特性变化。

3 测试结果

本文级联编码加固的 SerDes 接口芯片采用 0.13 μm SOI CMOS 工艺设计,电路中所有器件都用工艺中的 3.3 V 高阈值器件,以保证电路能够在 3.3 电源下工作。芯片的显微照片如图 9 所示,试验电路尺寸为 2.2 mm $\times$ 2.2 mm,全电路功耗约 200 mW。

为了评估本文抗辐照 SerDes 芯片的性能,用 5.6 m 长的同轴电缆连接 2 颗芯片搭建了测试系统。在 3.125 Gb/s 的通信速率、无辐照条件下分别

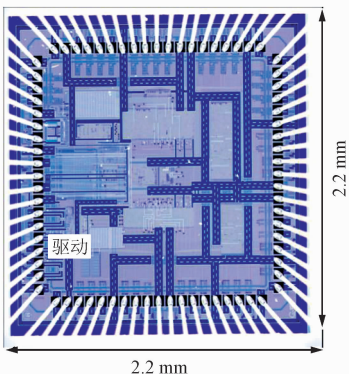


图 9 抗辐照 SerDes 芯片照片

测试了采用 8B/10B 编解码或采用 RS-8B/10B (255,191)级联编码眼图(CCMD 接口)的芯片,如图 10 所示,因为两种模式下的 PMA 电路是相同的,因此两种编码模式在常规工作条件下的眼图无实质性差别。

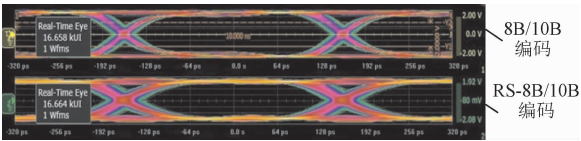


图 10 芯片采用 8B/10B 编码和 RS-8B/10B 级联编码时的眼图测试结果

为了验证本文级联编码的抗干扰能力,在常规条件下通过仪器引入周期性正弦抖动,测试芯片在误码率为 10^{-12} 条件下的抖动容限。

图 11 给出了两种编码方式下注入抖动信号频率与抖动容限(T_j)的关系。图 11 结果显示:若仅采用 8B/10B 编码,注入频率分别为 100 kHz、500 kHz、1 MHz~10 MHz 时,测试抖动容限(T_j)分别为 $3.1T_{UI}$ 、 $0.98T_{UI}$ 和 $0.4T_{UI}$ (T_{UI} 为通信速率的倒数,即单比特数据时长);采用本文提出的 RS-8B/10B(255,191)级联编码,注入频率为 100 kHz、500

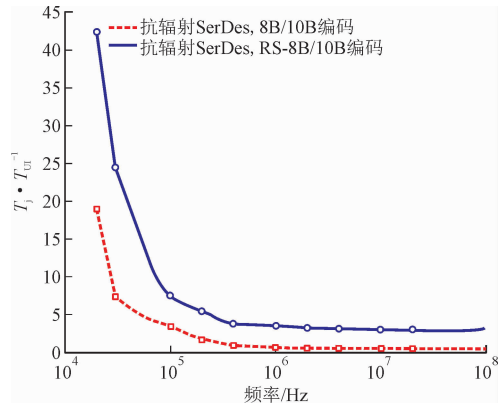


图 11 10^{-12} 误码率条件下抗辐射 SerDes 芯片采用两种编码方式的抖动容限与注入频率的关系

kHz、1 MHz~10MH 时,测试抖动容限分别为 $7.8T_{UI}$ 、 $3.79T_{UI}$ 和 $3.5T_{UI}$ 。以上结果说明,RS-8B/10B(255,191)级联编码提高了 G_{EN} ,增大了 SerDes 的抗抖动容限。

为测试芯片抗空间粒子辐照能力,对本文的 SerDes 芯片及辐照试验系统在北京串行加速器核物理国家重点实验室分别采用 F 粒子、CL 粒子、Ti 粒子、Ga 粒子、Ge 粒子、I 粒子在垂直射入条件下进行了单粒子诱发电离干扰试验;在兰州重离子加速器国家试验室采用 Bi 粒子,也进行了相同试验。

以辐照试验系统检测到的试验电路受到不同能量粒子束照射时发生的传输错误数作为基点,拟合绘制了单粒子翻转错误的截面值和粒子 LET 阈值关系的曲线,如图 12 所示。将首次观察到单粒子翻转导致的传输错误事件作为单比特错误 LET 阈值,用来评价电路无错误传输能够忍受的粒子 LET 能量大小。试验结果显示,在 $20 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 能量以下单粒子对该抗辐照 SerDes 电路造成的干扰以单比特错误为主,级联 RS-8B/10B(255,191)编码增益补偿了单粒子翻转错误导致的信噪比损失。随着入射粒子能量的增加,对于 $37 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 以上的高能粒子,错误数显著增加。主要是由于更高能量的粒子造成了较多的多比特连续错误,因此使用 RS-8B/10B(255,191)及使用 8B/10B 两种情况的翻转截面值随着辐照能量的增长逐渐趋于一致。

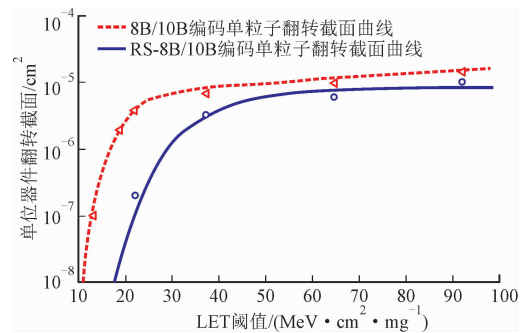


图 12 单粒子辐照条件下单比特错误测试结果

将本文抗辐照 SerDes 芯片的性能与相关文献进行了对比,结果如表 1 所示。由表 1 可见:文献[13]及文献[15]采用的体硅 CMOS 工艺,由于工艺差异,加固效果都远低于采用 SOI 工艺加固的文献[12]和文献[9]方法;文献[12]采用 SOI 工艺,因其内核器件特征尺寸为 45 nm 且器件电压阈值为 1.0 V,比本文采用 SOI 工艺的 130 nm 的 3.3 V 器件特征尺寸要小、电压阈值要低,也未采用级联编码加固,因此更容易受到低能量的粒子导致发生单比特

表 1 抗单粒子致电离干扰高速 SerDes 接口芯片性能对比

文献	工艺尺寸	接口传 输速率 /(Gb· s ⁻¹)	加固方式	单比特错误 LET 阈值 /(MeV· cm ² ·mg ⁻¹)	连续错误 LET 阈值 /(MeV· cm ² ·mg ⁻¹)	单位器件 饱和翻转 截面 /cm ²	芯片 面积 /mm ²	芯片 功耗 /mW
[13]	65 nm Bulk CMOS	3.125	PCS TMR 加固 Bulk CMOS 工艺加固	1	10	10 ⁻⁴	0.08	120
[15]	250 nm Bulk CMOS	2.5	Bulk CMOS 工艺加固	1		10 ⁻⁴	7	400
[12]	45 nm SOI CMOS	3.125	SOI 工艺加固+PMA 加固	2	20	10 ⁻⁵	0.16	
[9]	150 nm SOI CMOS	3.125	SOI 工艺加固+PMA 加固	15	37	10 ⁻⁶		160
			SOI 工艺加固+PMA 加固	12.9	21.9	10 ⁻⁵	3	151
本文	130 nm SOI CMOS	3.125	SOI 工艺加固+PMA 加固+ 级联编码加固	21.9	21.9	7.2×10 ⁻⁶	4	207

错误;文献[9]与本文采用工艺相近,由于国内外辐照加固工艺技术的差距,不采用级联编码加固时,文献[9]的单比特错误 LET 阈值及连续错误 LET 阈值都优于本文;采用级联编码加固后,本文的单比特错误 LET 阈值优于文献[9],连续错误 LET 阈值低于文献[9],说明级联编码可显著抑制较低粒子能量导致的单比特错误,但由于工艺加固的差距更高能量粒子造成的连续错误改善有限,在饱和翻转截面方面仍与文献[9]存在差距。对比同类文献,本文在功耗和面积方面付出了较大的设计代价,但对于星载应用,相关代价可以承受。在地球中低轨道,高能粒子分布通量主要在 15 MeV·cm²/mg 以下。本文的 RS-8B/10B 级联编码加固方法可显著改善近地轨道的粒子能量导致的错误,以保证 SerDes 接口芯片在中低轨道星载设备上的可靠工作。

4 结 论

本文针对空间应用的 SerDes 芯片的抗单粒子辐照的需求,改进了 SerDes 链路评价模型,提出了基于信噪比与衰减的辐照 SerDes 链路评价模型。通过该模型,分析了编码增益对 SerDes 链路在辐照环境下的信噪比的补偿,并选择 RS-8B/10B(255, 191)作为抗辐照 SerDes 芯片的 PCS 编码方案,并将其编码应用于一款 0.13 μm SOI CMOS 工艺的速率为 3.125 Gb/s 的抗辐照 SerDes 接口芯片中。试验结果表明,采用本文加固设计方法设计的电路能够有效纠正能量在 21.9 MeV·cm²/mg 以下的单粒子辐照引起的误码,从而保证接口芯片在中低轨道星载设备中的可靠工作。

参考文献:

[1] SAXENA S, SHU G, NANDWANA R K, et al. A 2.8 mW/Gb/s, 14 Gb/s serial link transceiver [J]. IEEE Journal of Solid-State Circuits, 2017, 52(5): 1399-1411.

[2] ROMESH K N, SAURABH S, AHMED E, et al. 3-to-10 Gb/s 5.75 pJ/b transceiver with flexible clocking in 65 nm CMOS [C]// 2017 IEEE International Solid-State Circuits Conference. Piscataway, NJ, USA: IEEE, 2017: 491-493.

[3] VARSHA H S, GAURAV U, SHASHIKALA K P. Design and implementation of an optical transceiver card for Intra-satellite communication [EB/OL]. [2019-09-07]. <https://www.globalscientificjournal.com/researchpaper/design-and-implementation-of-an-optical-transceiver-card-for-intra-satellite-communication.pdf>.

[4] MARSHALL J, FERGUSON J, MATTHES R, et al. Transitioning model based systems engineering to onboard spacecraft electronics [C] // Proceedings of 2017 IEEE Aerospace Conference. Piscataway, NJ, USA: IEEE, 2017: 7943873.

[5] BRUNDU D, CADEDDU S, CARDINI A, et al. Radiation hardness test of the UMC 130 nm nSYNC ASIC with a 60 MeV proton beam and X-rays [C]// Proceedings of 2018 IEEE Nuclear Science Symposium and Medical Imaging Conference. Piscataway, NJ, USA: IEEE, 2018: 8824458.

[6] WHITAKER S R, MILES LH, GAMBLES J W, et al. Radiation tolerance techniques for a 1.6 Gb/s, 8 K and 4 K low-density parity-check encoder [J]. IEEE Journal of Solid-State Circuits, 2009, 44(6): 1776-

- 1784.
- [7] 王连国, 朱岩, 沈卫华, 等. 暗物质粒子探测卫星的集中式载荷管理系统 [J]. 空间科学学报, 2018, 38(4): 567-574
- WANG Lianguo, ZHU Yan, SHEN Weihua, et al. Centralized payload management system for dark matter particle explorer satellite [J]. Chinese Journal of Space Science, 2018, 44(6): 1776-1784.
- [8] RICKARD D, HUTCHESON D, SANTEE S, et al. On-board networks with radiation-hardened 45 nm SOI standard components [C]// Proceedings of 2015 IEEE Aerospace Conference. Piscataway, NJ, USA: IEEE, 2015: 7119241.
- [9] ROOSEVELT G, ROPER W, ROMANKO T. Optimizing high speed serial communication using Honeywell Rad Hard SerDes [C]// Proceedings of 2011 NASA/ESA Conference on Adaptive Hardware and Systems. Piscataway, NJ, USA: IEEE, 2011: 215-219.
- [10] STERNBERG A L, MASSENGILL L W, BUCHNER S, et al. The role of parasitic elements in the single-event transient response of linear circuits [J]. IEEE Transactions on Nuclear Science, 2002, 49(6): 3115-3120.
- [11] KOGA R, PENZIN S H, CRAWFORD K B, et al. Single event upset sensitivity dependence of linear integrated circuits on bias conditions [J]. IEEE Transactions on Nuclear Science, 1997, 44(6): 2325-2332.
- [12] KELLY A T, RODGERS J C, JOHNSON S, et al. Single event effects characterization of BAE systems RADNET™ 1848-PS RapidIO® packet switch [C]// Proceedings of 2017 IEEE Radiation Effects Data Workshop. Piscataway, NJ, USA: IEEE, 2017: 8115484.
- [13] REZZAK N, WANG J J, DSILVAD, et al. TID and SEE characterization of microsemi's 4th generation radiation tolerant RTG4 flash-based FPGA [C]// Proceedings of 2015 IEEE Radiation Effects Data Workshop. Piscataway, NJ, USA: IEEE, 2015: 7336739.
- [14] KOGA R. Single event effects and total dose test results for TI TLK2711 transceiver [C]// Proceedings of 2008 IEEE Radiation Effects Data Workshop. Piscataway, NJ, USA: IEEE, 2008: 69-75.
- [15] National Aeronautics and Space Administration. Heavy ion test results of the Texas Instruments TLK2711-SP transceiver [EB/OL]. [2019-10-17]. https://radhome.gsfc.nasa.gov/radhome/papers/LBNL051812_TLK2711.pdf
- [16] ZHONG C, LIU C, ZHONG F. 25 Gbit/s SerDes [EB/OL]. [2019-10-17]. http://www.ieee802.org/3/hssg/public/mar07/zhong_01_0307.pdf.
- [17] CAROSELLI J, LIU C. An analytic system model for high speed interconnects and its application to the specification of signaling and equalization architectures for 10 Gbps backplane communication [C]// Proceedings of International Engineering Consortium. Red hook, NY, USA: International Engineering Consortium, 2006: 1464-1484.
- [18] 国防科学技术委员会. 宇航半导体元器件重离子单粒子效应指南: QJ10005-2008 [S]. 北京: 航天标准化研究所, 2008: 7-8.
- [19] FERLET-CAVROIS V, PAILLET P, GAILLARDIN, et al. Statistical analysis of the charge collected in SOI and bulk devices under heavy ion and proton irradiation: implications for digital SETs [J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3242-3252.
- [20] 曹雪虹. 信息论与编码 [M]. 北京: 清华大学出版社, 2009: 88-91.
- [21] 刘欣欣. 高速 RS-BCH 级联码编码器的 VLSI 设计 [D]. 南京: 东南大学, 2014: 9-10.
- [22] 胡岩, 张为, 王令宇. 新型混合信道模型下的 Reed-Solomon 码融合硬判决译码算法研究 [J]. 南开大学学报(自然科学版), 2019, 52(5): 38-41, 48.
- [22] HU Yan, ZHANG Wei, WANG Lingyu. Novel Reed-Solomon hard-decision decoding algorithm study based on new hybrid channel model [J]. Acta Scientiarum Naturalium Universitatis Nankaiensis, 2019, 52(5): 38-41, 48.
- [23] 邹家轩, 于宗光, 曹晓斌, 等. 一种抗电离干扰的高速串行驱动器 [J]. 半导体技术, 2019, 44(8): 600-605.
- ZOU Jiaxuan, YU Zongguang, CAO Xiaobin, et al. A anti-ionization high speed SerDes driver [J]. Semiconductor Technology, 2019, 44(8): 600-605.
- [24] WANG Peng, ZHENG Xuqiang, WANG Ziqiang, et al. A 40 Gbps quarter rate CDR using CMOS-style signal alignment strategy in 65 nm CMOS [C]// Proceedings of 2014 IEEE International Conference on Electron Devices and Solid-State Circuits. Piscataway, NJ, USA: IEEE, 2014: 7061137.
- [25] ZHANG Hong, DU Xin, ZHANG Yao, et al. A low-jitter third-order self-biased PLL with adaptive fast-locking scheme for SerDes interfaces [J]. Analog Integr Circuits Signal Process, 2015, 85(2): 331-321.

(编辑 刘杨)