

DOI: 10.7652/xjtuxb201712003

一种低功耗低成本测试图形的生成方法

王 烨, 梁 峰, 闫 丹, 雷 绍 充
(西安交通大学微电子学院, 710049, 西安)

摘要: 针对半导体器件特征尺寸小、集成电路集成度和复杂度高导致的芯片测试功耗高、面积开销和测试数据量大等问题,提出了一种带广播结构的低功耗低成本内建自测试的测试图形生成方法,给出了硬件实现方式和测试方案。首先,该方法通过一个异或网络将线性反馈移位寄存器(LFSR)结构和 Johnson 计数器相结合,产生具有多维单输入跳变(MSIC)特性的测试向量;然后,通过复用测试生成结构,广播电路将测试向量扩展为能够填充更多扫描链的基于广播的多维单输入跳变(BMSIC)测试图形,从而减小了测试图形生成电路的面积开销;最后,以 ISCAS'89 系列中较大的 5 款电路为对象实验,结果表明,与 MSIC 测试生成电路相比,BMSIC 测试图形生成方法可在确保低功耗高故障覆盖率基础上,减小 50%左右的电路面积开销。

关键词: 测试图形生成;内建自测试;广播电路;低功耗;低成本;高故障覆盖率

中图分类号: TN407 **文献标志码:** A **文章编号:** 0253-987X(2017)12-0014-08

A Generation Method for Test Patterns with Low Power and Low Cost

WANG Ye, LIANG Feng, YAN Dan, LEI Shaochong
(School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: A test generation method with broadcast for built-in self-test (BIST) is proposed to solve problems of power consumption, hardware overhead and large test data volume in chip testing. The hardware implementation and test scheme of the method are given. Multiple single-input change (MSIC) sequences are generated by an XOR network that combines a linear feedback shift register (LFSR) structure with a Johnson counter. Then, the broadcast circuit expands the MSIC sequences to broadcast-based multiple single input change (BMSIC) test patterns that are able to fill more scan chains, so that the hardware overhead of the test pattern generation circuit is reduced. Simulation results with ISCAS'89 benchmarks and a comparison with the MSIC test pattern generation circuit shows that the proposed BMSIC test method reduces the circuit hardware overhead about 50% with ensuring of low power consumption and high fault coverage.

Keywords: test pattern; built-in self-test; broadcast circuit; low power consumption; low hardware overhead; high fault coverage

芯片测试是保证成品芯片正确性和可靠性的重要手段。芯片在测试过程中,其测试功耗是正常工作功耗的 2~4 倍^[1],会导致晶体管温度升高,可能使器件在测试期间被烧坏,从而引入非制造和设

收稿日期: 2017-03-30。 作者简介: 王烨(1992—),女,硕士生;雷绍充(通信作者),男,教授,博士生导师。 基金项目: 国家自然科学基金资助项目(61474093)。

网络出版时间: 2017-09-16 网络出版地址: <http://www.cnki.net/kcms/detail/61.1069.T.20170916.1903.006.html>

计导致的故障,降低产品良率。因此,需要寻找一种能兼顾低成本、低功耗的测试图形生成方法。

内建自测试(BIST)方法从根本上解决了自动测试仪测试数据量的存储问题,降低了测试成本,然而,传统的 BIST 技术多是基于线性反馈移位寄存器(LFSR)所生成的伪随机测试图形,在测试期间会产生较大测试功耗。对此,国内外展开了广泛研究。Wang 等人提出了使用 2 个速度不同的 LFSR(一个由慢时钟驱动,一个由正常时钟驱动)来降低电路开关活动性并保证较高故障覆盖率的方法^[2];詹文法等人提出了一种可寻找和排序测试图形的双树扫描结构测试生成方法^[3]。Lin 等人设计了一种具有自动调节能力的移位功耗低的随机测试图形生成器,提出了通过测试响应信息来动态调节相邻测试图形之间位相关性的技术^[4],该方法虽能实现低功耗,但故障覆盖率不是特别理想。对此,文献[5]提出一种将伪随机序列和低跳变序列相结合生成多维单输入跳变(multiple single-input change, MSIC)测试图形的方法,该方法能同时兼顾高故障覆盖率和低功耗。然而,这些低功耗技术和提高故障覆盖率技术的引入使得测试图形生成电路的面积开销增大,导致整个 BIST 结构面积过大,已成为新的瓶颈。

基于上述现状,本文在兼顾低功耗和较为满意故障覆盖率基础上,以减少面积开销为目标,对之前本课题组提出的 MSIC 测试生成方法^[4]进行改进,提出了一种基于广播的多维单输入跳变(broadcast-based multiple single input change, BMSIC)的测试图形生成方法。该广播器^[6]通过复用测试生成结构,以实现将一位测试数据扩展成多位测试数据。通过实验仿真统计了 BMSIC 测试图形的故障覆盖率,利用加权转换量(WTM)模型^[7]评估了其功耗特性,最终通过面积开销评估验证了 BMSIC 测试图形生成结构面积开销小的优良特性。

1 BMSIC 测试生成

1.1 BMSIC 测试生成方法

BMSIC 测试图形生成电路包含时钟控制模块、原始扫描链生成模块、广播模块,如图 1 所示,其中 A 区域为时钟控制模块,产生控制原始扫描链生成的时钟;B 区域为原始扫描链生成模块,生成具有低跳变性的原始扫描链数据;C 区域为广播模块,完成所有原始扫描链向量的广播,产生最终测试图形。

设经全扫描设计的被测电路在广播前扫描链条数为 m ,每条扫描链有 l 个扫描单元,广播后扫描链

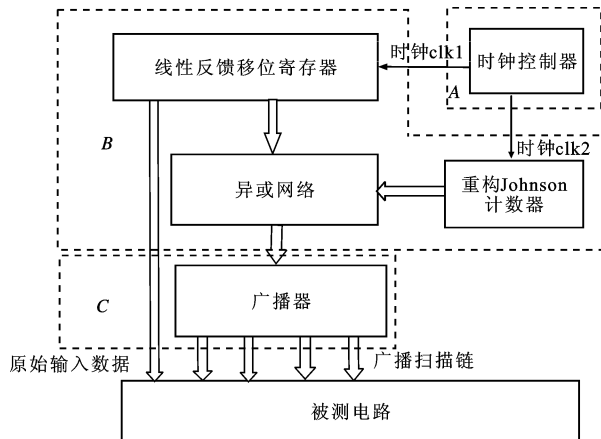


图 1 测试图形生成电路

条数为 M , LFSR 生成的种子向量 S 位数为 m , 重构 Johnson 计数器生成的 J 向量位数为 L 。

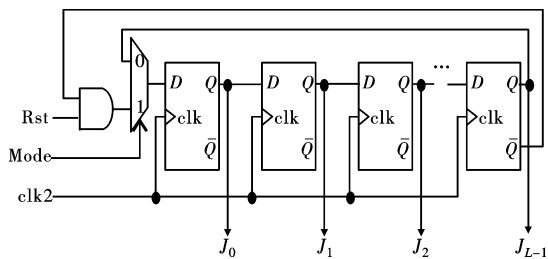
通过大量数学分析和实验,得出一种把 J 向量位数 L 配置成 l 的优化配置 BMSIC 测试生成器方案,这种方案简称为测试约定约束。因测试图形生成算法限制, J 向量位数 L 必须满足 $L \geq m$,此限制简称为测试生成约束,相比于测试约定约束,该约束必须满足,而测试约定约束是在满足测试生成约束前提下对所研究测试图形生成器进行的一种可选优化配置。显然,当 $l \geq m$ 时,两种约束同时满足,此时配置 $L = l$ 以实现最优配置。当 $l < m$ 时,只需满足测试生成约束 $L \geq m$ 即可(本文配置 $L = m$)。根据上述约定和所研究测试图形广播关系有 $M = 4m$ 、种子向量 m 位、Johnson 向量 L 位($L = l$),后续内容以此为前提。本文将种子向量和 Johnson 向量位数分别相等称为同等扫描配置。

1.2 LFSR 与 Johnson 计数器

LFSR 与 Johnson 计数器是生成 BMSIC 测试图形的重要模块。文献[8]中 LFSR 可生成伪随机序列,序列的状态数与 LFSR 中的反馈方式有关, m 位的 LFSR 最多可以生成 $2^m - 1$ 个不同状态的序列,称为最大长度序列也称 M 序列,经证明基于本原多项式反馈方式连接的 LFSR 可以生成 M 序列。利用 M 序列有着周期长且随机性接近于随机序列的特点,本文中 BMSIC 测试图形采用 M 序列作为种子向量 S ,其中 LFSR 均指基于本原多项式连接可生成 M 序列的 LFSR。

由于测试向量相邻位间转换次数与测试功耗呈正相关^[7],而 Johnson 计数器可生成不论是相邻向量间还是同一向量相邻位间均具有低跳变特性的 Johnson 向量,因此 BMSIC 测试图形生成方法引入

了 Johnson 计数器。本文根据图形生成算法对 Johnson 计数器进行重构,既解决了单纯 Johnson 计数器无法完成数据移位加载过程的问题,又不改变其低功耗特性,重构 Johnson 计数器结构如图 2 所示。图 2 中,Mode 为模式选择端,当 Mode 为逻辑 1 时,处于计数模式,当 Mode 端口输入信号为逻辑 0 时,处于循环移位模式。实际参与生成每条扫描链数据的是 L 位 Johnson 向量经循环移位后获得的 L 个编码向量 J ,即 L 个 J 向量,经证明, J 向量具有低跳变的特性,可满足低功耗需求。



Rst:复位信号;D:触发器输入端口;Q、 $\bar{Q}$:触发器输出端口

图 2 L 位重构 Johnson 计数器

1.3 异或网络

异或网络是将 LFSR 生成的种子向量和重构 Johnson 计数器产生的 J 向量按位异或运算生成原始扫描链向量,LFSR 产生 m 位的种子向量,表示为 $S=[S_0, S_1, S_2, \dots, S_{m-1}]$,重构 Johnson 计数器产生 L 位的 J 向量,表示为 $J=[J_0, J_1, J_2, \dots, J_{L-1}]$, J 和种子向量 S 按位异或结果为 $X=[X_1, X_{L+1}, X_{2L+1}, \dots, X_{(m-1)L+1}]$ 。具体异或原理如图 3 所示。

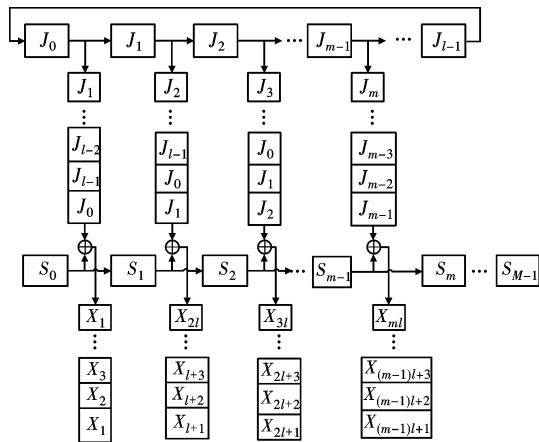


图 3 异或网络原理

1.4 广播器

广播器^[8]可扩展 MSIC 测试图形生成电路^[4]产生的测试图形,以填充更大数量的扫描链结构。为适应 BIST 方案的要求,设计了 2 条链扩展为 8 条

链的 XOR 广播器结构,如图 4 所示。该结构包括 XOR 门网络和广播控制器。图 3 所示异或网络模块的输出 X 将分别作为原始扫描链向量 C_1, C_2 被移入广播电路, $C_{11}, C_{12}, C_{13}, C_{14}, C_{21}, C_{22}, C_{23}, C_{24}$ 表示将被分布到扫描链的测试向量。广播控制器用于产生广播向量 $B=(B_0, B_1)$ 以控制广播网络,以减小扩展后内部扫描链信号之间的相关性。在本文中,广播控制器由 2 位 LFSR 实现,2 位 LFSR 在一个完整的测试图形生成过程中加载一次。

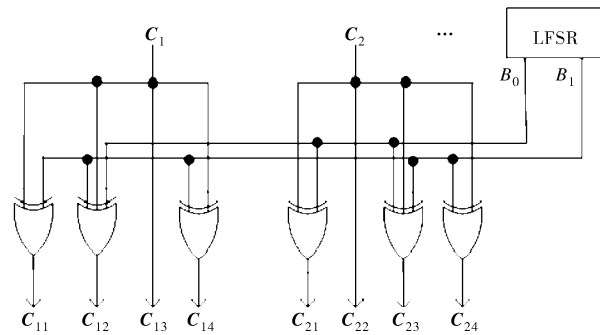


图 4 XOR 广播器结构^[8]

1.5 电路工作方式

(1)时钟控制模块(见图 1),产生时钟 clk1 和 clk2。clk1 驱动 LFSR 完成种子向量更新,clk2 驱动重构 Johnson 计数器完成 J 向量更新,并实现扫描移入。

(2)原始扫描链生成模块(见图 1),由 LFSR、重构 Johnson 计数器和异或网络构成。LFSR 生成 S 向量,重构 Johnson 计数器生成 J 向量,异或网络完成 S 向量和 J 向量的异或以生成原始扫描链数据。

(3)广播模块(见图 1),对原始扫描链广播扩展。具体广播电路如图 4 所示,其中 C_1, C_2 为原始扫描链数据, $C_{11}, C_{12}, C_{13}, C_{14}$ 和 $C_{21}, C_{22}, C_{23}, C_{24}$ 分别为由 C_1 和 C_2 与广播向量 B 异或生成的施加给被测电路的最终扫描链。具体广播过程:①每条原始扫描链的初始位和广播向量异或生成 4 条将施加给被测电路扫描链的初始位;②经 l 个时钟周期,每条完整原始扫描链被扩展成 4 条完整最终扫描链;③待广播电路生成一个完整测试图形,广播控制器更新一次广播向量;④重复步骤①~③直至完成所有图形的原始扫描链的广播。由广播过程知,若实际需给被测电路加载 M 条扫描链,则原始扫描链生成模块只需生成 $M/4$ 条扫描链即可,扫描链长度 l 保持不变,从而降低了对生成种子向量的 LFSR 级数和生成 J 向量的重构 Johnson 计数器级数的要求,减少了硬件面积开销。

1.6 测试方案

上述各模块按照图 1 所示的关系连接,构成了带广播的基于伪随机序列和低跳变序列的测试图形生成架构,具体测试步骤如下:①时钟控制模块产生两个时钟 clk1 和 clk2,其中 clk1 的周期是 clk2 周期的 $2L \times L$ 倍,即 $2L^2$ 倍;②clk1 运行一个时钟周期,驱动一次 LFSR,更新一次 $\mathbf{S}$ 向量;③重构 Johnson 计数器进入计数模式,clk2 运行一个时钟周期,驱动 Johnson 计数器生成一个 $\mathbf{J}$ 向量;④待产生一个 $\mathbf{J}$ 向量后, $\mathbf{J}$ 向量与 $\mathbf{S}$ 向量按位异或,生成每条原始扫描链的初始位;⑤每条原始扫描链的初始位经广播电路后生成 4 条广播扫描链的初始位;⑥重构 Johnson 计数器进入循环移位模式,clk2 经过 l 个时钟周期获得一个完整的测试图形;⑦重复步骤③~⑥,直至重构 Johnson 计数器的计数满 $2L$ 次;⑧clk1 跳变,重复步骤②~⑦,直至满足被测电路的故障覆盖率或达到测试长度上限。

2 BMSIC 序列特征分析

2.1 周期性

由于种子向量、广播向量和广播前原始扫描链向量均有周期性,且异或运算属于线性运算,因此推测所研究测试图形 BMSIC 也具有周期性特点。对测试图形进行数学分析,设种子向量 $\mathbf{S} = [S_0, S_1, S_2, \dots, S_{m-1}]$,计数器向量 $\mathbf{J} = [J_0, J_1, J_2, \dots, J_{L-1}]$,广播向量 $\mathbf{B} = [B_0, B_1]$,则 t 时刻 $\mathbf{S}$ 、 $\mathbf{J}$ 、 $\mathbf{B}$ 可分别表示为

$$\left. \begin{aligned} \mathbf{S}(t, x) &= S_0(t)x^0 + S_1(t)x^1 + \dots + S_{m-1}(t)x^{m-1} \\ \mathbf{J}(t, x) &= J_0(t)x^0 + J_1(t)x^1 + \dots + J_{L-1}(t)x^{L-1} \\ \mathbf{B}(t, x) &= B_0(t)x^0 + B_1(t)x^1 \end{aligned} \right\} \quad (1)$$

根据生成算法,原始输入端测试向量 $\mathbf{V}_{in}(t, x)$ 由种子向量的 $\mathbf{S}(t, x)$ 部分位或者所有位或者是种子向量的复用所构成,可表示为

$$\begin{aligned} \mathbf{V}_{in}(t, x) &= S_0(t)x^0 + S_1(t)x^1 + \dots + \\ &S_{m-1}(t)x^{m-1} + S_0(t)x^m + S_1(t)x^{m+1} + \dots + \\ &S_{m-1}(t)x^{2m-1} + \dots + S_h(t)x^{N-1} \end{aligned} \quad (2)$$

式中: $1 \leq h \leq m$, 且 h 属于整数,具体数值取决于原始输入个数 N 和种子向量位数 m 。同时,第 k 条原始扫描链向量可表示为

$$\mathbf{C}_k(t, x) = \left\{ \sum_{i=0}^{L-1} S_{k-1}(t)x^i \oplus \mathbf{J}_k(t, x) \right\} x^{N+(k-1)L} \quad (3)$$

式中:向量 $\mathbf{J}_k(t, x)$ 表示施加在第 k 条扫描链上的 $\mathbf{J}$

向量,且 $1 \leq k \leq m$ 。

设图 4 所示广播器的两个广播前原始扫描链向量 $\mathbf{C}_1$ 、 $\mathbf{C}_2$ 表示为 $\mathbf{C}_q(t, x)$ 、 $\mathbf{C}_{q+1}(t, x)$, 其中, $1 \leq q \leq m$ 。广播后的第 i 条扫描链的测试向量为 $\mathbf{V}_i(t, x)$, 则广播后的 8 条扫描链向量 $\mathbf{C}_{11}$ 、 $\mathbf{C}_{12}$ 、 $\mathbf{C}_{13}$ 、 $\mathbf{C}_{14}$ 、 $\mathbf{C}_{21}$ 、 $\mathbf{C}_{22}$ 、 $\mathbf{C}_{23}$ 、 $\mathbf{C}_{24}$ 可表示为

$$\left. \begin{aligned} \mathbf{C}_{11} &= \mathbf{V}_{4q-3}(t, x) = \mathbf{C}_q(t, x) \oplus \sum_{j=1}^L B_1(t)x^j \\ \mathbf{C}_{12} &= \mathbf{V}_{4q-2}(t, x) = \mathbf{C}_q(t, x) \oplus \sum_{j=1}^L [B_0(t) \oplus B_1(t)]x^j \\ \mathbf{C}_{13} &= \mathbf{V}_{4q-1}(t, x) = \mathbf{C}_q(t, x) \\ \mathbf{C}_{14} &= \mathbf{V}_{4q}(t, x) = \mathbf{C}_q(t, x) \oplus \sum_{j=1}^L B_0(t)x^j \\ \mathbf{C}_{21} &= \mathbf{V}_{4q+1}(t, x) = \mathbf{C}_{q+1}(t, x) \oplus \sum_{j=1}^L B_0(t)x^j \\ \mathbf{C}_{22} &= \mathbf{V}_{4q+2}(t, x) = \mathbf{C}_{q+1}(t, x) \\ \mathbf{C}_{23} &= \mathbf{V}_{4q+3}(t, x) = \mathbf{C}_{q+1}(t, x) \oplus \sum_{j=1}^L [B_0(t) \oplus B_1(t)]x^j \\ \mathbf{C}_{24} &= \mathbf{V}_{4q+4}(t, x) = \mathbf{C}_{q+1}(t, x) \oplus \sum_{j=1}^L B_1(t)x^j \end{aligned} \right\} \quad (4)$$

考虑到以上,则第 w 条加载到被测电路的完整扫描链向量可以表示为

$$\mathbf{P}(w) = \mathbf{P}(t_w, x) = \mathbf{V}_{in}(t_w, x) + \sum_{i=1}^M \mathbf{V}_i(t_w, x) \quad (5)$$

式中: $\mathbf{V}_{in}(t_w, x)$ 表示 t 时刻施加到被测电路的原始输入,则第 w 个测试图形与第 d 个测试图形异或可表示为

$$\mathbf{P}(w) \oplus \mathbf{P}(d) = \mathbf{V}_{in}(t_w, x) \oplus \mathbf{V}_{in}(t_d, x) + \sum_{i=1}^M (\mathbf{V}_i(t_w, x) \oplus \mathbf{V}_i(t_d, x)) \quad (6)$$

当且仅当 $\mathbf{S}(t_w, x) = \mathbf{S}(t_d, x)$ 、 $\mathbf{B}(t_w, x) = \mathbf{B}(t_d, x)$ 、 $\sum_{i=1}^m \mathbf{C}_i(t_w, x) = \sum_{i=1}^m \mathbf{C}_i(t_d, x)$ 同时成立时, $\mathbf{P}(w) \oplus \mathbf{P}(d) = 0$ 才成立。已知种子向量 $\mathbf{S}$ 的周期为 $T_s = 2^m - 1$, 广播向量 $\mathbf{B}$ 的周期为 $T_B = 2^2 - 1 = 3$, 由文献[4]知广播前原始扫描链向量 $\mathbf{C}$ 的周期为 $T_{\text{MSIC}} = 2L(2^m - 1)$, 故 BMSIC 测试图形也具有周期性, 且周期为种子向量、广播向量和原始扫描链向量周期的最小公倍数, 具体可表示为

$$T_{\text{BMSIC}} = \begin{cases} 2L(2^m - 1), & T_{\text{MSIC}} = 3n, n = 1, 2, 3, \dots \\ 6L(2^m - 1), & \text{其他} \end{cases} \quad (7)$$

由式(7)可知,BMSIC 测试图形的周期与种子向量和 $\mathbf{J}$ 向量的位数有关,同等配置下, T_{BMSIC} 比文献[4]的 T_{MSIC} 更大。测试图形的周期越大,测试图形样本的伪随机性越好,则故障覆盖率越高。种子向量和 $\mathbf{J}$ 向量的位数直接影响着硬件开销,式(7)的指数关系、倍数关系使得较少的向量位数即可获得周期大、伪随机性好的测试图形,故 BMSIC 测试图形能在取得满意故障覆盖率前提下减小硬件开销。

2.2 跳变性

测试向量相邻位间的转换次数与测试功耗呈正相关^[7],故可通过定量分析 BMSIC 测试图形的跳变转换情况来评估功耗特性。本文以不同扫描配置下各 10 000 个测试图形为样本,统计跳变数,所得结果如表 1 所。

表 1 BMSIC 测试生成方法的跳变性

扫描链数	种子向量位宽/bit	$\mathbf{J}$ 向量位宽/bit	跳变周期	图形数	图形跳变数	平均跳变数
32	8	8	8	1 7	0 56	7
32	8	40	40	1 8 31	0 60 64	1.58
32	8	64	64	1 8 55	0 8 64	0.99

注:跳变周期是指每隔多少个测试图形其跳变特点重复;平均跳变数指单个图形相邻切片间平均跳变数,反映了测试图形的跳变情况。

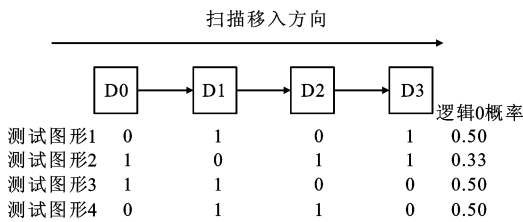
分析表 1,得出推论:①每个测试图形的跳变数以 L 为跳变周期重复出现;②当 $L=m$ 时,有 1 个图形跳变数为 0,有 $L-1$ 个图形跳变数为 $8(m-1)$;③当 $L>m$ 时,有 1 个图形跳变数为 0,有 m 个图形跳变数为 $8(m-1)+4$,有 $(L-m-1)$ 个图形跳变数为 $8m$ 。上述推论成立的前提是配置 BMSIC 测试图形生成电路需同时满足测试生成约束和测试约定约束。进一步分析统计结果可知,BMSIC 测试图形相邻切片间的平均跳变数符合式(8)规律,与式(9) MSIC 测试图形^[5]平均跳变数的规律基本一致。

$$C_{\text{BMSIC_ave}} = \begin{cases} \frac{8(m-1)}{L}, & L = m \\ \frac{8(m-1)}{L(L-1)}, & L > m \end{cases} \quad (8)$$

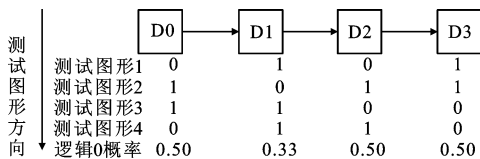
$$C_{\text{MSIC_ave}} = \begin{cases} \frac{2(M-1)}{L}, & L = M \\ \frac{2M(L-1)-M}{L(L-1)}, & L > M \end{cases} \quad (9)$$

2.3 随机性

由于随机序列可检测被测电路中的大多数故障,故本文根据已经生成测试图形的 0、1 分布来分析 BMSIC 测试图形的随机性,评估 BMSIC 测试图形生成方法的检测故障能力。根据扫描测试方案和扫描设计技术,以扫描链上的测试数据为单位,分别从扫描移入方向和测试图形方向对生成的测试图形进行随机性评估,随机性分析示意图如图 5 所示。



(a)扫描移入方向随机性分析



(b)测试图形方向随机性

图 5 测试图形随机性分析示意图

如图 5a 所示,扫描移入方向的随机性就是对指定的一条扫描链在每个测试图形下计算该扫描链上的测试数据中出现 0 或 1 的概率,反映了该扫描链上在同一测试图形扫描单元和扫描单元之间测试数据随机性。然而,扫描移入方向的随机性不能反映指定扫描链上同一个扫描单元在不同测试图形下被填充 0 或填充 1 的随机性,从而引入测试图形方向随机性分析,如图 5b 所示。测试图形方向的随机性是对指定扫描链上的每个扫描单元计算在不同测试图形下被填充 0 或 1 的概率,反映了测试图形之间的不同。

本文以 10 000 个扫描链条数为 32、扫描深度为 20 的测试图形为样本,抽取中间一条为研究对象,与同等配置下 LFSR、MSIC 测试图形进行对比。3 种测试图形生成方法在扫描移入方向上的概率分布如图 6 所示。由图 6 可见,BMSIC 在随机性上有较大波动,且具有周期性。3 种测试图形生成方法在测试图形方向上的概率分布如图 7 所示。由图 7 可见,测试序列的随机性从优到劣依次为 MSIC、BM-

SIC、LFSR,但基本都分布在 0.495 到 0.505 之间,均有着较好的随机性,故认为 BMSIC 测试图形具有好的故障检测能力。

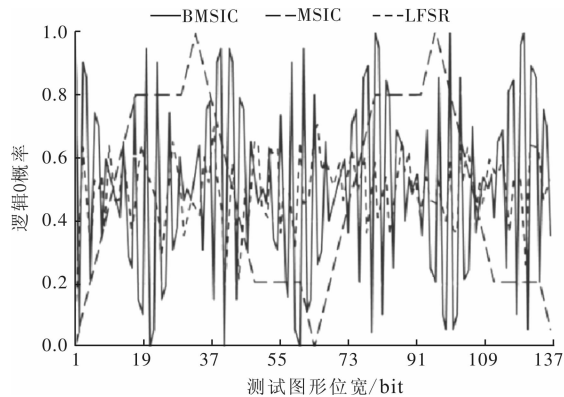


图 6 扫描移入方向逻辑 0 概率分布

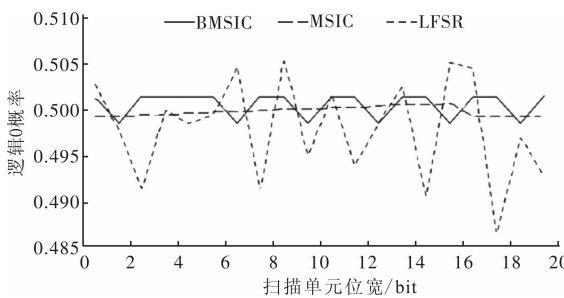


图 7 测试图形方向逻辑 0 概率分布

通过上述分析得知:MSIC 和 BMSIC 测试图形均具有好的随机性, LFSR 测试图形的随机性总体

要优于 MSIC 和 BMSIC。由于统计学的随机性估计对评估测试图形的故障检测能力有关键的参考性,故推测 BMSIC 测试图形能够取得满意的故障覆盖率。

3 BMSIC 测试生成性能

理论分析知,BMSIC 测试图形具有低功耗特性,且能取得满意的故障覆盖率。本节通过具体仿真实验和性能估计,验证其在故障覆盖率、功耗、面积开销方面的表现。设 R_{SFC} 和 R_{TFC} 分别为固定故障覆盖率和转换故障覆盖率。实验以 ISCAS’89 系列中较大的 5 款电路为被测电路,采用 Nangate 公司 45 nm 工艺库。

3.1 故障仿真

用 Synopsys 公司扫描综合工具 DFT_Compiler 对被测电路进行扫描综合,采用 Perl 语言描述测试图形生成算法实现测试生成、完成测试施加,最终用 Synopsys 公司的故障仿真工具 TetraMAX 完成故障仿真,结果如表 2 所示。由表 2 可见,同等配置下,与文献[5]的 MSIC 方法比,BMSIC 测试方法能取得更高故障覆盖率,与文献[11]的 LFSR 方法相比,达到高故障覆盖率,所需测试图形更少。同时,可发现不同测试生成配置下,同一被测电路对应的故障覆盖率也不同,这说明故障覆盖率与测试生成的配置有关。

表 2 3 种测试生成方法的故障覆盖率比较

被测电路	触发器数	扫描链数	测试图形数	$R_{SFC}/\%$			$R_{TFC}/\%$		
				LFSR	BMSIC	MSIC	LFSR	BMSIC	MSIC
S13207	638	32	10 000	91.44	91.42	90.66	80.75	74.02	75.03
		36		92.01	92.60	86.64	80.33	73.57	70.84
		40		95.24	93.52	90.26	84.05	77.71	73.74
S15850	534	32	10 000	93.90	89.45	91.15	85.55	75.12	76.99
		36		93.82	91.79	91.23	85.55	77.01	76.80
		40		94.69	93.59	91.21	86.59	80.60	76.35
S35932	1 728	40	10 000	99.55	99.97	99.96	97.04	95.99	93.66
		48		99.60	99.98	95.31	96.66	92.04	84.87
		56		99.56	99.98	95.30	96.34	94.53	83.95
S38417	1 636	40	10 000	93.48	84.65	84.77	83.67	60.40	60.81
		48		93.68	85.22	85.33	83.18	61.58	61.67
		56		93.66	83.46	84.33	82.87	52.74	61.10
S38584	1 426	40	10 000	95.99	97.32	96.75	90.51	81.31	86.13
		48		96.01	98.00	95.34	90.99	84.67	82.38
		56		97.17	98.16	95.22	92.15	90.04	81.81

3.2 功耗评估

本文通过降低动态测试功耗来减小整个测试功耗。基于扫描设计的被测电路,根据测试过程中的不同阶段,其动态测试功耗有扫描移入功耗、扫描移出功耗和扫描捕获功耗。扫描移位功耗决定测试期间的平均功耗,故通过研究扫描移位功耗来评估所研究测试图形功耗方面的表现。对于扫描移位功耗,即扫描移入功耗和扫描移出功耗,文献[8]提出了一种通过计算扫描单元逻辑翻转次数来评估移位功耗的方法,给出了计算因测试向量相邻位变化而引起的扫描单元逻辑翻转次数的办法,即加权转换量度(weighted transition metric,WTM)法。

表 3、表 4 给出了被测电路扫描移入、移出功耗估计结果。 W_a 、 W_m 分别是单个测试图形每个测试

阶段的平均 WTM 值和最大 WTM 值。对每个被测电路,分别施加 10 000 组 LFSR、MSIC、BMSIC 测试图形进行实验,取平均 WTM 值为 W_a ,选其中最大值为 W_m 。

表 5 中, R_{in} 、 R_{out} 是与 LFSR 相比,各测试生成方法扫描移入、扫描移出 WTM 值的百分比。由表 5 可见,BMSIC 可减小 70%以上扫描移入 WTM 值和 10%以上扫描移出 WTM 值,与 MSIC 相当,这一特点与第 2 节跳变性分析结果一致。实验中被测电路 S13207、S15850、S35932、S38417、S38584 对应的 Johnson 向量位数分别为 20、17、44、41、36,可发现,Johnson 向量位数越多则对应生成的测试图形移位功耗越低,这说明功耗与测试图形生成电路的重构 Johnson 计数器的位数有关。

表 3 3 种测试生成方法扫描移入 WTM 值比较

被测电路	触发器数	扫描链数	W_a			W_m		
			LFSR	BMSIC	MSIC	LFSR	BMSIC	MSIC
S13207	638	32	3 035	750	368	4 777	960	380
S15850	534	32	2 173	609	264	3 451	768	272
S35932	1 728	40	18 899	2 330	1 757	28 027	3 040	1 876
S38417	1 636	40	16 386	2 150	1 580	25 115	2 800	1 639
S38584	1 426	40	12 589	1 852	1 229	19 556	2 400	1 260

表 4 3 种测试生成方法扫描移出 WTM 值比较

被测电路	触发器数	扫描链数	W_a			W_m		
			LFSR	BMSIC	MSIC	LFSR	BMSIC	MSIC
S13207	638	32	3 005	2 608	2 579	4 471	3 455	3 401
S15850	534	32	2 082	1 850	1 824	3 153	2 368	2 391
S35932	1 728	40	9 651	2 544	2 744	24 504	5 920	6 187
S38417	1 636	40	14 870	7 050	6 632	23 285	11 402	9 681
S38584	1 426	40	12 479	10 861	10 892	17 488	14 055	13 804

表 5 3 种测试生成方法的 WTM 值减小百分比

被测电路	$R_{in}/\%$			$R_{out}/\%$		
	LFSR	BMSIC	MSIC	LFSR	BMSIC	MSIC
S13207	0	75.29	87.87	0	13.21	14.18
S15850	0	71.97	87.85	0	11.14	12.39
S35932	0	87.67	91.70	0	73.64	71.57
S38417	0	86.88	90.36	0	52.59	55.40
S38584	0	85.29	90.24	0	12.97	12.72

3.3 面积评估

根据图 1 所示电路结构,面积开销主要有:生成种子向量的 m 位 LFSR、生成 J 向量的 L 位重构

Johnson 计数器、生成原始测试图形的异或网络、生成广播向量的两位 LFSR 以及生成最终测试图形的广播电路。根据 LFSR、MSIC、BMSIC 各自测试生

成方法测试生成约束和 1.1 节中约定的测试约定约束,分别得出测试图形生成电路各个门单元面积开销估计结果。然后,依据 Nangate 45nm 工艺库中各个门单元的面积以单个两输入异或门为参考折算,折算后结果如表 6 所示,其中, R_{dc} 表示 BMSIC 结构的面积与 MSIC 结构面积的百分比。由表 6 可

得出:同等扫描配置下同一被测电路,与文献[5] MSIC 方法比,BMSIC 方法可降低 50% 左右的面积。同时发现,给定扫描设计的被测电路,其扫描链条数越多,BMSIC 方法可节省更多面积开销。并且,被测电路规模越大,这种优越性越突出。

表 6 3 种测试生成方法的面积开销比较

被测电路	扫描链数	种子向量位宽/bit			J 向量位宽/bit			两输入异或门数			$R_{dc}/\%$
		LFSR	MSIC	BMSIC	LFSR	MSIC	BMSIC	LFSR	MSIC	BMSIC	
S13207	32	32	32	8	0	32	20	94	218	131	39.9
	36	36	36	9	0	36	18	103	243	131	46.09
	40	40	40	10	0	40	16	116	271	133	50.92
S15850	32	32	32	8	0	32	17	94	218	122	44.04
	36	36	36	9	0	36	15	103	243	122	49.79
	40	40	40	10	0	40	14	116	271	127	53.14
S35932	40	40	40	10	0	40	44	116	283	212	25.09
	48	48	48	12	0	48	36	139	325	207	36.31
	56	56	56	14	0	56	31	161	378	209	44.71
S38417	40	40	40	10	0	41	41	116	274	204	25.55
	48	48	48	12	0	48	35	139	325	205	36.92
	56	56	56	14	0	56	30	161	378	206	45.5
S38584	40	40	40	10	0	40	36	116	271	190	29.89
	48	48	48	12	0	48	30	139	325	190	41.54
	56	56	56	14	0	56	26	161	378	195	48.41

4 结 语

本文设计了一种 BMSIC 测试图形生成方法,给出了该测试生成的硬件实现电路,并构建了测试方案。从理论推导和实验仿真角度分别对所生成 BMSIC 测试图形的性能展开了具体分析,结果表明:所研究测试图形能够取得较为满意的故障覆盖率,具有低功耗的特点,在面积开销上具有较大的优势,对于规模越大的被测电路,本文提出的 BMSIC 测试生成方法在面积开销方面的优越性越突出。

参考文献:

[1] DUTTA A, KUNDU S, CHATTOPADHYAY S. Thermal aware don't care filling to reduce peak temperature and thermal variance during testing [C]//The 22nd Asian Test Symposium. Piscataway, NJ, USA: IEEE, 2013: 25-30.

[2] WANG S, GUPTA S K. DS-LFSR: a BIST TPG for

low switching activity [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(7): 842-851.

[3] 詹文法,梁华国,时峰,等.一种混合定变长虚块游程编码的测试数据压缩方案 [J]. 电子学报, 2009, 37(8): 1837-1841.

ZHAN Wenfa, LIANG Huaguo, SHI Feng, et al. A test data compression scheme based on mixed fixed and variable run-length coding in virtual block [J]. Acta Electronica sinica, 2009, 37(8): 1837-1841.

[4] LIN X J, RAJSKI J. Adaptive low shift power test pattern generator for logic BIST [C]// Proceedings of 19th IEEE Asian Test Symposium. Piscataway, NJ, USA: IEEE, 2010: 355-360.

[5] LIANG F, ZHANG L W, LEI S C, et al. Test patterns of multiple SIC vectors: theory and application in BIST schemes [J]. IEEE Transactions on Very Large Scale Integration Systems, 2013, 21(4): 614-623.

(下转第 48 页)