

DOI: 10.7652/xjtuxb201302008

一种低功耗测试图形的生成方法

张国和, 冀丽丽, 张林林, 雷绍充, 梁峰

(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 为解决测试图形生成电路功耗高、硬件开销大、故障检测难等问题,提出了一种用于内建自测试的低功耗测试图形生成方法。该方法将种子向量和 SIC 计数器生成向量进行运算,产生 MSIC 测试向量。通过设计一种可配置 SIC 计数器和种子生成电路,证明了该方法中任意的 2 个 MSIC 图形在任何情况下都是相异的。以国际基准测试电路 ISCAS'89 为对象,在 nangate 45 nm 工艺上的仿真实验表明,基于该方法的测试生成电路的平均功耗占被测电路正常工作时平均功耗的 1%~3%;与传统的伪随机测试生成电路相比,该测试生成电路的测试功耗降低了 5.48%~66.86%,且其所生成的测试图形具有唯一性、低跳变等特性。

关键词: 测试图形生成;内建自测试;低功耗;低跳变

中图分类号: TN407;TP391.7 **文献标志码:** A **文章编号:** 0253-987X(2013)02-0047-06

A Low Power Test Pattern Generation Method

ZHANG Guohe, JI Lili, ZHANG Linlin, LEI Shaochong, LIANG Feng

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: A novel test pattern generation method for built-in-self-test (BIST) is proposed to solve the problems of power, hardware overhead and fault detection in VLSI test. The vectors generated by linear feedback shift register (LFSR) and single input change (SIC) counter are operated to generate multiple single-input change (MSIC) sequences. Then, a reconfigurable SIC counter and a test pattern generator are designed to verify the uniqueness of MSIC test patterns. Simulation results with ISCAS'89 benchmarks based on the nangate 45 nm process show that the MSIC-TPG circuits impose about 1%–3% power overhead of the CUTs' average working power. Comparisons with traditional pseudo random test patterns show that the test power decreases about 5.48%–66.86%, and that the test patterns generated by the proposed method have the advantages of uniqueness and minimum transitions.

Keywords: test pattern generation; built-in-self-test; low power; low transition

芯片测试成本在集成电路产业中所占比重越来越大。芯片在测试过程中,其内部节点的状态翻转比正常工作模式下高得多,而且测试向量之间的相关性比正常工作时电路输入之间的相关性低很多,使得电路在测试时功耗比正常工作时高得多,不仅会危害到电路的稳定性,而且测试时芯片局部过热,

可能会损害芯片,降低良品率^[1]。因此,低功耗高压缩率的测试方案在国内外得到了广泛研究^[2-3]。

内建自测试(BIST)技术可以有效降低集成电路测试的复杂性和成本。传统 BIST 技术中测试生成多依赖线性反馈移位寄存器(LFSR),但 LFSR 生成的伪随机测试图形会引起电路内部节点大量的开

收稿日期: 2012-07-14。 作者简介: 张国和(1981—),男,讲师。 基金项目: 国家自然科学基金资助项目(61006033);中央高校基本科研业务费专项资金资助项目。

网络出版时间: 2012-10-31

网络出版地址: <http://www.cnki.net/kcms/detail/61.1069.T.20121031.1100.004.html>

关跳变,导致测试功耗过高。由于单输入跳变(SIC)序列不仅可以检测固定型故障,还能有效提高延迟故障的覆盖率^[4-5],因此生成 SIC 测试图形的方案可以应用在低功耗 BIST 设计中。国内近年来在低功耗 BIST 方法的成果包括:可减少移位与捕获功耗的无关项填充方法^[6]、可寻找和排序测试图形的双树扫描结构^[7]以及基于编码的和基于令牌码的低功耗测试方法等^[8]。

本文提出了一种基于多段单输入跳变序列(MSIC)的内建自测试方法,其 MSIC 测试图形由多个单输入跳变 Johnson 向量构成,与传统的伪随机测试图形相比,具有唯一性、低跳变等优良特性。同时,MSIC 序列可以检测固定型故障,且能有效检测延迟故障^[9-10]。

1 MSIC 测试生成

1.1 MSIC 测试生成方法

MSIC 测试生成(TPG)方案包含一个 SIC 计数器、一个种子电路生成器、一个异或门阵列和一个时钟控制模块。

假定经过全扫描设计的被测电路有 m 个原始输入和 M 条扫描链,每条扫描链有 l 个扫描单元。 m 位 LFSR 产生的向量(以下称为种子向量)可以表示为 $\mathbf{S}(t)=[S_0(t), S_1(t), S_2(t), \dots, S_{m-1}(t)]$, l 位 SIC 计数器生成的向量可表示为 $\mathbf{J}(t)=[J_0(t), J_1(t), J_2(t), \dots, J_{l-1}(t)]$, $\mathbf{S}(t)$ 与 $\mathbf{J}(t)$ 按位异或的结果向量为 $\mathbf{X}=[X_1, X_{l+1}, X_{2l+1}, \dots, X_{(M-1)l+1}]$ 。SIC 计数器生成向量过程如图 1 所示。

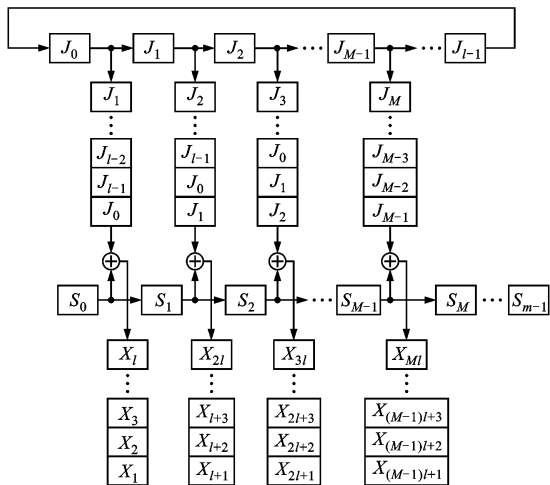


图 1 SIC 计数器生成向量示意图

在第 1 个时钟周期内, $\mathbf{J}=[J_0, J_1, J_2, \dots, J_{l-1}]$ 和 $\mathbf{S}=[S_0, S_1, S_2, \dots, S_{m-1}]$ 按位异或, 其结果 $\mathbf{X}=[X_1, X_{l+1}, X_{2l+1}, \dots, X_{(M-1)l+1}]$ 将被扫描入 M 个扫描链中。

在第 2 个时钟周期内, $\mathbf{J}=[J_0, J_1, J_2, \dots, J_{l-1}]$ 经过循环移位变成 $\mathbf{J}=[J_{l-1}, J_0, J_1, J_2, \dots, J_{l-2}]$, 再与 $\mathbf{S}=[S_0, S_1, S_2, \dots, S_{m-1}]$ 按位异或, 其结果 $\mathbf{X}=[X_1, X_{l+2}, X_{2l+2}, \dots, X_{(M-1)l+2}]$ 也被扫描入 M 个扫描链中。经过 l 个时钟周期后, 每条扫描链都会被扫描入一个测试向量。同时, 向量 $\mathbf{S}=[S_0, S_1, S_2, \dots, S_{m-1}]$ 会被施加到原始输入端。上述扫描链生成过程如图 2 所示。

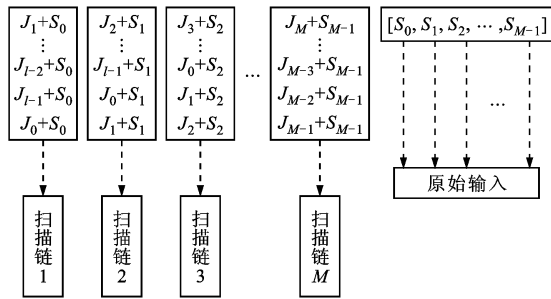


图 2 扫描链生成示意图

1.2 可配置 SIC 计数器

为了能在时间域产生 SIC 向量, 本文设计了可配置 SIC 计数器, 由加计数器、减计数器和移位信号产生电路等几部分组成。扫描使能信号(SE)的上升沿作为加计数器的统计信号, 控制在不同 Johnson 序列之间的跳转; 扫描测试时钟(CLK)作为减计数器的统计信号, 控制产生确定的 Johnson 向量。 k 位加计数器负责对 SE 信号进行统计, 即确定 Johnson 序列进入不同的具体向量状态。实际上, 对于 l 位的 Johnson 向量只用 k ($k=lb$) 位的加计数器即可实现, 这是因为 Johnson 序列有加减周期而且能够自循环。 k 位减计数器实现 l 进制的减记数, 负责在 SE 高电平期间及扫描移位期间, 控制产生 l 位确定的 Johnson 向量; 移位信号产生电路负责处理加计数器和减计数器的信号, 并控制移位寄存器。可配置 SIC 计数器的工作原理如图 3 所示。

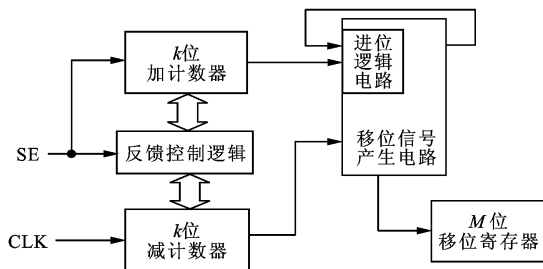


图 3 可配置 SIC 计数器的原理

可配置 SIC 计数器的工作过程如下。

(1)当SE为低电平时,加计数器将其预置数置入到减计数器中,该数值确定了要产生的 Johnson 序列的具体状态向量。以 8 位的 Johnson 序列为例,若加计数器置数为 0,则减计数器在 SE 为 1 期间产生的 Johnson 向量为 $[0,0,0,0,0,0,0,0]$;若加计数器置数为 5,则产生的 Johnson 向量为 $[1,1,1,1,0,0,0,0]$ 。

(2)当 SE 为高电平时,减计数器在扫描测试时钟 CLK 下进行减计数操作,此时控制移位信号产生电路向扫描移位寄存器移入数值,直到减计数器减为 0 后,移位信号产生电路向扫描移位寄存器移入之前相反的值。这样经过一个扫描周期,就给扫描链移入了一个确定的 Johnson 向量。

(3)当 SE 信号上升沿来临时,加计数器对 SE 信号的变化进行统计,这时加计数器计数值决定了在 SE 低电平期间要置入到减计数器的数值,结合进位逻辑电路确定了新 Johnson 向量的产生。可配置 SIC 计数器的工作时序如图 4 所示。

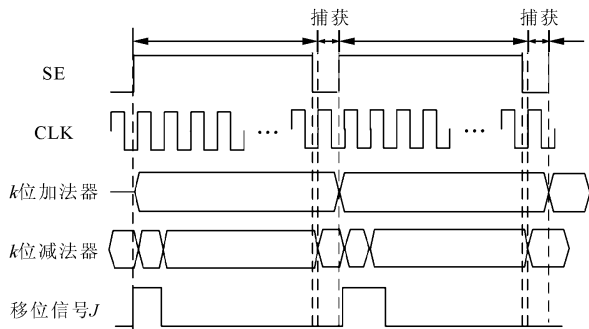


图4 可配置 SIC 计数器工作时序

1.3 Test-per-scan 模式的 MSIC-TPG 电路结构

Test-per-scan 模式下的 MSIC-TPG 结构原理如图 5 所示,种子生成电路负责产生种子向量,种子向量的位宽不低于扫描链的数目,生成的种子一部分送到被测电路的原始输入,另一部分送到异或门组逻辑电路;在需要广播时,广播电路将种子广播到被测电路的原始输入;可配置 SIC 计数器负责在时间域为 M 条扫描链产生 Johnson 向量或重构的 Johnson 向量;异或门组逻辑负责将种子向量和 Johnson 向量异或后送给扫描链端口作为扫描移入数据;被测电路的原始输出和扫描链的扫描移出数据都送到多输入特征寄存器 MSIR 电路中进行压缩,准备同理想的响应进行比较。

在讨论 MSIC 序列之前,首先定义图 5 中 CLK 为测试时钟。假定扫描链长度是 l ,则一个 Johnson 向量周期为 l 个测试时钟周期,即一个 SE 高电平

期,也是一个 CLK2 周期。定义 $2l$ 个 Johnson 向量周期为一个 Johnson 序列周期,即一个 Johnson 序列周期长度为 $2l^2$ 个测试时钟周期,也是一个 CLK1 时钟周期。同时,一个 Johnson 序列周期对应于一个种子生成周期。

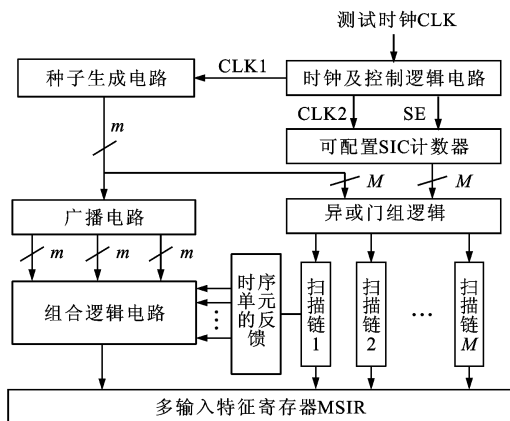


图5 Test-per-scan 模式下的 MSIC-TPG 结构原理

MSIC-TPG 工作流程如下。

(1)种子生成电路每经过一个 CLK1 周期生成一个新种子。

(2)当 SE 处于高电平时,可配置 SIC 计数器每经过一个 Johnson 向量周期 CLK2,产生一个新的 Johnson 向量。

(3)当 SE 处于高电平时,每经过一个测试时钟周期 CLK,可配置 SIC 计数器产生 Johnson 向量的一位,MSIC-TPG 产生一个扫描切片向量,移入到各个扫描链中。经过 l 个测试时钟,一个 Johnson 向量周期 CLK2 结束,完成扫描图形的移入。

(4)重复执行步骤 2 到步骤 3,直到经过 $2l$ 个 Johnson 向量周期,即 $2l^2$ 个测试时钟,要更换新的种子回到步骤 1。

(5)重复执行步骤 1 到步骤 4,直到达到所要求的故障覆盖率或预定测试长度为止,测试生成过程完成。

采用 MSIC-TPG 方案,在扫描使能低电平时,被测电路处于正常的工作模式,组合逻辑会对时序单元的激励状态有一个响应,在测试时钟下,时序单元完成对测试激励响应的捕获寄存工作;在扫描使能高电平时,被测电路处于测试工作模式,在测试时钟下,时序单元依次完成对测试激励的扫描移入和对测试响应的扫描移出工作。

2 MSIC 序列特征分析

对于时序电路,测试图形包括原始输入(PI)的

值和扫描链上要移入的向量。假定被测电路有 m 个原始输入, M 条扫描链, 每一条扫描链的长度是 l , T 表示不同的测试图形周期, t 表示在确定的测试图形内的测试时钟周期, $t = T/l$, x 表示被测电路中各个数据端的物理位置, j 表示不同位置的变化, i 表示不同的扫描链, p 表示不同的测试图形, 测试图形表达式为

$$C_p(T_p, x) = \sum_{k=1}^m I_k(T_p, k) x^{k-1} + \sum_{i=1}^M \left(\sum_{j=1}^l M_i(T_p, j) x^{j-1} \right) x^{(i-1)l+m} \quad (1)$$

式中: $\sum_{k=1}^m I_k(T_p, k) x^{k-1}$ 为原始输入部分;

$\sum_{i=1}^M \left(\sum_{j=1}^l M_i(T_p, j) x^{j-1} \right) x^{(i-1)l+m}$ 为扫描图形部分;

$\left(\sum_{j=1}^l M_i(T_p, j) x^{j-1} \right) x^{(i-1)l+m}$ 表示第 i 条扫描链图形

M_i ; $i \leq M$; $M_i(T_p, j)$ 是第 i 条扫描链第 j 个单元的值, 在 TPG 测试生成时已知; $\sum_{i=1}^M M_i$ 是 LFSR 种子

向量和 Johnson 向量组的切片向量在时间域异或的结果。 M_i 可表示为

$$M_i(T_p, x) = \left(\sum_{j=1}^l S_i(T_p, j) x^{j-1} \oplus J_i(T_p, x) \right) x^{(i-1)l+m} \quad (2)$$

式(1)就可以进一步表示为

$$C_p(T, x) = \sum_{k=1}^m I(T_p, k) x^{k-1} + \sum_{i=1}^M \left(\left(\sum_{j=1}^l S_i(T_p, j) x^{j-1} \right) \oplus J_i(T_p, x) \right) x^{(i-1)l+m} \quad (3)$$

式中: $J_i(T_p, x)$ 是施加到第 i 条扫描链上的 Johnson 向量, 其在测试图形中的表示为

$$\left. \begin{aligned} J_1(T_p, x) &= J_1(T_p, j_1) + J_1(T_p, j_2)x + \cdots + J_1(T_p, j_l)x^{l-1} \\ J_2(T_p, x) &= J_1(T_p, j_l) + J_1(T_p, j_1)x + \cdots + J_1(T_p, j_{l-1})x^{l-1} \\ &\vdots \\ J_l(T_p, x) &= J_1(T_p, j_2) + J_1(T_p, j_3)x + \cdots + J_1(T_p, j_1)x^{l-1} \end{aligned} \right\} \quad (4)$$

其中 $J_1(T_p, x)$ 是时间域产生的 Johnson 向量, $J_2(T_p, x), J_3(T_p, x), \cdots, J_l(T_p, x)$ 是重构的 Johnson 向量, 依次是前一个向量的环形移位。本文 TPG 方案中重构的 Johnson 向量为 M 个(一般 $M < l$)。

式(3)将种子的一位按 Johnson 向量进行了异或扩充, 这样用 M 位的种子将 l 位的 Johnson 向量扩充为多段相似的 $M \times l$ 位的扫描图形, 而且图形中的每段向量都是低输入跳变的, 最多只有 1 位或 2 位的跳变, 这就是本文提出的 MSIC 测试图形。

这样一个种子向量可产生多个测试图形, 而 Johnson 序列的周期是 $2l$, 因此可以得到种子的更换周期 $S(T)$ 和 Johnson 序列周期的表达式

$$\left. \begin{aligned} S(T) &= S(\lceil t/(2l^2) \rceil) = S(\lceil T/(2l) \rceil) \\ J(T+2l^2) &= J(T) \end{aligned} \right\} \quad (5)$$

由于一个向量周期是 l 个测试时钟, 而一个序列的周期是 $2l$ 个向量周期, 一个种子对应一个序列周期, 因此种子更换的周期是 $2l^2$ 个测试时钟。对于施加到被测电路的测试图形, 即由式(3)确定的 MSIC 图形, 由于 m 位 LFSR 种子的周期是 $(2^m - 1)$, 而种子的更换周期是 $2l^2$, 那么理论上 MSIC 的测试图形集大小为 $2l^2(2^m - 1)$ 。这个测试集对于实际的电路测试足够用。

根据 MSIC 测试图形的表达式(3), 下面从 MSIC 测试集中考察任意两个测试图形之间的关系。设有图形 $C_p(T_p, x)$ 和 $C_q(T_q, x)$, 则有

$$\begin{aligned} C_p(T_p, x) \oplus C_q(T_q, x) &= \left\{ \sum_{k=1}^m \left\{ I_k(T_p, k) \oplus I_k(T_q, k) \right\} x^{k-1} \right\} + \left\{ \sum_{i=1}^M \left\{ \sum_{j=1}^l (S_i(T_p, j) \oplus S_i(T_q, j)) x^{j-1} \right\} x^{(i-1)l+m} \oplus \sum_{i=1}^M (J_i(T_p, x) \oplus J_i(T_q, x)) x^{(i-1)l+m} \right\} \end{aligned} \quad (6)$$

用 $W_p(T_p, x)$ 表示扫描图形

$$\begin{aligned} W_p(T_p, x) &= \sum_{i=1}^M \left(\sum_{j=1}^l M_i(T_p, j) x^{j-1} \right) x^{(i-1)l+m} = \\ &= \sum_{i=1}^M \left(\left(\sum_{j=1}^l S_i(T_p, j) x^{j-1} \right) \oplus J_i(T_p, x) \right) x^{(i-1)l+m} \end{aligned} \quad (7)$$

那么两个扫描图形异或为

$$\begin{aligned} W_p \oplus W_q &= \\ &= \sum_{i=1}^M \left\{ \sum_{j=1}^l (S_i(T_p, j) \oplus S_i(T_q, j)) x^{j-1} \right\} x^{(i-1)l+m} \oplus \sum_{i=1}^M (J_i(T_p, x) \oplus J_i(T_q, x)) x^{(i-1)l+m} \end{aligned} \quad (8)$$

当 $C_p(T_p, x)$ 和 $C_q(T_q, x)$ 是同一个序列周期中生成图形时, 可知 $S(T_p) = S(T_q)$, 而 $J(T_p, x) \neq J(T_q, x)$, 因此有

$$\sum_{i=1}^M (J_i(T_p, x) \oplus J_i(T_q, x)) x^{(i-1)l+m} \neq 0 \quad (9)$$

将式(9)代入式(8),得到 $\mathbf{W}_p \oplus \mathbf{W}_q \neq 0$, 则测试图形 $\mathbf{C}_p(T_p, x)$ 和 $\mathbf{C}_q(T_q, x)$ 是相异的。

当 $\mathbf{C}_p(T_p, x)$ 和 $\mathbf{C}_q(T_q, x)$ 由不同的 Johnson 序列周期产生时, $\mathbf{S}(T_p) \neq \mathbf{S}(T_q)$, 此时始终有

$$\sum_{i=1}^M \left\{ \sum_{j=1}^l (\mathbf{S}_i(T_p, j) \oplus \mathbf{S}_i(T_q, j)) x^{j-1} \right\} x^{(i-1)l+m} \neq 0$$

(10)

然后, 根据式(8)考察扫描图形 $\mathbf{W}_p(T_p, x)$ 和 $\mathbf{W}_q(T_q, x)$ 。此时, 不同序列周期的 Johnson 向量有可能相同, 也有可能不同。

当 $(T_p - T_q)/2l$ 能够整除时, Johnson 向量相同, 则

$$\sum_{i=1}^M (\mathbf{J}_i(T_p, x) \oplus \mathbf{J}_i(T_q, x)) x^{(i-1)l+m} = 0$$

(11)

将式(11)代入式(8), 可知 $\mathbf{W}_p \oplus \mathbf{W}_q \neq 0$, 两扫描图形相异。

当 $(T_p - T_q)/2l$ 不能整除时, Johnson 向量不同, 则

$$\sum_{i=1}^M (\mathbf{J}_i(T_p, x) \oplus \mathbf{J}_i(T_q, x)) x^{(i-1)l+m} \neq 0$$

(12)

若此时 Johnson 向量 $\mathbf{J}(T_p, x)$ 和 $\mathbf{J}(T_q, x)$ 取得彼此的反码向量, 而种子向量 $\mathbf{S}(T_p)$ 也取得 $\mathbf{S}(T_q)$ 的反码向量时, $\mathbf{W}_p \oplus \mathbf{W}_q = 0$ 。尽管两个种子在一次测试生成中取得彼此反码的机会很小, 由于 $\mathbf{S}(T_p) \neq \mathbf{S}(T_q)$, 测试图形中组合的原始输入部分不同, 仍可保证测试图形 $\mathbf{C}_p(T_p, x)$ 和 $\mathbf{C}_q(T_q, x)$ 相异。

由上述分析, 证明了 MSIC-TPG 方案下的测试生成中任意的两个 MSIC 图形在任何情况下都是相异的, 即 MSIC 图形具有唯一性。

3 MSIC-TPG 测试生成性能分析

本文的实验环境、仿真工具包括 Synopsys 公司的 Tetramax、Design Compiler、Prime Power、Mentor 公司的 Modelsim。被测电路选国际基准测试电路 ISCAS'89 电路。实验的工艺库为 nangate 公司的 45 nm 工艺库^[11]。

表 1、表 2 和表 3 中, A 、 P 分别是不同方案的面积开销和平均功耗, R_A 是 TPG 结构的面积占被测电路面积的百分比, R_P 是 TPG 结构的平均功耗占被测电路平均功耗的百分比。由表中数据可以看出, MSIC-TPG 的硬件开销对于不同的电路变化很小, TPG 面积开销占被测电路的 2.0%~7.5%, 对比 LFSR 的硬件开销, 两者相当, 这是因为这几个时

序电路的原始输入数目序列的触发器数目较少。

本文 MSIC-TPG 电路的平均功耗相对于被测电路正常工作时的平均功耗来说非常小, 占 1%~3%, 这样因引入 BIST 电路对被测电路在功耗方面的影响几乎可以忽略。本文的 TPG 与 LFSR 相比, 大多电路都有 5.48%~66.86% 的功耗降低。

表 1 实验用 ISCAS'89 时序电路参数

被测电路	原始输入数量	逻辑门数量	触发器数量	SIC 计数器位宽/bit	种子向量位宽/bit
s13207	62	7 951	638	64	32
s15850	77	9 772	534	54	38
s35932	35	12 204	1 728	87	20
s38417	28	22 179	1 636	82	20
s38584	38	19 253	1 426	72	20

表 2 Test-per-scan 测试下各方案的面积开销

被测电路	$A/\mu\text{m}^2$		$R_A/\%$			
	MSIC	LFSR	MSIC	LFSR	文献 [12]	文献 [13]
s13207	421.38	401.62	6.4	6.2		11.3
s15850	488.29	498.48	7.5	7.7		8.3
s35932	481.15	223.38	2.5	1.1		
s38417	397.40	178.18	2.0	0.9	14	3.8
s38584	482.04	246.64	2.3	1.2	12	4.2

表 3 Test-per-scan 测试下各方案的功耗

被测电路	$P/\mu\text{W}$		$R_P/\%$			
	MSIC	LFSR	MSIC	LFSR	文献 [12]	
s13207	17.50	52.81	2.7	7.6	14	
s15850	18.25	65.38	2.8	10.1		
s35932	25.51	29.67	1.3	1.2		
s38417	25.29	23.77	1.2	1.1		
s38584	25.30	32.66	1.2	1.6	18.6	

表 4 给出了 MSIC-TPG 方案在 Test-per-scan 测试下的故障覆盖率实验结果。 L_T 表示测试图形长度, C_{SF} 表示固定型故障的测试覆盖率, C_{TF} 表示转换延迟故障的测试覆盖率。可以看出, 同样的测试长度下, MSIC-TPG 测试方案的固定型故障覆盖率要优于 LFSR 的测试效率。测试转换延迟故障覆盖率的结果同 LFSR 伪随机图形的测试结果相比稍优。与参考文献 [12] 和 [14] 相比, MSIC-TPG 方案的固定型故障覆盖率更高, 需要的测试图形更少。

表 4 Test-per-scan 测试下各方案的故障覆盖率

被测 电路	L_T				$C_{SF}/\%$				$C_{TF}/\%$	
	MSIC	LFSR	文献[14]	文献[12]	MSIC	LFSR	文献[14]	文献[12]	MSIC	LFSR
s13207	9 942	9 942	9 942	78 832	93.66	90.09	92.4	97.7	81.35	80.04
s15850	9 533	9 533	9 533	96 413	94.21	90.81	90.6	98.8	80.93	65.37
s38417	9 601	9 601	9 601	116 208	91.35	91.66	91.7	97.5	89.04	85.81
s35932	4 800	4 800			97.59	96.50			62.99	63.86
s38584	9 645	9 645	9 645	79 360	97.16	94.24	94.1	99.3	81.08	80.01

4 结 论

本文提出了一种 MSIC-TPG 测试方案,给出了 MSIC-TPG 的电路结构;通过对 MSIC 测试图形特性的分析,证明了 MSIC 测试图形具有良好的唯一性和低跳变密度。基于 Test-per-scan 测试下的 MSIC-TPG 实验结果表明,MSIC-TPG 的测试方案易于实施,具有硬件开销小、故障覆盖效率高等优点。

参考文献:

[1] KATTI R S, RUAN Xiaoyu, KHATTRI H. Multiple-output low-power linear feedback shift register design [J]. IEEE Transactions on Circuits and Systems: I, 2006, 53(7): 1487-1495.

[2] WANG S, GUPTA S K. ATPG for heat dissipation minimization during test application [J]. IEEE Transactions on Computers, 1998, 47(2): 256-262.

[3] RAVI S, DEVANATHAN V R, PAREKHJI R. Methodology for low power test pattern generation using activity threshold control logic [C] // IEEE/ACM International Conference on Computer-Aided Design. Piscataway, NJ, USA: IEEE, 2007: 526-529.

[4] VOYIATZIS I, HANIOTAKIS T, HALATSIS C. Algorithm for the generation of SIC pairs and its implementation in a BIST environment [C]//IEEE Proceedings of Circuits, Devices and Systems. Piscataway, NJ, USA: IEEE, 2006: 427-432.

[5] GOEL S K, DEVTA-PRASANNA N, TURAKHIA R P. Effective and efficient test pattern generation for small delay defects [C]//IEEE VLSI Test Symposium. Piscataway, NJ, USA: IEEE, 2009: 541-546.

[6] LI Jia, XU Qiang, HU Yu, et al. X-filling for simultaneous shift and capture-power reduction in at-speed scan-based testing [J]. IEEE Transactions on VLSI Systems, 2010, 18(9): 1081-1092.

[7] 詹文法, 梁华国, 时峰, 等. 一种混合定变长虚块游程编码的测试数据压缩方案 [J]. 电子学报, 2009, 37

(8): 1837-1841.

ZHAN Wenfa, LIANG Huaguo, SHI Feng, et al. A test data compression scheme based on mixed fixed and variable run-length coding in virtual block [J]. Acta Electronica Sinica, 2009, 37(8): 1837-1841.

[8] ZHOU Bin, YE Yizheng, LI Zhaolin, et al. A new low power test pattern generator using a variable-length ring counter [C]//Proceedings of 10th International Symposium on Quality of Electronic Design. Piscataway, NJ, USA: IEEE, 2009: 248-252.

[9] WANG Seongmoon, GUPTA S K. DS-LFSR: a new BIST TPG for low heat dissipation [J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, 2002, 21(7): 842-851.

[10] CHEN Zhen, SETH S C, XIANG Dong, et al. A unified solution to scan test volume, time, and power minimization [C] // Proceedings of 23rd International Conference on VLSI Design. Piscataway, NJ, USA: IEEE, 2010: 9-14.

[11] YOOSEONG K, SANGWOO H, JUHO K. Clock scheduling and cell library information utilization for power supply noise reduction [J]. Journal of Semiconductor Technology and Science, 2009, 9(1): 29-36.

[12] NOURANI M, TEHRANIPOOR M, AHMED N. Low-transition test pattern generation for BIST-based applications [J]. IEEE Transactions on Computers, 2008, 57(3): 303-315.

[13] SUNGHOON C, TAEJIN K, SUNGHO K. A new low energy BIST using a statistical code [C] // Proceedings of Asia and South Pacific Design Automation Conference. Piscataway, NJ, USA: IEEE, 2008: 647-652.

[14] GIRARD P, GUILLER L, LANDRAULT C, et al. A modified clock scheme for a low power BIST test pattern generator [C] // Proceedings of 19th VLSI Test Symposium. Los Alamitos, CA, USA: IEEE Computer Society Press, 2001: 306-311.

(编辑 刘杨)